



УНИВЕРЗИТЕТ У НИШУ  
ЕЛЕКТРОНСКИ ФАКУЛТЕТ



**Момир Р. Станковић**

**ПРОЈЕКТОВАЊЕ И РЕАЛИЗАЦИЈА  
УПРАВЉАЧКИХ СИСТЕМА СА  
АКТИВНИМ ПОТИСКИВАЊЕМ  
ПОРЕМЕЋАЈА**

ДОКТОРСКА ДИСЕРТАЦИЈА

Ниш, 2017.



UNIVERSITY OF NIŠ  
FACULTY OF ELECTRONIC ENGINEERING



**Momir R. Stankovic**

**DESIGN AND REALIZATION OF ACTIVE  
DISTURBANCE REJECTION CONTROL  
SYSTEMS**

DOCTORAL DISSERTATION

Niš, 2017.

## Подаци о докторској дисертацији

Ментор: редовни професор др Милица Наумовић, Универзитет у Нишу, Електронски факултет

Наслов: Пројектовање и реализација управљачких система са активним потискивањем поремећаја

Управљање са активним потискивањем поремећаја је релативно нов концепт управљања који омогућује високе перформансе система уз минималну зависност од познавања модела процеса којим се управља. Сходно томе, ова техника представља погодно решење за примену у различитим индустријским системима где је прецизно математичко моделовање објекта, односно процеса управљања, најчешће ограничено.

Предмет ове дисертације обухвата проблематику пројектовања и реализације регулатора базираних на управљању са активним потискивањем поремећаја. Допринос истраживања огледа се у предложеним модификацијама постојећих алгоритама, помоћу којих се остварује ефикасније потискивање простопериодичних поремећаја, као и праћење простопериодичних референтних сигнала. На основу спроведене анализе у фреквенцијском домену демонстриране су високе перформансе и робусност развијених управљачких структура. Поред тога, предложена је метода оптималног подешавања параметара регулатора, базирана на примени генетског алгорита. У поређењу са конвенционалним подешавањем параметара показано је да оптимално подешени регулатори, при истим вредностима индекса робусности и осетљивости на шум мерења, пружају значајно боље перформансе у погледу потискивања поремећаја и праћења референтних сигнала.

Посебна пажња посвећена је реализацији пројектованих регулатора применом FPGA хардверских платформи. У оквиру тога сагледане су могућности савремених FPGA чипова и предложена је детаљна методологија имплементације управљачких алгоритама применом графичких софтверских

алата, који омогућују пројектовање хардвера на системском нивоу. На овај начин је поједностављен поступак практичне реализације система, као и избора оптималне хардверске структуре у смислу постизања најбољег компромиса између перформанси управљања и заузећа хардверских ресурса. Самим тим, предложена методологија је допринела томе да се FPGA технологија учини приступачнијом пројектантима управљачких система.

Развијена управљачка решења су експериментално тестирана у лабораторијским условима на троосној платформи дидактичког радара. Добијени резултати симултаног управљања кретањем платформе око све три осе потврдили су ефикасност предложених управљачких алгоритама, као и њихове FPGA реализације.

Научна област:  
Научна  
дисциплина:

Електротехничко и рачунарско инжењерство

Аутоматско управљање

Кључне речи:

Управљање са активним потискивањем поремећаја; Потискивање поремећаја; Фреквенцијска анализа; Оптимално подешавање параметара; Генетски алгоритам; Field Programmable Gate Array-FPGA технологија; Оптимална хардверска реализација; Вишеосни системи управљања; Експериментална верификација.

УДК:

(004.021/.3+519.6):681.5.015

CERIF  
класификација:

P 170 Рачунарство, нумеричка анализа, системи, контрола

Тип лиценце  
Креативне  
заједнице:

**CC BY-NC-ND**

## Data on Doctoral Dissertation

Doctoral  
Supervisor:

Dr. Milica Naumovic, full professor, University of Niš, Faculty of Electronic Engineering

Title:

Design and realization of active disturbance rejection control systems

Abstract:

Active Disturbance Rejection Control (ADRC) is a recently proposed concept, which features high control performances and the minimal dependence on knowledge of the process model. Hence, ADRC represents a suitable solution for the industrial control applications, where the precise mathematical modeling of the process is limited. This dissertation deals with the design and realization of the ADRC controllers. The contribution of the research is reflected in the proposed modifications of the existing ADRC structures, which enable more efficient sinusoidal disturbances rejection and the sinusoidal reference tracking. The high performances and the robustness of the developed algorithms are demonstrated through the frequency domain analysis. Further, the optimal controller parameters tuning method, which is based on the genetic algorithm, is proposed. Compared to the conventional parameter tuning, it has been shown that the optimally tuned system, for the same robustness and noise sensitivity indexes, provides significantly better performances in terms of the external disturbance rejection and the reference tracking. The practical realization of the control systems, using Field Programmable Gate Array (FPGA) hardware, is analyzed. In this context, the features of the modern FPGA chips are considered and a detailed methodology for the control algorithm implementation, by the graphical system-level software tools, is suggested. In this way, the practical realization of the control system and the selection of the optimal hardware structure, as a tradeoff between the system performances and resource occupancy, are simplified. Consequently, the proposed methodology contributes to reducing the gap between FPGA technology and the control system designers.

The developed control system solutions are experimentally tested in the laboratory environment on the three-axis didactic radar platform. The obtained results of the axes tracking performances confirm the efficiency of the proposed control algorithm and its FPGA realization.

Scientific  
Field:  
Scientific  
Discipline:

Electrical Engineering and Computer Science

Automatic Control

Key Words:

Active Disturbance Rejection Control (ADRC); Disturbance rejection; Frequency domain analysis; Optimal parameters tuning; Genetic algorithm; Field Programmable Gate Array-FPGA; Optimal hardware design; Multi-axis system control; Experimental verification

UDC:

(004.021/.3+519.6):681.5.015

CERIF  
Classification:

P 170 Computer science, numerical analysis, systems, control

Creative  
Commons  
License Type:

**CC BY-NC-ND**

## **ЗАХВАЛНИЦА**

*Захваљујем свима који су ми помогли при реализацији ове дисертације и учинили да она буде боља и квалитетнија.*

*Посебно се захваљујем ментору проф. др Милицы Наумовић на свеукупној сарадњи и подршци током израде дисертације, од настанка идеје до њене коначне реализације.*

*Такође захвалио бих се колегама са катедре Војноелектронског инжењерства, Војне академије, на стварању креативне атмосфере и несебичној помоћи у току истраживачког рада.*

*Хвала Јовани и Дуњи на стрпљењу, разумевању и љубави које су несебично уложиле у наш заједнички успех.*

## САДРЖАЈ

<b>1. Увод.....</b>	<b>1</b>
1.1 Развој система аутоматског управљања .....	2
1.2 Дигитална технологија за реализацију система аутоматског управљања.....	5
1.3 Предмет и циљеви научног истраживања .....	7
1.4 Структура дисертације .....	9
<b>2. Управљање са активним потискивањем поремећаја (ADRC).....</b>	<b>11</b>
2.1 Моделовање система и појам тоталног поремећаја .....	11
2.2 Проширени опсервер стања (ESO) .....	13
2.3 Управљачки закон са активним потискивањем поремећаја .....	14
2.4 Линеаризација ADRC структуре.....	16
2.5 ADRC са генерализованим ESO-ом.....	18
2.6 Примена ADRC-а .....	21
<b>3. Пројектовање ADRC регулатора са резонантним проширеним опсервером стања.....</b>	<b>23</b>
3.1 Структура резонантног генерализованог проширеног опсервера стања .....	23
3.2 Анализа конвергенције стања RGESO-а .....	26
3.3 Фреквенцијска анализа карактеристика ADRC система са RGESO-ом.....	31
3.3.1 Анализа перформанси .....	34
3.3.2 Анализа робусности .....	40
3.3.3 Анализа осетљивости система на шум мерења.....	42
<b>4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања .....</b>	<b>45</b>
4.1 Перформансе система у току прелазног процеса.....	46
4.2 Ограничења примене конвенционалног метода подешавања параметара.....	49
4.3 Поступак оптималног подешавања параметара применом генетског алгоритма.....	50
4.3.1 Поставка оптимизационог проблема.....	50
4.3.2 Опис рада генетског алгоритма .....	51
4.4 Резултати оптимизације параметара ADRC регулатора .....	53
<b>5. Реализација система аутоматског управљања применом FPGA технологије.....</b>	<b>58</b>
5.1 FPGA технологија .....	59
5.1.1 Развој FPGA хардвера .....	59



5.1.2	Архитектура FPGA хардвера .....	60
5.1.3	Општи прилаз пројектовању FPGA хардвера .....	62
5.2	Пројектовање FPGA хардвера применом графичких алата.....	64
<b>6.</b>	<b>Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара .....</b>	<b>71</b>
6.1	Троосна платформа лабораторијског дидактичког радара .....	72
6.2	Пројектовање ADRC регулатора за управљање троосном платформом.....	75
6.2.1	Континуални ADRC регулатор.....	75
6.2.2	Подешавање параметра ADRC регулатора .....	79
6.2.3	Дискретизација ADRC регулатора .....	80
6.3	Реализација ADRC система за управљање троосном платформом применом FPGA технологије .....	83
6.3.1	Модул ADRC регулатора.....	86
6.3.2	Модул за генерисање референци.....	95
6.3.3	PWM модул .....	97
6.3.4	Симулациона анализа и програмирање FPGA хардвера.....	98
6.4	Експериментална верификација .....	106
<b>7.</b>	<b>Закључак.....</b>	<b>110</b>
	<b>Литература .....</b>	<b>112</b>
	<b>Списак слика.....</b>	<b>121</b>
	<b>Списак табела .....</b>	<b>124</b>
	<b>Регистар скраћеница.....</b>	<b>126</b>
	<b>Биографија аутора.....</b>	<b>128</b>

## 1. Увод

Савремени системи аутоматског управљања захтевају примену управљачких решења која обезбеђују високе перформансе у погледу праћења задатих референтних сигнала и потискивања различитих врста поремећаја, као и задовољавајућу робусност система у односу на увек присутне неодређености у математичком моделу процеса којим се управља. Поред тога, са аспекта практичне индустријске примене, додатни изазов представља минимизација сложености алгоритма управљања и што је могуће једноставнија хардверска реализација. Упркос развоју модерних управљачких техника са високим перформансама, као што су оптимално, робусно и адаптивно управљање као и интелигентних система управљања на бази *fuzzy* логике и неуронских мрежа, њихова примена је често ограничена сложеношћу практичне реализације и/или захтевима за познавање тачног модела процеса којим се управља. Штавише, преко 90% индустријских управљачких система и даље се ослања на примену класичних регулатора са пропорционалним, интегралним и диференцијалним дејством, пре свега због њихове погодности за практичну реализацију.

Појава технике управљања са активним потискивањем поремећаја (*Active Disturbance Rejection Control-ADRC*), која је објединила добре особине класичне и модерних теорије управљања, омогућила је пројектовање управљачких система који пружају високе перформансе уз минималну зависност од познавања модела процеса. Релативно једноставна структура овог алгоритама омогућује да се он разматра као добар компромис између ефикасности управљања и погодности за практичну имплементацију. Сходно томе, последњих година ADRC постаје предмет истраживања у великом броју научних радова, где се излажу и анализирају теоријски доприноси ове технике управљања, као и резултати практичне примене.

У овој дисертацији представљено је истраживање анализе и синтезе ADRC-а, као и могућности модификације постојећих алгоритама у циљу постизања бољих перформанси управљања и индекса робусности. Поред тога, разматран је проблем практичне реализације управљачких алгоритама, са тежиштем на примени FPGA (*Field Programmable Gate Array*) технологије. Могућности практичне примене предложених решења управљања експериментално су верификовани у лабораторијским условима.

Како би се стекао детаљнији увид у проблем научног истраживања, у наставку

---

уводних разматрања дат је кратки преглед развоја теорије и праксе система аутоматског управљања, са освртом на место ADRC управљачке технике. Поред тога, описане су главне карактеристике постојећих дигиталних платформи за реализацију система аутоматског управљања и истакнуте су предности и недостаци примене FPGA технологије. Након тога дефинисани су предмет и циљеви научног истраживања, као и структура дисертације.

## 1.1 Развој система аутоматског управљања

Са почетком индустријске револуције, долази до увођења машина у производне процесе како би се повећала брзина и обим производње разноврсних добара. Истовремено са тим намеће се проблем ефикасног управљања машинама, које од радника захтевају исцрпно понављање истих операција и све краће време реаговања у току процеса управљања. Људска ограничења у овом погледу, као и потреба за хуманизацијом радних услова доводе до развоја система аутоматског управљања који ће у потпуности заменити ангажовање човека. Као почетак развоја ове техничке дисциплине узима се 1788. година и конструкција Ватовог (James Watt) центрифугалног регулатора [Stojic, 1985], који је омогућио аутоматску контролу дотока паре и самим тим контролу брзине вратила парних машина. Рад овог система је био заснован на идеји повратне спреге, која се механички затварала преко мерене брзине вратила. Принципи центрифугалног регулатора убрзо постају универзално прихваћени у инжењерској, па током XIX века долази до великог раста примене аутоматског управљања у тадашњој индустрији.

Први теоријски доприноси у изучавању аутоматског управљања појављују се у другој половини XIX века, а као један од најзначајнијих истиче се рад Џејмса Максвела (James Maxwell) [Maxwell, 1868] који анализира стабилност поменутог центрифугалног регулатора на основу линеаризације диференцијалних једначина регулатора и проналажења корена карактеристичне једначине система. Након тога следе радови Рута, Љапунова и Хурвица [Routh, 1877; Lyapunov, 1892; Hurwits, 1895], у којима се дефинишу општи критеријуми стабилности система са повратном спрегом.

Почетком XX века практична решења у реализацији система аутоматског управљања из домена механике се све више пребацују на област електротехнике и обраде сигнала, па се тако појављују и први електронски појачавачи са негативном повратном спрегом. Сходно томе, долази до развоја нових метода за теоријску анализу

система. Наиме, решавање диференцијалних једначина система управљања се из временског домена пребацује у фреквенцијски домен, који је својствено ближи проблему анализе и обраде сигнала. Резултат тога је дефинисање графичког Никвистовог критеријума стабилности [Nyquist, 1932], као и Бодеевог критеријума [Bode, 1940], који уз прегледнији графички приказ први пут уводи амплитудну и фазну резерву као мере робусности система аутоматског управљања. Поред тога, у овом периоду непосредно пре и у току Другог светског рата, долази до значајних резултата у проучавању система за аутоматско праћење променљивих физичких величина, чиме се постављају основи теорије сервосистема.

Наведена научна достигнућа, заједно са методом анализе и синтезе система на основу геометријског места корена, која се појављује крајем четрдесетих година прошлог века [Ewans, 1950], чине основу класичне теорије аутоматског управљања [Stojić, 1985]. Ова теорија пружила је математичку подлогу на основу које су се временом развиле релативно једноставне инжењерске методе пројектовања система аутоматског управљања. Сходно томе, регулатори на бази класичне теорије управљања, као што су пропорционално-интегрално-диференцијални (ПИД) регулатори, и данас представљају доминантна решења у индустријским постројењима, а поготово у случајевима једноставнијих линераних система са једним улазом и излазом.

У случају пројектовања регулатора за сложене објекте управљања, са значајним пертурбацијама параметара и већим бројем улазних и излазних величина (мултиваријабилни системи), примена класичних метода често не даје задовољавајуће перформансе система. Стога, средином педесетих године прошлог века долази до појаве модерних теорија аутоматског управљања, чију основу чине радови математичара Поинкареа и Љапунова са краја XIX века. Наиме, запис диференцијалних једначина система у облику простора стања омогућио је примену сложенијих математичких алата, па се могло погодено приступити проблемима анализе и синтезе временски променљивих система, нелинераних система, мултиваријабилних или система са моделима високог реда. Модерне управљачке технике могу се посматрати као засебне дисциплине проучавају посебне типове система управљања. Тако постоје технике за пројектовања оптималних, робусних, адаптивних, нелинераних и других система управљања. Упркос значајних предности модерних техника њихова шира примена је остала донекле ограничена, пре свега због комплексности регулатора, а самим тим и сложености практичне реализације.

---

У контексту класичне и модерних техника пројектовања система управљања треба нагласити да се у данашње време ова подела никако не сме окарактерисати као стриктна. Развој аутоматског управљања последњих деценије утиче на то да се разлике између ова два приступа све више смањују. Савремена едукација пројектаната управљачких система подразумева изучавање како класичног, тако и модерних прилаза пројектовања система, као и техника које комбинују оба прилаза.

Развој концепта ADRC-а започиње крајем прошлог века и први радови из ове области [Han, 1989; Han, 1998], углавном објављени на кинеском језику, презентују нови приступ у пројектовању система аутоматског управљања, чија је основна карактеристика минимална зависност од познавања модела процеса. Убрзо након тога представљени су и први радови на енглеском језику [Gao, 2001; Gao, 2006a; Han, 2009], па тако ова филозофија управљања постаје доступна широј научној јавности.

Идејни творац ADRC-а, професор *Jingqing Han*, модерне управљачке технике дефинише као приступе који се углавном ослањају на теорију моделовања, па сходно томе њихов квалитет управљања значајно зависи до тачности модела процеса. Ако се узме у обзир то да већина процеса и објеката управљања представљају сложене линеарне или нелинеарне системе, са временски зависним или независним параметрима, на које утичу различити спољашњи и унутрашњи поремећаји, јасне су тешкоће које настају при покушају њиховог тачног моделовања, неопходног за успешну примену модерних управљачких техника. Разматрајући могућа решења овог проблема, Хан полази од чињенице да се затварањем одговарајуће повратне спреге било који модел линеарног или нелинеарног процеса, у присуству различитих поремећаја, може свести на каноничну форму редне везе интегратора на коју не делују поремећаји [Huang, 2014]. Формирањем одговарајућег сигнала повратне спреге применом посебно пројектованог опсервера стања, добија се управљачки алгоритам за чије пројектовање је потребно минимално познавање модела процеса којим се управља [Madonski, 2015].

У својим прегледним научним радовима, оснивачи концепта ADRC-а, принципе овог алгоритма повезују са принципима управљања у напред (*feedforward control*), чије су идеје дате много раније у радовима научника Понцелета и Шипанова [Tian, 2009a] и где је показано да се активно потискивање ефекта било ког поремећаја може постићи укључивањем сигнала поремећаја у управљачки закон. Основно ограничење управљања у напред огледало се у постојању проблема формирања сигнала поремећаја, имајући у виду да су они у већини случајева непознати и немерљиви. Међутим, формулисањем

---

појма тоталног поремећаја, који обухвата све спољашње и унутрашње поремећаје и пројектовањем опсервера стања за његову ефикасну естимацији ADRC је омогућио практичну примену идеје *feedforward* управљања за активно потискивање свих унутрашњих и спољашњих поремећаја који делују на систем [Манојловић, 2016].

Анализирајући концепт ADRC-а можемо закључити да он представља ефикасну алтернативу класичној и модерним теоријама система аутоматског управљања. Наиме, пројектовање управљања применом опсервера стања, односно на бази описа система у простору стања чини ADRC алгоритам блиским са модерним теоријама управљања, док у другу руку минимална зависност квалитета управљања од модела процеса и релативно једноставан алгоритам представљају особине које одговарају класичној техници управљања.

## 1.2 Дигитална технологија за реализацију система аутоматског управљања

Развој дигиталне технологије дао је огроман подстицај унапређењу аутоматског управљања, тако да није случајно што се временски период почетка модерних теорија управљања поклапа са периодом појаве првих дигиталних рачунара. Наиме, посматрано уназад код чисто механичких система управљања, попут Ватовог центрифугалног регулатора, обрада информација неопходних за управљање није била енергетски одвојена од самог објекта управљања, па такав регулатор није био флексибилан у погледу евентуалне примене на неке друге процесе, односно објекте управљања. Битан помак у овом смислу настаје применом аналогних електронских кола за реализацију регулатора, док је тек дигитална технологија омогућила потпуно одвајање обраде информација у алгоритму управљања од извршне и мерне функције неког система аутоматског управљања [Nof, 2009].

Појава високо интегрисаних TTL (*Transistor Transistor Logic*) компоненти, седамдесетих година прошлог века, омогућила је развој микропроцесора који представљају прве универзалне дигиталне платформе за имплементацију електричних кола. У почетку микропроцесори су првенствено налазили примену у рачунарским системима, али како су временом постајали све бржи и са све већим могућностима, а у другу руку све јефтинији, долази до пораста њихове примене у реализацији системима аутоматског управљања. Ово је подстакло развој микроконтролерских јединица које се састоје од микропроцесора опште намене (*General Purposes Processor-GPP*)

---

интегрисаног са потребним периферијама, као што су: различите меморије, бројачи, тајмери, дигитални улазни и излазни модули, комуникациони модули, аналогни интерфејс, итд. На овај начин микроконтролери постају дигиталне рачунарске машине интегрисане на једном чипу. Њихове основне карактеристике су висока поузданост, релативно ниска цену и пре свега флексибилност у погледу могућности реализације различитих алгоритама управљања, применом програмирања у неком од програмских језика, као што су C или C++. Ипак, релативно мала брзина радног такта од свега неколико десетина MHz и секвенцијално извршавање имплементираних алгоритама, ограничавају њихову примену на релативно једноставније апликације које не захтевају велику брзину рада. Из тог разлога долази до развоја микропроцесора са архитектуром која је прилагођена дигиталној обради сигнала (*Digital Signal Processing- DSP*) који омогућују знатно брже процесирање сигнала. Како се већина DSP алгоритама, као што су реализације FIR филтра, IIR филтра и Фуријеове трансформације, могу свести на израчунавања типа "помножи и сабери", DSP процесори имају уграђен најмање по један брзи множач или комбинацију множачко-акумулаторске јединице (*multiply-accumulate -MAC*). Поред тога, велики број меморијских банака и засебне магистрале до сваке од њих омогућавају учитавање MAC инструкције, узорка податка и коефицијента операције у једном тактном интервалу. Модерни DSP процесори имају и по неколико независних извршних јединица које раде у паралели чиме се још више убрзава процесирање података. Перформансе DSP процесора, довеле су до њихове широке примене у индустријским управљачким системима, тако да данас представљају најраспрострањеније дигиталне платформе.

Поред софтверски оријентисаних реализација, базираних на микроконтролерима и DSP процесорима, паралелно су се развијала и чисто хардверска решења на бази апликационо оријентисаних интегрисаних кола (*Application Specific Integrated Circuit-ASIC*). Основне карактеристике ове технологије су висок ниво интеграције, чиме се значајно смањују физичке димензије система, као и високе перформансе у погледу брзине обраде сигнала, због паралелизма у извршењу операција. Међутим, главни недостаци су велико време развоја крајњег решења (*time-to-market*) и висока цена, јер се архитектура готовог чипа не може мењати, па се из тог разлога производе по наруџбини за одређену компанију у већим или мањим серијама. Боље перформансе у односу на DSP процесоре издвојиле су ASIC технологију за реализацију изузетно захтевних апликација, као и код система који се производе у великим серијама.

---

Трагање за дигиталном технологијом која би могла објединити флексибилност софтверски базираних решења са добрим особинама хардверских реализација, које се огледају у паралелизму процесирања сигнала, довело је до развоја програмабилних логичких кола (*Programmable Logic Device-PLD*). Као најзаступљенији представници ове технологије данас се издвајају FPGA чипови, који представљају PLD кола са високим степеном интеграције. Структуру FPGA чини фиксан скуп различитих логичких компоненти које су спојене програмабилним везама. Програмирањем ових веза, применом програмских језика, врши се конфигурисање конкретног FPGA чипа, односно дефинисање његове функције од стране крајњег корисника. На овај начин омогућена је хардверска реализација различитих алгоритама аутоматског управљања, независно од произвођача компоненти. Поред тога, могућност неограниченог броја репрограмирања (реконфигурисања) истог FPGA чипа пружа флексибилност у погледу модификација већ имплементираних алгорита.

На основу карактеристика описаних дигиталних платформи јасно је да ће одабир одговарајуће платформе зависти од конкретних захтева система аутоматског управљања који се реализује. Поред тога, треба нагласити да се пројектанти управљачких система углавном ослањају на технологију која је њима блиска и пре свега економски доступна. Тако на пример, иако реализација система управљања помоћу FPGA хардвера поседује одређене предности у односу на DSP и ASIC реализације, њена практична примена је и даље значајно мања, из разлога што се ради о релативно новој технологији. Међутим, последњих година долази до развоја модерних софтверских алата који пружају могућност пројектовања FPGA, тестирања и непосредне имплементације решења на системском нивоу у графичком окружењу програмских пакета блиских инжењерима аутоматике, као што је MATLAB/Simulink. На овај начин, FPGA технологија све чешће уместо алтернативе постаје први избор при одабиру дигиталних хардвера за реализацију система аутоматског управљања.

### **1.3 Предмет и циљеви научног истраживања**

ADRC концепт управљања је базиран на идеји да се дејство спољашњих поремећаја, као и непознавање тачног математичког модела објекта управљања, третира као један укупни (тотални) поремећај, којим се, као додатним стањем система, проширује модел у простору стања. Применом проширеног опсервера стања (*Extended State Observer - ESO*), као кључне компоненте алгорита, врши се естимација тоталног

---



поремећаја, а након тога његово активно потискивање у унутрашњој петљи алгорита. На овај начин, било који процес са функцијом преноса  $n$ -тог реда се своди на каскадну везу  $n$  интегратора, којом се ефикасно управља затварањем повратних спрега преко осталих естимираних стања у спољашњој петљи управљања. У циљу тачне естимације различитих облика тоталног поремећаја, развијене су различите структуре проширеног опсервера стања вишег реда, попут генерализованог проширеног опсервера стања (*Generalized Extended State Observer* - GESO), којим се постиже тачна естимација тоталног поремећаја полиномијалног облика. Ипак, недостаци примене генерализованог проширеног опсервера стања огледају се у смањењу робусности система са затвореном повратном спрегом, као и немогућности тачне естимације тоталних поремећаја који имају простопериодичан облик.

Структура ADRC регулатора омогућује једноставно подешавање параметара алгорита, које се своди на избор пропусних опсега опсервера стања и регулатора у затвореној повратној спреси. Међутим, треба нагласити да овако добијена решења не омогућавају оптималан однос перформанси и робусности пројектованог система управљања, што представља главни недостатак подешавања параметара на овај начин.

Сходно наведеном предмет истраживања ове дисертације обухвата анализу како постојећих ADRC алгоритама, тако и могућности њихове модификације како би се побољшале управљачке перформансе и робусност система у случају дејства различитих комплексних типова тоталних поремећаја, а пре свега поремећаја који у себи садрже простопериодичне компоненте. Поред тога, размотра се проблем оптималног подешавања параметара ADRC-а како би се постигао најбољи компромис између перформанси и робусности система управљања. Други део истраживања односи се на анализу употребе FPGA технологије за имплементацију управљачких алгоритама. Посебна пажња посвећена је примени софтверских алата који омогућују пројектовање FPGA хардвера на системском нивоу у графичком окружењу. Могућности практичне примене предложених ADRC алгоритама, реализованих на FPGA чипу, анализирани су у склопу пројектовања конкретног система за управљање троосном платформом лабораторијског дидактичког радара.

На основу дефинисаног предмета научног истраживања постављени су следећи конкретни циљеви истраживања:

- Синтеза ADRC регулатора на бази предложених модификованих структура GESO-а како би се постигла тачнија естимација променљивих

стања, а самим тим и ефикасније управљање у присуству различитих класа тоталних поремећаја, а пре свега поремећаја простопериодичног облика.

- Дефинисање методе оптималног подешавања параметара ADRC система применом генетског алгоритма, у циљу добијања максималних перформанси управљања при задатим вредностима индекса робусности и осетљивости система на шум мерења.
- Анализа карактеристика комерцијалних FPGA чипова, као и њихових могућности и ограничења у реализацији система аутоматског управљања.
- Дефинисање методологије пројектовања FPGA хардвера на системском нивоу, применом графичких софтверских алата, потпут XSG (*Xilinx System Generator*) алата. Предложени поступак пројектовања треба да омогући једноставнију хардверску имплементацију система аутоматског управљања и самим тим FPGA технологију учини приступачнијом инжењерима аутоматике.
- Експериментална верификација предложених решења у лабораторијским условима на проблему управљања троосном платформом дидактичког радарског система.

## 1.4 Структура дисертације

Докторска дисертације је организовна кроз седам поглавља. У **првом**, уводном поглављу, кроз приказ развоја теорије и праксе система аутоматског управљања размотрено је место ADRC технике управљања. Поред тога, дат је осврт на дигиталне платформе за реализацију система аутоматског управљања, са тежиштем на дефинисању предности примене FPGA хардвера. Такође, дефинисани су предмет и конкретни циљеви научног истраживања, као и структура дисертације.

У **другом** поглављу на општем моделу система  $n$ -тог реда описане су основне идеје ADRC концепта управљања. Приказана је основна структура нелинераног ADRC алгоритма, како и његова линеаризована форма. Разматрајући опсервер стања као кључну компоненту алгоритма, кроз доступну литературу анализирани су ADRC системи на бази GESO-а, помоћу којих се постиже ефикасна естимација и потискивање полиномијалних типова поремећаја.

---

Модификација структуре GESO-а, уграђивањем модела резонантног поремећаја, у циљу постизања ефикасне естимација простопериодичних тоталних поремећаја, описана је у **трећем** поглављу. Спроведена је анализа конвергенције стања предложених структура опсервера, као и фреквенцијска анализа перформанси и робусности ADRC регулатора базираних на њима.

У **четвртном** поглављу дефинисана је метода оптималног подешавања параметара ADRC-а, на бази генетског алгорита. Оптимизациони проблем је постављен тако да се његовим решењем постигну максималне перформансе система у прелазном периоду за задате индексе робусности и осетљивости на шум мерења. Упоредном анализом одзива система са конвенционално и оптимално подешеним параметрима регулатора показане су предности предложене методе.

Основне карактеристике FPGA технологије, као и предлог методологије реализације управљачких система на FPGA, применом графичких алата за пројектовање дати су у **петом** поглављу.

Практична примена предложене ADRC структуре за управљање кретањем троосне платформе лабораторијског дидактичког радара описана је у **шестом** поглављу дисертације. У оквиру тога, представљен је математички модел троосне платформе, поступак пројектовања континуалног и дискретног ADRC-а. Такође, описани су поступак имплементације алгорита на FPGA хардвер, као и резултати експерименталне верификације, спроведене у лабораторијским условима.

Закључци и предлози за даља истраживања сумирани су у последњем **седмом** поглављу.

## 2. Управљање са активним потискивањем поремећаја (ADRC)

У овом поглављу, на општем моделу система  $n$ -тог реда, изложене су основне идеје управљања са активним потискивањем поремећаја (*Active Disturbance Rejection Control-ADRC*), које се огледају у дефинисању појма тоталног поремећаја, пројектовању проширеног опсервера стања (*Extended State Observer-ESO*) за естимацију тоталног поремећаја и примени закона управљања којим се омогућује његово активно потискивање. У основној поставци ADRC-а уведене су и одређене нелинеарности при синтези проширеног опсервера стања и закона управљања, у циљу постизања бољих перформанси система [Han, 2009]. Ипак, практична примена ADRC-а са нелинераном структуром је донекле остала ограничена због релативно сложене структуре и великог броја параметара за подешавање. У циљу једноставнијег поступка пројектовања и пре свега хардверске имплементације, у овом поглављу представљена је и линеаризована форма ADRC-а [Gao, 2006b], која ће бити основа за даље пројектовање и практичну реализацију система управљања.

Разматрајући ESO као кључну компоненту алгорита, кроз доступну литературу анализирана су досадашња достигнућа у пројектовању његове структуре, помоћу којих се постиже ефикасна естимација, а самим тим и успешно потискивање, различитих поремећаја полиномијалног облика. Поред тога, указано је и на основне недостатке постојећих форми ESO-а. На крају поглавља су кроз одговарајућу литературу описане практичне примене ADRC-а у различитим системима.

### 2.1 Моделовање система и појам тоталног поремећаја

Полазећи од чињенице да у највећем броју случајева није могуће прецизно идентификовати и моделовати објекат управљања, а самим тим и остварити жељене перформансе управљања, ADRC концепт уводи идеју да се било који систем  $n$ -тог реда моделује номиналном формом у виду каскадне везе  $n$  интегратора, а да се сва остала немоделирана динамика и сви спољашњи поремећаји третирају као један тотални (укупни) поремећај који је потребно ефикасно потиснути [Han, 2009].

Да би смо детаљније објаснили овакав приступ размотримо систем  $n$ -тог реда са једним улазом и излазом, описан једначином:

$$y^{(n)}(t) = \zeta(y(t), \dot{y}(t), \dots, y^{(n-1)}(t), u(t)) + bu(t) + d(t) \quad (2.1)$$

где је  $u(t) \in \mathbb{R}$  мерљиви управљачки улаз,  $y^{(n)}(t) \in \mathbb{R}$   $n$ -ти извод мерљивог излаза  $y(t)$ ,  $\zeta(\cdot) \in \mathbb{R}$  најчешће непозната унутрашња динамика система,  $d(t) \in \mathbb{R}$  непознати спољашњи поремећај, а  $b \in \mathbb{R}/\{0\}$  непознати параметар система, који можемо записати у облику  $b = b_0 + \Delta b$ , где је  $b_0$  његова најбоља апроксимација. Циљ управљања системом (2.1) представља пројектовање управљачког сигнала  $u(t)$  који треба да обезбеди да излаз система  $y(t)$  прати жељени референтни сигнал  $r(t)$  у присуству немоделиране/непознате динамике система и спољашњих поремећаја.

Увођењем појма тоталног поремећаја  $f(t) \in \mathbb{R}$ , који обухвата целокупну непознату унутрашњу динамику система и спољашњи поремећај:

$$f(t) = \zeta(\cdot) + \Delta bu(t) + d(t) \quad (2.2)$$

систем (2.1) можемо представити као:

$$y^{(n)}(t) = f(t) + b_0 u(t). \quad (2.3)$$

Ако претпоставимо да је  $f(t)$  диференцијабилна функција, можемо је представити као додатно (проширено)  $n + 1$ . стање система (2.1) и на тај начин модел у простору стања дефинисати као:

$$\begin{aligned} \dot{\mathbf{x}}(t) &= \mathbf{A}\mathbf{x}(t) + \mathbf{B}u(t) + \mathbf{E}\dot{f}(t) \\ y(t) &= \mathbf{C}\mathbf{x}(t) \end{aligned} \quad (2.4)$$

где је  $\mathbf{x}(t) = [x_1(t), \dots, x_n(t), x_{n+1}(t)]^T = [y(t), \dots, y^{(n-1)}(t), f(t)]^T$  вектор стања система, а вредности матрица су:

$$\mathbf{A} = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & 1 \\ 0 & 0 & 0 & \dots & 0 \end{bmatrix}_{(n+1) \times (n+1)}, \quad \mathbf{B} = [\mathbf{0}_{n-1} \quad b_0 \quad 0]^T, \quad \mathbf{E} = [\mathbf{0}_n \quad 1]^T, \quad \mathbf{C} = [1 \quad \mathbf{0}_n],$$

где је  $\mathbf{0}_n$  нула вектор димензија  $1 \times n$ .

Применом оваквог приступа у пројектовању управљања проблем тачне идентификације и моделовања објекта управљања се преводи на проблем реконструкције и потискивања уведеног тоталног поремећаја. На тај начин било који систем  $n$ -тог реда се своди на каскадну везу  $n$  интегратора, којом се може ефикасно управљати регулатором једноставне структуре. Имајући у виду да дефинисани тотални поремећај у највећем броју случајева представља немерљиву физичку величину, за његову реконструкцију ADRC концепт предлаже примену проширеног обсервера стања, чија ће детаљна структура бити описана у наставку.

## 2.2 Проширени опсервер стања (ESO)

У основној поставци ADRC-а, естимација тоталног поремећаја као и осталих стања система (2.4) остварује се применом ESO-а нелинеране структуре, па тако за систем  $n$ -тог реда једначина опсервера ће имати облик:

$$\begin{aligned} \dot{\hat{\mathbf{x}}}(t) &= \mathbf{A}\hat{\mathbf{x}}(t) + \mathbf{B}u(t) + \mathbf{L}\mathbf{G}(t), \\ \hat{y}(t) &= \mathbf{C}\hat{\mathbf{x}}(t), \end{aligned} \tag{2.5}$$

где је  $\hat{\mathbf{x}}(t) = [\hat{x}_1(t), \dots, \hat{x}_n(t), \hat{x}_{n+1}(t)]^T = [\hat{y}(t), \dots, \hat{y}^{(n-1)}(t), \hat{f}(t)]^T$  вектор естимираних стања система (2.4),  $\mathbf{L} = [l_1, \dots, l_n, l_{n+1}]^T$  вектор појачања опсервера, а  $\mathbf{G}(t) = [g(e_{obs}(t), \alpha_{e1}, \delta_e), g(e_{obs}(t), \alpha_{e2}, \delta_e), \dots, g(e_{obs}(t), \alpha_{e(n+1)}, \delta_e)]$  вектор нелинеарних функција дефинисаних у литератури [Gao, 2001]:

$$g(e_{obs}(t), \alpha_{ei}, \delta_e) = \begin{cases} |e_{obs}(t)|^{\alpha_{ei}} \cdot \text{sign}(e_{obs}(t)), & |e_{obs}(t)| > \delta_e \\ \frac{e_{obs}(t)}{\delta_e^{1-\alpha_{ei}}}, & |e_{obs}(t)| \leq \delta_e \end{cases}, \quad \delta_e > 0 \quad (2.6)$$

где је  $e_{obs}(t) = y(t) - \hat{y}(t)$  грешка естимације а  $\alpha_{ei}, i = 1, 2, \dots, n+1$  и  $\delta_e$  параметри пројектовања. Избором  $\alpha_{ei}$  из опсега (0,1) постиже се слабљење утицаја појачања опсервера у случајевима када је грешка естимације  $e_{obs}(t)$  велика, док се избором мале вредности  $\delta_e$ , дефинише регион у околини нулте вредности грешке  $e_e(t)$ , где је функција линеарна и где долази до повећања утицаја појачања опсервера [Han, 2009].

Основна предност ESO-a у односу на друге типове опсервера код којих се такође поремећај третира као додатно стање система, попут опсервера са непознатим улазима (*Unknown Input Observer*-UIO) [Johnson, 1976], опсервера поремећаја (*Disturbance Observer*-DOB) [Schrijver, 2002] или опсервера пертурбација (*Perturbation Observer*-POB) [Kwon, 2003], огледа се пре свега у његовој минималној зависности од познавања модела објекта управљања, имајући у виду да се у поремећај укључује и непозната динамика система. Наиме, за пројектовање ESO-a једино је потребно познавати апроксимативну вредност параметра процеса  $b$ . У поређењу са напредним типовима опсервера, као што су *High Gain Observer* (HGO) и *Sliding Mode Observer* (SMO), ESO је показао највећи степен робусности у односу на неодређеност модела објекта управљања и утицај спољашњих поремећаја и шума мерења [Wang, 2003]. На основу анализе перформанси и конвергенције стања ESO-a, спроведене у [Zheng, 2007], доказано је да, у случају када су тотални поремећај и његови изводи ограничене функције, грешка естимације је такође ограничена функција, као и да са повећањем пропусног опсега опсервера грешка естимација монотono опада.

### 2.3 Управљачки закон са активним потискивањем поремећаја

Формирање управљачког закона ADRC је реализован као комбинација управљања у петљи поремећаја, и то затварањем повратне спреге преко естимираних вредности тоталног поремећаја  $\hat{x}_{n+1}(t) = \hat{f}(t)$  и закона управљања  $u_0(t)$  који се остварује затварањем повратне спреге помоћу осталих естимираних стања система. Једначину управљачког сигнала можемо дакле записати као:

---

$$u(t) = \frac{u_0(t) - \hat{x}_{n+1}(t)}{b_0}. \quad (2.7)$$

После замене  $u(t)$  из (2.7) у (2.3), добијамо:

$$y^{(n)}(t) = f(t) + b_0 \frac{u_0(t) - \hat{x}_{n+1}(t)}{b_0} \approx u_0(t), \quad (2.8)$$

где можемо уочити да се за добро подешен ESO, који обезбеђује ефикасну естимацију тоталног поремећаја ( $\hat{x}_{n+1}(t) = \hat{f}(t) \approx f(t)$ ) било који систем  $n$ -тог реда може апроксимирати номиналном каскадном везом  $n$  интегратора на коју не делују поремећаји (тзв. *disturbance-free model*). Оваквом формом се релативно једноставно управља избором одговарајућег управљачког закона  $u_0(t)$ . Слично као и при пројектовању ESO-а, Хан предложи примену нелинеарног закона управљања [Han, 2009], који се за систем  $n$ -тог реда може записати у облику:

$$u_0(t) = K_1 g(e_{r_1}(t), \alpha_{r_1}, \delta_r) + K_2 g(e_{r_2}(t), \alpha_{r_2}, \delta_r) + \dots + K_n g(e_m(t), \alpha_m, \delta_r) \quad (2.9)$$

где су  $K_1, K_2 \dots K_n$  појачања регулатора,  $g(\cdot)$  нелинеарна функција дефинисана изразом (2.6) са параметрима  $\alpha_{r_1}, \alpha_{r_2} \dots \alpha_m$  и  $\delta_r$ , док су сигнали грешке праћења референтног сигнала  $r(t)$ , односно његових извода, означени редом са  $e_{r_1}(t) = r(t) - \hat{x}_1(t)$ ,  $e_{r_2}(t) = \dot{r}(t) - \hat{x}_2(t)$  и  $e_m(t) = r^{(n-1)}(t) - \hat{x}_n(t)$ .

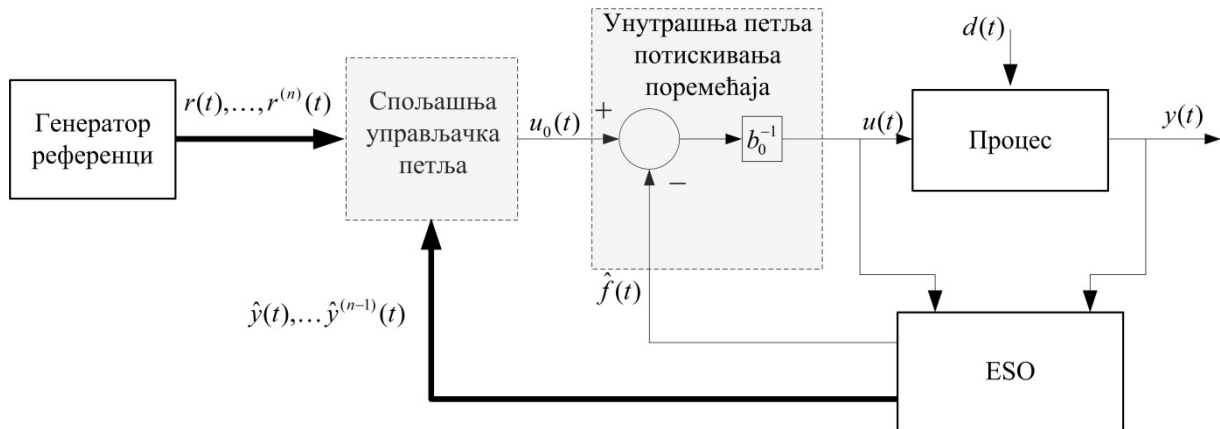
Генерисање извода референтног сигнала, који су неопходни за формирање сигнала  $e_{r_2}(t) \dots e_m(t)$  остварује се применом диференцијатора са нелинеарном формом, названог *Tracking Differentiator (TD)* [Gao, 2001], који је описан једначином:

$$\begin{aligned} \dot{v}_1(t) &= v_2(t) \\ \dot{v}_2(t) &= -r_k \cdot \text{sign} \left( v_1(t) - r(t) + \frac{v_2(t)|v_2(t)|}{2r_k} \right) \end{aligned} \quad (2.10)$$



где су  $v_1(t)$  и  $v_2(t)$  излази TD-а који прате референцу  $r(t)$  и њен извод  $\dot{r}(t)$ . Брзина конвергенције диференцијатора је у овом случају дефинисана избором параметра  $r_k$ . Овде је потребно нагласити да се у случају дискретизације структура (2.10) уноси значајна нумеричка грешка, те су због тога у [Нап, 2009] дате једначине нелинераног TD-а погодног за дискретну реализацију.

На основу свега наведеног целокупни структурни блок дијаграм ADRC алгоритма можемо представити као на слици 2.1.



Слика 2.1 Структурни блок дијаграм ADRC алгоритма

Анализом алгоритма са слике 2.1 можемо уочити да управљачка петља потискивања поремећаја представља унутрашњу петљу алгоритма, док се управљачки закон  $u_0(t)$  формира у спољашњој управљачкој петљи. На овај начин потискивање тоталног поремећаја се може окарактерисати као активно потискивање у смислу да систем реагује на сам поремећај, за разлику од пасивне компензације, код управљачких структура попут ПИД регулатора, код којих постоји само једна петља управљања па систем увек реагује на последицу поремећаја, односно управљачку грешку [Madoński, 2015].

## 2.4 Линеаризација ADRC структуре

Практична имплементација и примена описане структуре ADRC-а са нелинеарним формулацијама ESO-а и закона управљања може бити ограничена због великог броја параметра које је потребно подесити, као и релативно сложене хардверске имплементације. У циљу једноставнијег пројектовања, а пре свега

имплементације у литератури [Gao, 2006b] је предложена линеаризација алгоритма, где се уместо нелинеарних функција примењених у синтези ESO-а и закона управљања, уводе линеарне функције. Сходно томе структура линеарног ESO, пројектованог за естимацију стања система (2.4) може се записати као:

$$\begin{aligned}\dot{\hat{\mathbf{x}}}(t) &= \mathbf{A}\hat{\mathbf{x}}(t) + \mathbf{B}u(t) + \mathbf{L}(y(t) - \hat{y}(t)), \\ \hat{y}(t) &= \mathbf{C}\hat{\mathbf{x}}(t),\end{aligned}\tag{2.11}$$

где уместо нелинеарне форме у члану  $\mathbf{L}\mathbf{G}(t)$  уводимо линеарну структуру  $\mathbf{L}(y(t) - \hat{y}(t))$ . На сличан начин, уместо нелинеарног закона управљања (2.7) предлаже се његова линеаризирана форма, која се за систем  $n$ -тог реда може записати као:

$$u(t) = \frac{1}{b_0} [K_1(r(t) - \hat{x}_1(t)) + K_2(\dot{r}(t) - \dot{\hat{x}}_2(t)) + \dots + K_n(r^{(n-1)}(t) - \hat{x}_n(t)) + r^{(n)}(t) - \hat{x}_{n+1}(t)]\tag{2.12}$$

На овај начин се подешавање параметра ADRC алгоритма своди на одговарајући избор вектора појачања проширеног опсервера стања  $\mathbf{L} = [\beta_1, \dots, \beta_n, \beta_{n+1}]^T$  и појачања регулатора у спољашњој петљи  $\mathbf{K} = [K_1, \dots, K_n]$ . Бирајући за све полове ESO-а тачку  $s = -\omega_{obs}$ , а за полове регулатора тачку  $s = -\omega_c$ , појачања опсервера и регулатора једноставно прорачунавамо на основу њихових карактеристичних једначина:

$$\lambda_{obs}(s) = |s\mathbf{I} - (\mathbf{A} - \mathbf{L}\mathbf{C})| = (s + \omega_{obs})^{n+1},\tag{2.13}$$

$$\lambda_c(s) = |s\mathbf{I} - (\mathbf{A} - \mathbf{K}\mathbf{C})| = (s + \omega_c)^n.\tag{2.14}$$

На овај начин пропусни опсег опсервера  $\omega_{obs}$  и пропусни опсег регулатора  $\omega_c$ , постају једини параметри за подешавање. Пропуни опсег  $\omega_c$  бирамо на основу жељених перформанси система са затвореном повартном спрегом, док за пропусни опсег опсервера  $\omega_{obs}$  усвајамо тако да је [Miklosovic, 2006]:

---

$$\omega_{obs} = (3 \div 10) \cdot \omega_c \quad (2.15)$$

и на тај начин постижемо бржи рад опсервера од остатка система.

Овде је потребно нагласити да, теоријски посматрано, са аспекта конвергенције стања опсервера и перформанси целокупног система пожељно да пропусни опсег опсервера буде што већи. Ипак, у практичној примени вредност  $\omega_{obs}$  је ограничена због постојања шума мерења чији утицај расте са порастом пропусног опсега опсервера [Martinez, 2009].

## 2.5 ADRC са генерализованим ESO-ом

У складу са претходно дефинисаном структуром ADRC-а јасно је да ће ефикасност управљања зависити од квалитета естимације стања система, а пре свега тоталног поремећаја. Из тог разлога ESO можемо окарактерисати као кључну компоненту система. Детаљна анализа неких техника за побољшање ефикасности рада опсервера, спроведена у литератури [Madoński, 2015], је показала да се оне могу сврстати у три категорије, које се односе на измену структуре, подешавање параметара и имплементацију опсервера. У овом поглављу тежиште је стављено на пројектовање модификованих структура ESO-а како би се омогућила што боља естимација различитих типова тоталног поремећаја, док је проблем подешавања параметара и имплементације анализиран у наредним поглављима.

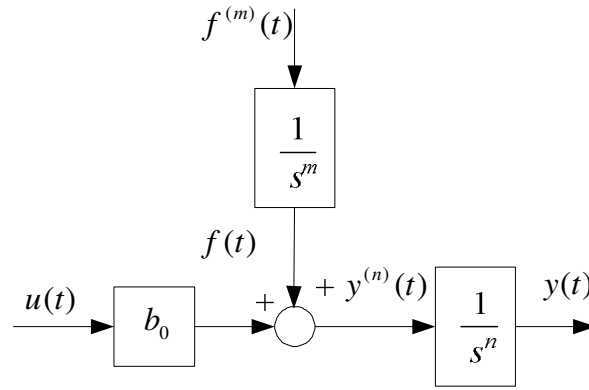
Имајући у виду да тотални поремећај обухвата целокупну унутрашњу динамику система као и све спољашње поремећаје, његов облик ће зависити од динамике промене стања система и спољашњег поремећаја. Наиме, ако претпоставимо да желимо пројектовати ADRC систем који треба да обезбеди праћење задатог референтног сигнала у присуству спољашњег поремећаја, функција тоталног поремећаја ће се мењати у складу са динамиком референтног сигнала и спољашњег поремећаја.

Разматрајући његову структуру (2.11), можемо уочити да је при формирању модела опсервера претпостављено да је први извод додатог  $n+1$ . стања система (2.4) (односно први извод тоталног поремећаја), једнак нули,  $\dot{\hat{x}}_{n+1}(t) = \dot{\hat{f}}(t) = 0$ . Сходно томе, не овај начин дефинисан опсервер омогућује асимптотску конвергенцију стања система само у случају константног тоталног поремећаја, док са порастом динамике функције

---

тоталног поремећаја грешка естимације значајно расте [Yoo, 2006]. На основу тога, можемо закључити да се применом ADRC-а базираног на ESO-у, може постићи потпуно потискивање само константних спољашњих поремећаја и праћење константних референтних сигнала, док са порастом брзине промене функције тоталног поремећаја грешка естимације расте.

У циљу ефикасне естимације шире класе функција тоталног поремећаја, у литератури [Miklosovic, 2006] је предложена је примена генерализованог ESO-а (*Generalized ESO-GESO*). Уводећи модел поремећаја, који се састоји од редне везе  $m$  интегратора, и дефинишући да улаз тог модела представља  $m$ -ти извод непознатог тоталног поремећаја, систем (2.3) можемо представити у каноничној форми са уведеним моделом поремећаја као на слици 2.2.



Слика 2.2 Канонична форма система са моделом поремећаја

Модел у простору стања за систем описан на слици 2.2 има структуру:

$$\begin{aligned} \dot{\mathbf{x}}_g(t) &= \mathbf{A}_g \mathbf{x}_g(t) + \mathbf{B}_g u(t) + \mathbf{E}_g f^{(m)}(t) \\ y(t) &= \mathbf{C}_g \mathbf{x}_g(t), \end{aligned} \quad (2.16)$$

где је вектор стања:

$$\mathbf{x}_g(t) = [x_1(t), \dots, x_n(t), x_{n+1}(t), \dots, x_{n+m}(t)]^T = [y(t), \dots, y^{(n-1)}(t), f(t), \dots, f^{(m-1)}(t)]^T, \text{ а матрице}$$

$$\mathbf{A}_g = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & 1 \\ 0 & 0 & 0 & \dots & 0 \end{bmatrix}_{(n+m) \times (n+m)}, \quad \mathbf{B}_g = [\mathbf{0}_{n-1} \quad b_0 \quad \mathbf{0}_m]^T, \quad \mathbf{E}_g = [\mathbf{0}_{n+m-1} \quad 1]^T,$$

$$\mathbf{C}_g = [1 \quad \mathbf{0}_{n+m-1}].$$

Како је на овај начин систем  $n$ -тог реда (2.1) проширен са  $m$  додатних стања, уместо основне форме ESO-а са једним додатним стањем, за естимацију стања система (2.16) примењујемо GESO  $(n+m)$ -тог реда, чија је линеарна форма дефинисана као у (2.11):

$$\begin{aligned} \dot{\hat{\mathbf{x}}}_g(t) &= \mathbf{A}_g \hat{\mathbf{x}}_g(t) + \mathbf{B}_g u(t) + \mathbf{L}_g (y(t) - \hat{y}(t)) \\ \hat{y}(t) &= \mathbf{C}_g \hat{\mathbf{x}}_g(t), \end{aligned} \quad (2.17)$$

где је  $\hat{\mathbf{x}}_g(t) = [\hat{x}_1(t), \dots, \hat{x}_n(t), \hat{x}_{n+1}(t), \dots, \hat{x}_{n+m}(t)]^T = [\hat{y}(t), \dots, \hat{y}^{(n-1)}(t), \hat{f}(t), \dots, \hat{f}^{(m-1)}(t)]^T$  вектор естимираних стања, а  $\mathbf{L}_g = [\beta_1, \beta_2, \dots, \beta_{n+m}]^T$  вектор појачања опсервера.

Применом овако дефинисане структуре опсервера са  $m$  проширених стања могуће је постићи асимптотску конвергенцију естимираних стања у случајевима када функција тоталног поремећаја има полиномијални облик  $f(t) = f_0 + f_1 t + \dots + f_{m-1} t^{m-1}$ , где су  $f_0, f_1, \dots, f_{m-1} \in \mathbb{R}$ , константни параметри. Тако на пример за ефикасну естимацију тоталног поремећаја типа нагибне функције  $f(t) = f_0 + f_1 t$ , потребно је пројектовати GESO са два проширена стања ( $m=2$ ), док у случају параболичног облика тоталног поремећаја  $f(t) = f_0 + f_1 t + f_2 t^2$  ефикасна естимација се постиже применом GESO-а са три проширена стања ( $m=3$ ).

Треба напоменути да се без обзира на структуру примењеног опсервера, формирање управљачког закона и активно потискивање тоталног поремећаја реализује на исти начин као и у (2.12), на основу стања опсервера  $\hat{x}_{n+1}(t)$  које представља естимацију тоталног поремећаја. На овај начин омогућено је потпуно активно потискивање тоталног поремећаја чији је  $m$ -ти извод једнак нули или тежи нули. Међутим, уколико је тотални поремећај простопериодичног облика  $f(t) = c_1 \sin(\omega_r t) + c_2 \cos(\omega_r t)$ , што често може бити случај ако на улазу имамо простопериодичну референцу или простопериодични спољашњи поремећај, не може се

постићи нулта грешка естимације, па самим тим ни потпуно потискивање дејства поремећаја, јер је оваква функција тоталног поремећаја бесконачно пута диференцијабилан. Анализа перформанси ADRC-а базираног на GESO-у у случају простопериодичног тоталног поремећаја је показала да се повећањем реда опсервера смањује грешка естимације, али да то доводи до нарушавања маргина стабилности система као и повећања осетљивости на шум мерења и немоделирану динамику вишег реда [Godbole, 2013].

### 2.6 Примена ADRC-а

ADRC представља пример управљачког алгоритма, где су теоријски доприноси у развоју концепта успешно испраћени са његовом практичном применом у решењу конкретних проблема управљања. Анализирајући формулацији ADRC регулатора видимо да је за његово пројектовање једино потребно познавати ред процеса којим се управља и апроксимативну вредност параметра процеса  $b$ . Поред тога, ако се узме у обзир и релативно једноставна структура алгоритма, погодна за практичну имплементацију, јасно је због чега се последњих година ADRC концепт све више користи у различитим системима аутоматског управљања. Треба нагласити да је за његову ефикасну примену потребно да конкретан управљачки проблем представимо у одговарајућој ADRC форми, односно да најчешће комплексни и/или непозанти модел процеса реформулишемо у једноставни модел са уведеним појмом тоталног поремећаја. Тако на пример код примене у системима са временским кашњењем, која је анализирана у [Xia, 2007], модел кашњења апроксимирамо функцијом првог реда и након тога пројектујемо ADRC за систем вишег реда без кашњења, док се грешка апроксимације модела кашњења третира као део тоталног поремећаја. Карактеристике примене ADRC у системима са више улаза и више излаза (*Multi-Input Multi-Output-MIMO*) анализирани су у [Zheng, 2009; Stankovic, 2016a], где је показано да се управљање систем са  $m$  улаза и излаза може свести на управљање  $m$  систем са једним улазом и излазом. Ово је омогућено тиме што су међусобни утицаји канала управљања (*couplings dynamics*) сврстани у тоталне поремећаје појединачних канала и након тога потиснути применом ADRC закона управљања, чиме је практично постигнуто распрезање (*decoupling*) система.

Примена ADRC-а у индустријским системима управљања је широка и разноврсна, па тако имамо ефикасна ADRC решења у управљању електромоторним серво

---

системима [Feng, 2004; Przybyła, 2012; Tian, 2009b; Xia, 2014; Stankovic, 2016b], енергетским системима [Sun, 2005; Chang, 2015], у MEMS (micro-electro-mechanical-system) жirosкопским системима [Zheng, 2008], хемијској индустрији [Sun, 2016; Pan, 2015], роботици [Ramírez, 2015], управљању беспилотним летелицама [Wang, 2015; Xiong, 2011], итд. Поред употребе стандардних ADRC алгоритама, у циљу ефикаснијег управљања конкретних система, развијене су и његове различите модификације, као што су fuzzy ADRC регулатор за управљање електронским уређајима код бродских дизел мотора [Pan, 2013], ADRC са уграђеним неруалним мрежама примењен у војним системима управљања ватром [Gao, 2012], или ADRC алгоритам са предиктивним моделом намењен за процесе са изразитим временским кашњењем [Zhao, 2014].

Имајући у виду наведено ADRC можемо посматрати као својеврсну алтернативу широко распрострањеним ПИД алгоритмима. Приметимо да последњих година произвођачи комерцијалних индустријских регулатора, поред стандардних ПИД регулатора нуде и регулатора са ADRC приступом [LineStreme], тако да се у наредном периоду може очекивати његова још већа примена.

### 3. Пројектовање ADRC регулатора са резонантним проширеним опсервером стања

У овом поглављу описана је идеја модификације структуре генерализованог проширеног опсервера стања, уграђивањем резонантног модела поремећаја, у циљу ефикасне естимација простопериодичних типова тоталног поремећаја познате фреквенције. За предложени модел опсервера изведене су функције преноса које описују зависност грешке естимације стања од облика тоталног поремећаја и на основу њих је показана конвергенција стања опсервера у случају простопериодичних типова тоталних поремећаја. На основу фреквенцијске анализе ефикасности потискивања простопериодичних типова спољашњег поремећаја као и квалитета праћења простопериодичних референци, реализована је упоредна оцена перформанси ADRC регулатора базираног на предложеном моделу опсервера и стандардном GESO-у. Поред тога спроведана је анализа робусности и осетљивости на мерни шум предложених управљачких структура.

#### 3.1 Структура резонантног генерализованог проширеног опсервера стања

Размотримо систем у коме се тотални поремећај  $f(t)$  састоји од полиномијалне компоненте  $f_p(t)$  и простопериодичне компоненте  $f_s(t)$ :

$$f(t) = \underbrace{f_0 + f_1 t + \dots + f_{m-1} t^{(m-1)}}_{f_p(t)} + \underbrace{c_1 \sin(\omega_r t) + c_2 \cos(\omega_r t)}_{f_s(t)} \quad (3.1)$$

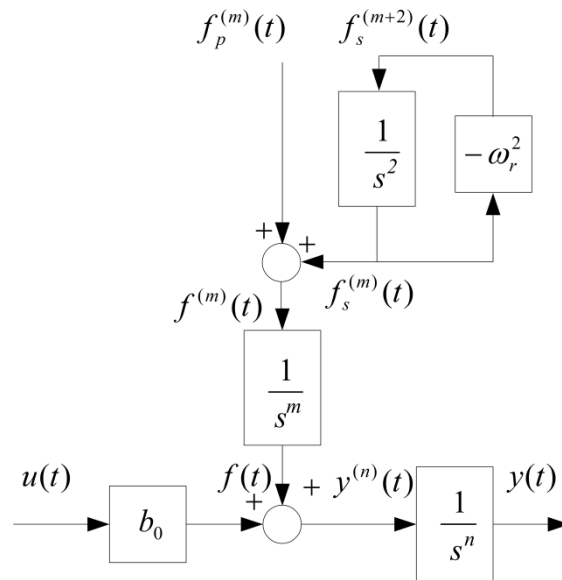
где константе  $c_1 \in R$  и  $c_2 \in R$  представљају амплитуде, а  $\omega_r \in R$  фреквенцију простопериодичне компоненте. Како би смо ефикасно естимирали, а након тога и активно потиснули овакав тип поремећаја, у систем (2.16) је уведен модел простопериодичног поремећаја, који се може описати као хармонијски осцилатор са резонантном фреквенцијом  $\omega_r$  [Рапаић, 2013]:

---



$$\ddot{f}_s(t) + \omega_r^2 f_s(t) = 0 \quad (3.2)$$

Имајући у виду да канонична форма система са моделима полиномијалног и простопериодичног поремећаја може се приказати као на слици 3.1.



Слика 3.1 Канонична форма система са моделом полиномијалног и простопериодичног поремећаја

Имајући у виду да је уграђени модел простопериодичног поремећаја (3.2) другог реда, модел у простору стања система са слике 3.1 добијамо тако што систем (2.16) проширујемо са још два додатна стања  $x_{n+m+1}(t)$  и  $x_{n+m+2}(t)$  која представљају  $m$ -ти и  $m+1$ . извод простопериодичне компоненте тоталног поремећаја:

$$\begin{aligned} x_{n+m+1}(t) &= f_s^{(m)}(t) \\ x_{n+m+2}(t) &= f_s^{(m+1)}(t). \end{aligned} \quad (3.3)$$

Како  $m$ -тим диференцирањем релације (3.2) добијамо,  $f_s^{(m+2)}(t) + \omega_r^2 f_s^{(m)}(t) = 0$ , прве изводе нових проширених стања система можемо записати као:

$$\begin{aligned}\dot{x}_{n+m+1}(t) &= x_{n+m+2}(t) \\ x_{n+m+2}(t) &= -\omega_r^2 x_{n+m+1}(t)\end{aligned}\quad (3.4)$$

Уврштавањем једначина (3.4) у (2.16) добијамо систем у простору стања са уграђеним резонантним моделом простопериодичног поремећаја:

$$\begin{aligned}\dot{\mathbf{x}}_{rg}(t) &= \mathbf{A}_{rg} \mathbf{x}_{rg}(t) + \mathbf{B}_{rg} u(t) + \mathbf{E}_{rg} f_p^{(m)}(t) \\ y(t) &= \mathbf{C}_{rg} \mathbf{x}_{rg}(t)\end{aligned}\quad (3.5)$$

где су вектор стања и матрице система редом дати са:

$$\begin{aligned}\mathbf{x}_{rg}(t) &= [x_1(t), \dots, x_n(t), x_{n+1}(t), \dots, x_{n+m}(t), x_{n+m+1}(t), x_{n+m+2}(t)]^T \\ &= [y(t), \dots, y^{(n-1)}(t), f(t), \dots, f^{(m-1)}(t), f_s^{(m)}(t), f_s^{(m+1)}(t)]^T\end{aligned}$$

$$\mathbf{A}_{rg} = \begin{bmatrix} 0 & 1 & \dots & 0 & 0 \\ \vdots & \vdots & \ddots & 0 & 0 \\ 0 & 0 & \dots & 1 & 0 \\ 0 & 0 & \dots & 0 & 1 \\ 0 & 0 & \dots & -\omega_r^2 & 0 \end{bmatrix}_{(n+m+2) \times (n+m+2)}, \quad \mathbf{B}_{rg} = [\mathbf{0}_{n-1} \quad b_0 \quad \mathbf{0}_{m+2}]^T, \quad \mathbf{E}_{rg} = [\mathbf{0}_{n+m-1} \quad 1 \quad 0 \quad 0]^T,$$

$$\mathbf{C}_{rg} = [1 \quad \mathbf{0}_{n+m+1}]$$

Опсервер пројектован за естимацију стања система са резонантним моделом поремећаја (3.5), назван је резонантни GESO (*Resonant GESO-RGESO*), а његова линеарна форма је описана једначином:

$$\begin{aligned}\dot{\hat{\mathbf{x}}}_{rg}(t) &= \mathbf{A}_{rg} \hat{\mathbf{x}}_{rg}(t) + \mathbf{B}_{rg} u(t) + \mathbf{L}_{rg} (y(t) - \hat{y}(t)) \\ \hat{y}(t) &= \mathbf{C}_{rg} \hat{\mathbf{x}}_{rg}(t),\end{aligned}\quad (3.6)$$

где је:

$$\begin{aligned}\hat{\mathbf{x}}_{rg}(t) &= [\hat{x}_1(t), \dots, \hat{x}_n(t), x_{n+1}(t), \dots, \hat{x}_{n+m}(t), \hat{x}_{n+m+1}(t), \hat{x}_{n+m+2}(t)]^T \\ &= [\hat{y}(t), \dots, \hat{y}^{(n-1)}(t), \hat{f}(t), \dots, \hat{f}^{(m-1)}(t), \hat{f}_s^{(m)}(t), \hat{f}_s^{(m+1)}(t)]^T\end{aligned}$$

вектор естимираних стања, а  $\mathbf{L}_{rg} = [\beta_1, \beta_2, \dots, \beta_{n+m+2}]^T$  вектор појачања RGESO.

Разматрајући структуру RGESO-а можемо уочити да он заправо представља општију форму GESO (2.16), јер се за  $\omega_r = 0$  добија GESO са  $m + 2$  проширена стања. Детаљна анализа конвергенције стања RGESO-а, као и перформанси ADRC регулатора са оваквим моделом опсервера је спроведена у наставку.

### 3.2 Анализа конвергенције стања RGESO-а

Анализа конвергенције естимираних стања је спроведен на моделу RGESO-а пројектованог за систем другог реда ( $n=2$ ), тако да у том случају важи да је  $\hat{x}_3(t) = \hat{f}(t)$ , па векторску једначину (3.6) можемо представити у развијеном облику као:

$$\begin{aligned}
 \hat{x}_1(t) &= \hat{x}_2(t) + \beta_1(y(t) - \hat{y}(t)) \\
 \hat{x}_2(t) &= \hat{x}_3(t) + b_0 u(t) + \beta_2(y(t) - \hat{y}(t)) \\
 &\vdots \\
 \hat{x}_{2+m+1}(t) &= \hat{x}_{2+m+2}(t) + \beta_{2+m+1}(y(t) - \hat{y}(t)) \\
 \hat{x}_{2+m+2}(t) &= -\omega_r^2 \hat{x}_{2+m+1}(t) + \beta_{2+m+2}(y(t) - \hat{y}(t)) \\
 \hat{y}(t) &= \hat{x}_1(t)
 \end{aligned} \tag{3.7}$$

Применом Лапласове трансформације на (3.7) изведена је функција преноса која описује зависност грешке естимације тоталног поремећаја  $\tilde{e}_{obs3}(t) = f(t) - \hat{x}_3(t)$  од функције тоталног поремећаја:

$$\frac{\tilde{e}_{obs3}(s)}{f(s)} = \frac{s^m(s^2 + \omega_r^2)(s^2 + \beta_1 s + \beta_2)}{s^m(s^2 + \omega_r^2)(s^2 + \beta_1 s + \beta_2) + \sum_{i=0}^{m+1} \beta_{3+i} s^{m+1-i}} \tag{3.8}$$

где је  $\tilde{e}_{obs3}(s)$  комплексни лик грешке естимације, а  $f(s)$  комплексни лик функције тоталног поремећаја (3.1), који за случај када је  $c_1 = c_2 = 1$  има облик:

$$f(s) = \frac{1}{s} + \frac{1}{s^2} + \dots + \frac{1}{s^m} + \frac{s + \omega_r}{s^2 + \omega_r^2} = \frac{(1 + s + \dots + s^{m-1})(s^2 + \omega_r^2) + s^m(s + \omega_r)}{s^m(s^2 + \omega_r^2)} \tag{3.9}$$


---

На основу тога грешку естимације у разматраном случају можемо дефинисати као:

$$\begin{aligned}\tilde{e}_{obs3}(s) &= \frac{(1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r)}{s^m(s^2+\omega_r^2)} \cdot \frac{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}} \\ &= \frac{((1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r))(s^2+\beta_1s+\beta_2)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}}\end{aligned}\quad (3.10)$$

Приметићемо да одговарајућим избором вредности појачања опсервера можемо постићи да сви полови израза (3.10) буду строго стабилни, па у том случају применом друге граничне теореме Лапласове трансформације добијамо:

$$\lim_{t \rightarrow \infty} \tilde{e}_{obs3}(t) = \lim_{s \rightarrow 0} s \tilde{e}_{obs3}(s) = \lim_{s \rightarrow 0} s \frac{((1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r))(s^2+\beta_1s+\beta_2)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}} = 0\quad (3.11)$$

одакле је јасно да ће у временском домену грешка естимације тоталног поремећаја тежити нули, односно да ће  $\hat{x}_3(t)$  асимптотски конвергирати вредности тоталног поремећаја  $f(t)$ . На сличан начин можемо показати и конвергенцију осталих естимираних стања RGESO-а. Ако грешке естимације стања  $\hat{x}_1(t)$  и  $\hat{x}_2(t)$  дефинишемо као  $\tilde{e}_{obs2}(t) = \dot{y}(t) - \hat{x}_2(t)$  и  $\tilde{e}_{obs1}(t) = y(t) - \hat{x}_1(t)$ , респективно, из (3.7) можемо извести функције преноса:

$$\frac{\tilde{e}_{obs2}(s)}{f(s)} = \frac{s^m(s^2+\omega_r^2)(s+\beta_1)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}},\quad (3.12)$$

$$\frac{\tilde{e}_{obs1}(s)}{f(s)} = \frac{s^m(s^2+\omega_r^2)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}},\quad (3.13)$$

које описују зависност грешака естимације стања опсервера  $\hat{x}_2(t)$  и  $\hat{x}_1(t)$  од функције тоталног поремећаја, где су  $\tilde{e}_{obs2}(s)$  и  $\tilde{e}_{obs1}(s)$ , комплекси ликови  $\tilde{e}_{obs2}(t)$  и  $\tilde{e}_{obs1}(t)$ . На основу (3.12) и (3.13) добијамо да при тоталном поремећају (3.9) важи да је:

$$\tilde{e}_{obs2}(s) = \frac{((1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r))(s+\beta_1)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}}, \quad (3.14)$$

$$\tilde{e}_{obs1}(s) = \frac{(1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}}, \quad (3.15)$$

па применом друге граничне теореме Лапласове трансформације добијамо:

$$\lim_{t \rightarrow \infty} \tilde{e}_{obs2}(t) = \lim_{s \rightarrow 0} s \tilde{e}_{obs2}(s) = s \frac{((1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r))(s+\beta_1)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}} = 0 \quad (3.16)$$

$$\lim_{t \rightarrow \infty} \tilde{e}_{obs1}(t) = \lim_{s \rightarrow 0} s \tilde{e}_{obs1}(s) = s \frac{(1+s+\dots+s^{m-1})(s^2+\omega_r^2)+s^m(s+\omega_r)}{s^m(s^2+\omega_r^2)(s^2+\beta_1s+\beta_2)+\sum_{i=0}^{m+1}\beta_{3+i}s^{m+1-i}} = 0 \quad (3.17)$$

одакле се види да естимирана стања опсервера  $\hat{x}_2(t)$  и  $\hat{x}_1(t)$  конвергирају стањима система  $\dot{y}(t)$  и  $y(t)$ , респективно.

Из претходне анализе можемо закључити да ће након завршеног прелазног периода естимирана стања RGESO-а асимптотски конвергирати стањима система у случају када тотални поремећај  $f(t)$  има фреквенцију  $\omega_r$ .

Међутим, уколико се фреквенција  $f(t)$  разликује од пројектоване резонантне фреквенције опсервера  $\omega_r$ , јасно је да ће и након завршеног прелазног периода постојати грешка естимације. Да бисмо у том случају показали зависност грешке естимације од фреквенције тоталног поремећаја анализирани су амплитудно-фреквенцијске карактеристике функција преноса (3.10), (3.14) и (3.15), које су приказане на сликама 3.2, 3.3 и 3.4, респективно, за случајеве када је  $m=0$ ,  $m=1$  и

---

$m = 2$ . Карактеристике су добијене за усвојену вредност резонантне учестаност опсервера  $\omega_r = 1 \text{ rad/s}$ , док су појачања опсервера подешена избором пропусног опсега опсервера  $\omega_{obs} = 5 \text{ rad/s}$  и смештањем свих полова опсервера у тачку  $-\omega_{obs}$ . Сходно томе, на основу релације:

$$s^{4+m} + \beta_1 s^{3+m} + \dots + \beta_{3+m} s + \beta_{4+m} = (s + \omega_{obs})^{4+m}, \quad (3.18)$$

вредности појачања опсервера за  $m=0$  су:

$$\beta_1 = 4\omega_{obs}, \beta_2 = 6\omega_{obs}^2, \beta_3 = 4\omega_{obs}^3 \text{ и } \beta_4 = \omega_{obs}^4,$$

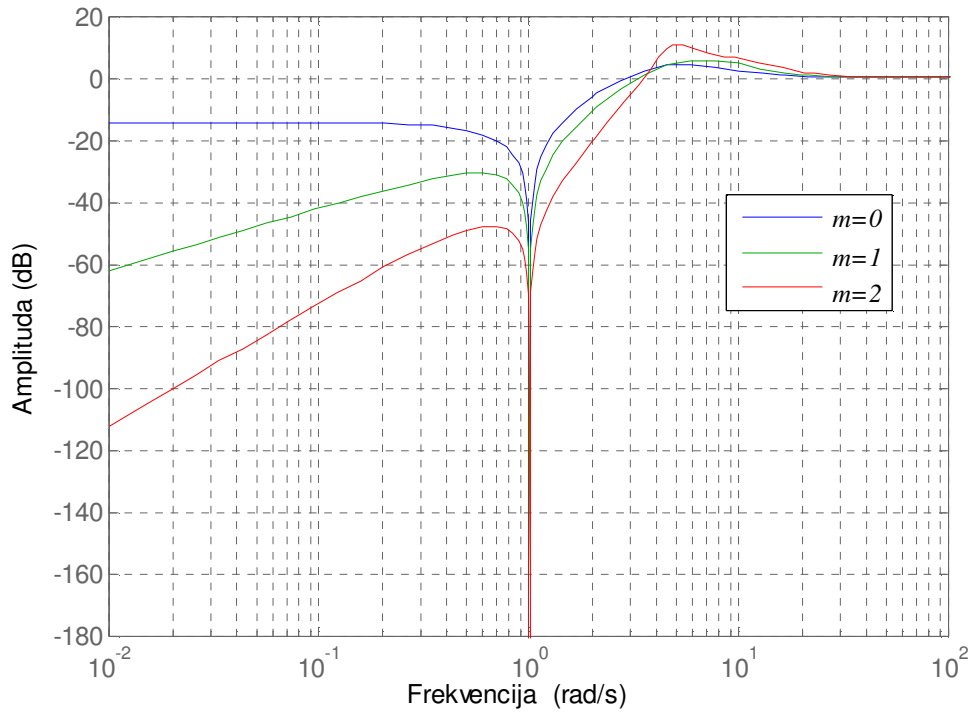
За  $m=1$ :

$$\beta_1 = 5\omega_{obs}, \beta_2 = 10\omega_{obs}^2, \beta_3 = 10\omega_{obs}^3, \beta_4 = 5\omega_{obs}^4 \text{ и } \beta_5 = \omega_{obs}^5,$$

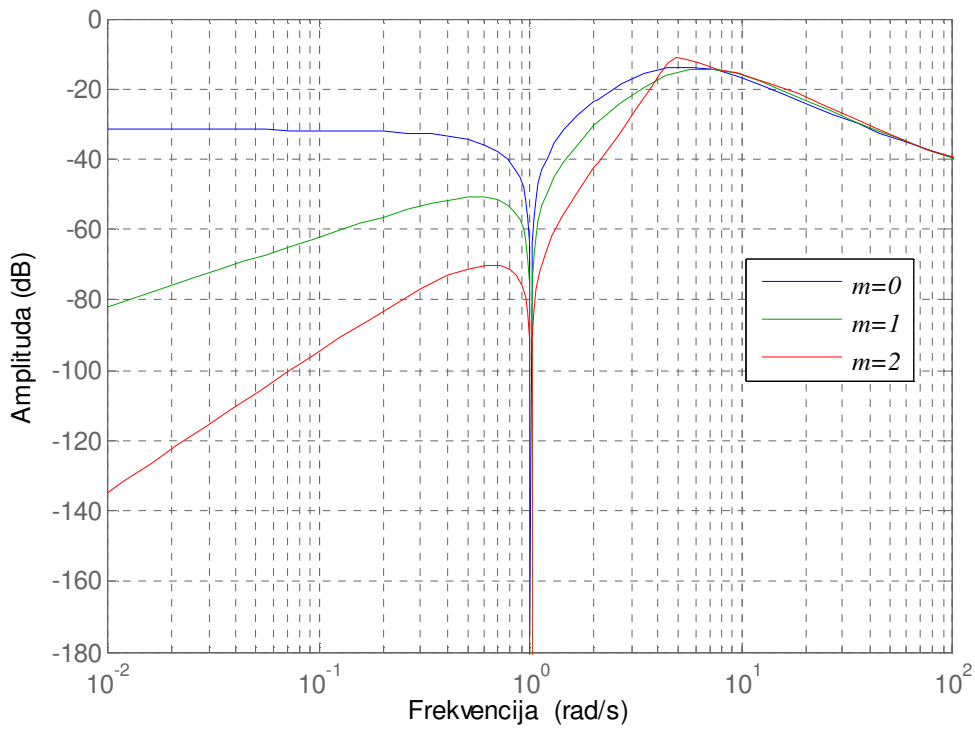
и за  $m=2$ :

$$\beta_1 = 6\omega_{obs}, \beta_2 = 15\omega_{obs}^2, \beta_3 = 20\omega_{obs}^3, \beta_4 = 15\omega_{obs}^4, \beta_5 = 10\omega_{obs}^5 \text{ и } \beta_6 = \omega_{obs}^6.$$

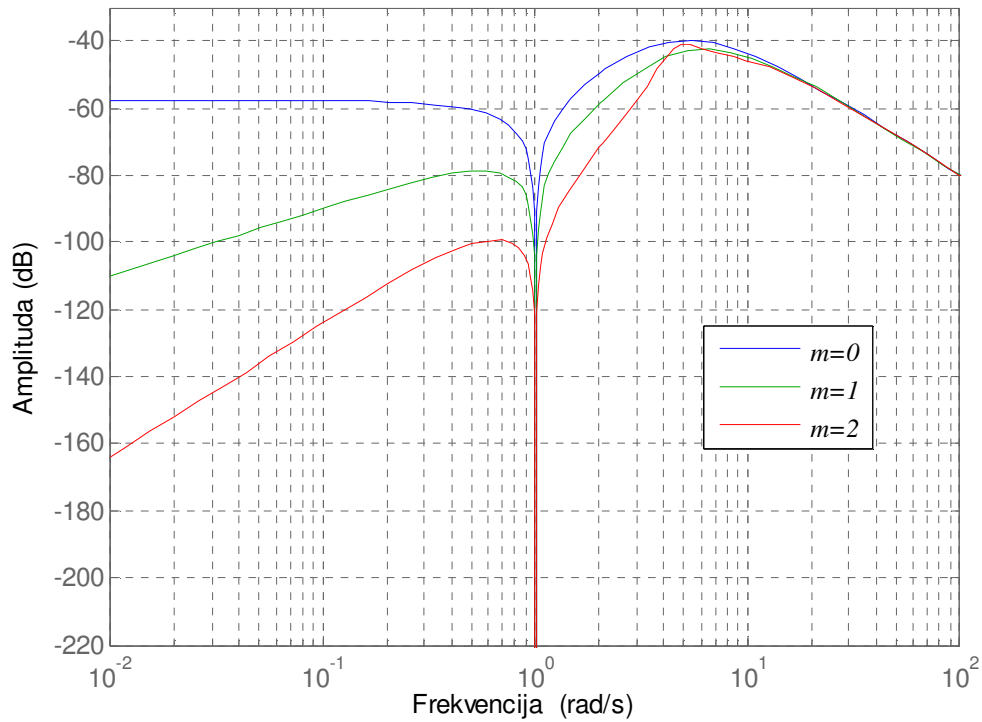
Као што је и очекивано, из добијених карактеристика видимо да све функције остварују минимум који тежи нули, односно  $-\infty$  у децибелима, на фреквенцији која је једнак резонантној учестаности опсервера  $\omega_r = 1 \text{ rad/s}$ , што практично значи нулта грешка естимације стања система на тој фреквенцији. Поређењем карактеристика за различито  $m$  уочавамо да се повећањем реда опсервера код свих естимираних стања система постиже смањење грешке естимације на фреквенцијама различитим од  $\omega_r$ . Међутим, примена опсервера вишег реда узроковаће нарушавања робусности система у затвореној спреси, као и повећање осетљивости система на шум мерења, што ће бити показано у каснијој анализи.



Слика 3.2 Амплитудно-фреквенцијска карактеристика функције преноса  $\tilde{e}_{obs3}(s)/f(s)$



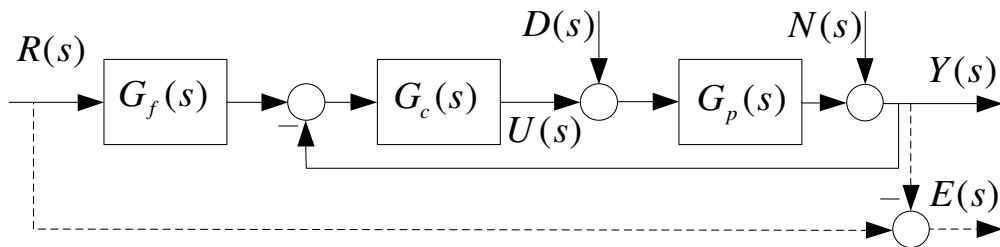
Слика 3.3 Амплитудно-фреквенцијска карактеристика функције преноса  $\tilde{e}_{obs2}(s)/f(s)$



Слика 3.4 Амплитудно-фреквенцијска карактеристика функције преноса  $\tilde{e}_{obsl}(s)/f(s)$

### 3.3 Фреквенцијска анализа карактеристика ADRC система са RGESO-ом

Формирање управљачког сигнала код ADRC регулатора са RGESO-ом реализовано је на основу линераног закона управљања (2.11). Сходно томе, разматрани систем управљања можемо представити у форми функција преноса као на слици 3.5 [Tian, 2007]:



Слика 3.5 ADRC алгоритам у форми функција преноса

где су  $R(s)$ ,  $U(s)$ ,  $Y(s)$ ,  $D(s)$ ,  $N(s)$  и  $E(s)$  комплексни ликови референце  $r(t)$ , управљачког сигнала  $u(t)$ , излазног сигнала  $y(t)$ , спољашњег поремећаја  $d(t)$ , шума



мерења и грешке праћења  $e(t) = r(t) - y(t)$ , док  $G_c(s)$  и  $G_f(s)$  представљају функције преноса регулатора, а  $G_p(s)$  функцију преноса процеса којим се управља.

У овом случају разматрано је пројектовање регулатора за два карактеристична процеса другог реда:

$$G_{p1}(s) = \frac{1}{(s+1)^2} \quad (3.19)$$

$$G_{p2}(s) = \frac{1}{s(s+1)} \quad (3.20)$$

где  $G_{p1}(s)$  представља процес са двоструким реалним полом, а  $G_{p2}(s)$  процес са астатизмом првог реда. Функције преноса (3.19) и (3.20) можемо представити на идентичан начин у ADRC форми (2.3) као:

$$\ddot{y}(t) = -2\dot{y}(t) - y(t) + d(t) + u(t) = f_1(t) + b_{01}u(t) \quad (3.21)$$

$$\ddot{y}(t) = -\dot{y}(t) + d(t) + u(t) = f_2(t) + b_{02}u(t), \quad (3.22)$$

респективно, па ће сходно томе регулатори за оба процеса имати исту структуру. Применом Лапласове трансформације на (3.7) и (2.12), за усвојено  $m = 0$  добијамо да ће функције преноса регулатора у оба случаја бити:

$$G_c(s) = \frac{a_{21}s^3 + a_{22}s^2 + a_{23}s + a_{24}}{b_0(s^2 + \omega_r^2)(s^2 + (\beta_1 + K_2)s + \beta_1 K_2 + \beta_2 + K_1)} \quad (3.23)$$

$$G_f(s) = \frac{(s^2 + K_2s + K_1)(s^4 + \beta_1s^3 + (\beta_2 + \omega_r^2)s^2 + (\beta_3 + \beta_1\omega_r^2)s + \beta_4 + \beta_2\omega_r^2)}{a_{21}s^3 + a_{22}s^2 + a_{23}s + a_{241}} \quad (3.24)$$

где су:  $a_{21} = \beta_1 K_1 + \beta_2 K_2 + \beta_3$ ;  $a_{22} = \beta_2 K_1 + \beta_3 K_2 + \beta_4$ ;  $a_{23} = \beta_3 K_1 + \beta_4 K_2 + \beta_1 K_1 \omega_r^2 + \beta_2 K_2 \omega_r^2$  и  $a_{24} = \beta_4 K_1 + \beta_2 K_1 \omega_r^2$ . На исти начин, за  $m = 1$  важи да је:

$$G_c(s) = \frac{a_{31}s^4 + a_{32}s^3 + a_{33}s^2 + a_{34}s + a_{35}}{b_0s(s^2 + \omega_r^2)(s^2 + (\beta_1 + K_2)s + \beta_1 K_2 + \beta_2 + K_1)}, \quad (3.25)$$

$$G_f(s) = \frac{(s^2 + K_2s + K_1)(s^5 + \beta_1s^4 + (\beta_2 + \omega_r^2)s^3 + (\beta_3 + \beta_1\omega_r^2)s^2 + (\beta_4 + \beta_2\omega_r^2)s + \beta_5 + \beta_3\omega_r^2)}{a_{31}s^4 + a_{32}s^3 + a_{33}s^2 + a_{34}s + a_{35}} \quad (3.26)$$

где су:  $a_{31} = a_{21}$ ;  $a_{32} = a_{22}$ ;  $a_{33} = \beta_3 K_1 + \beta_4 K_2 + \beta_5 + \omega_r^2(\beta_1 K_1 + \beta_2 K_2 + \beta_3)$ ;  $a_{35} = \beta_5 K_1 + \omega_r^2 \beta_3 K_1$  и  $a_{34} = \beta_4 K_1 + \beta_5 K_2 + \beta_3 + \omega_r^2(\beta_2 K_1 + \beta_3 K_2)$ .

Подешавање параметара регулатора за оба процеса је реализовано на основу избора пропусног опсега регулатора  $\omega_c$  и пропусног опсег опсервера као  $\omega_{obs} = k\omega_c$ . Тако да су појачања регулатора добијена из једначине:

$$s^2 + K_2s + K_1 = (s + \omega_c)^2 \quad (3.27)$$

и њихове вредности су  $K_1 = \omega_c^2$  и  $K_2 = 2\omega_c$ . Појачања RGESO-а прорачуната су на идентичан начин као у (3.18), док је избором  $b_{01} = b_{02} = 1$ , претпостављено потпуно познавање модела процеса. Вредност  $\omega_r$  дефинисана је као  $\omega_r = a\omega_{obs}$ , тако да је анализа спроведена за различите вредности коефицијента  $a$ .

Треба напоменути да у случају ( $m = 0$ ) систем има уграђен само резонантни модел поремећаја па је због тога могућа ефикасна естимације и потпуно потискивање поремећаја који имају само простопериодичну компоненту  $f(t) = f_s(t)$  (видети 3.1). У другом случају, усвајањем  $m = 1$ , поред простопериодичних поремећаја могуће је остварити ефикасну естимацију и након тога потпуно потискивање тоталних поремећаја који се састоје од одскочне компоненте и простопериодичне компоненте  $f(t) = f_0 + f_s(t)$ .

Имајући у виду да RGESO (3.6) представља општију форму GESO-а (2.17), уврштавањем  $\omega_r = 0$  у (3.23) и (3.24) добијамо функције преноса ADRC систем са GESO-ом са два проширена стања ( $m = 2$ ), док на исти начин заменом  $\omega_r = 0$  у изразима (3.25) и (3.26) добијамо функције преноса регулатора са GESO-ом са три проширена стања ( $m = 3$ ). У складу са тим, у наставку је спроведена анализа перформанси, робусности и осетљивости на мерни шум ADRC регулатора базираних на RGESO, са  $m = 0$  (у даљем тексту означен као RGESO<sub>0</sub>) и  $m = 1$  (у даљем тескту означен као RGESO<sub>1</sub>), као и њихово поређење са регулаторима базираним на GESO-у, са два проширена стања ( $m = 2$ ) (у даљем тексту означен као GESO<sub>2</sub>) и три проширена стања  $m = 3$  (у даљем тексту означен као GESO<sub>3</sub>). Анализа је извршена на оба процеса (3.19 и 3.20), при усвојеној вредности пропусног опсега регулатора  $\omega_c = 1 \text{ rad / s}$ , и различитим вредностима параметара  $k$  и  $a$ .

### 3.3.1 Анализа перформанси

Анализа перформанси пројектованих система управљања је спроведена у фреквенцијском домену на основу ефикасности потискивања спољашњег поремећаја и квалитета праћења задатог референтног сигнала. Сходно томе, за систем са слике (3.5) дефинсане су функција потискивања спољашњег поремећаја  $G_{dy}(s)$  и функција грешке праћења референтног сигнала  $G_{er}(s)$ :

$$G_{dy}(s) = \frac{Y(s)}{D(s)} = \frac{G_p(s)}{1+W(s)}, \quad (3.28)$$

$$G_{er}(s) = \frac{E(s)}{R(s)} = 1 - G_f(s) \frac{W(s)}{1+W(s)}, \quad (3.29)$$

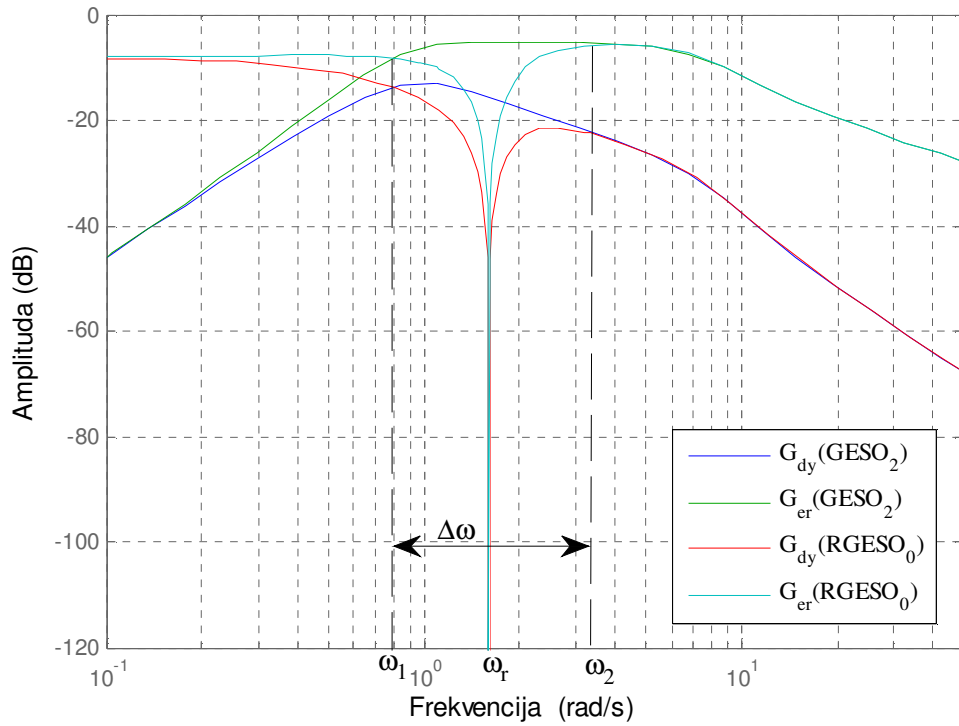
где је  $W(s) = G_c(s)G_p(s)$  функција повратног преноса система. Амплитудно фреквенцијске карактеристике функција (3.28) и (3.29) прорачунатих за ADRC са процесом  $G_{p1}(s)$  и вредностима параметара  $k = 4$  и  $a = 0.4$ , приказане су на слици 3.6а за системе са GESO<sub>2</sub> и RGESO<sub>0</sub> и на слици 3.6б за системе са GESO<sub>3</sub> и RGESO<sub>1</sub>. На исти

---

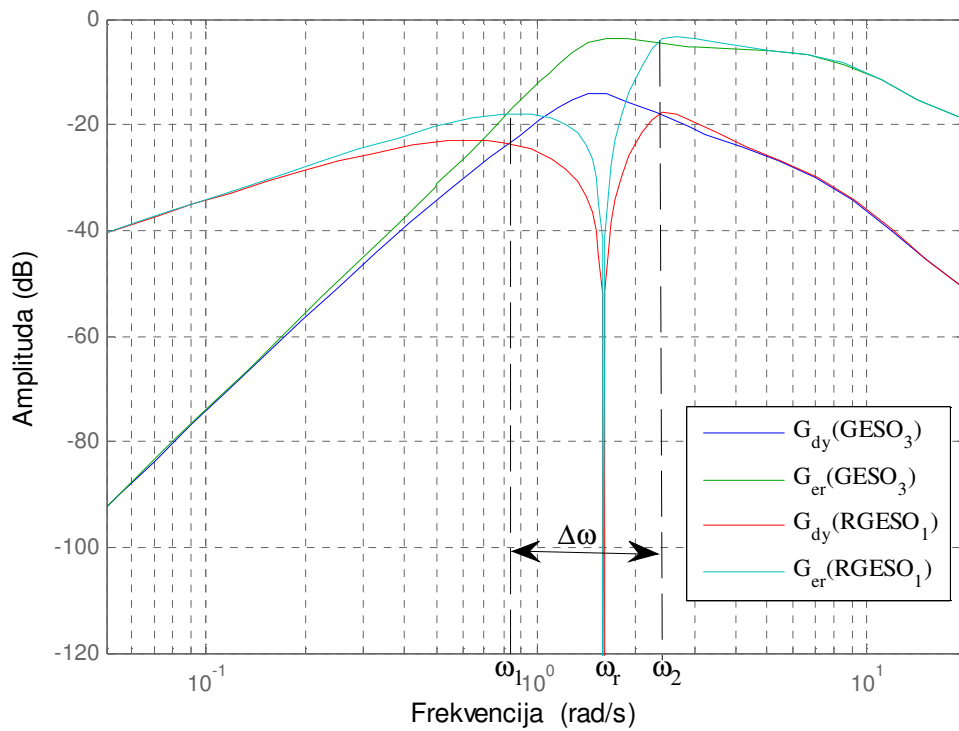
начин, фреквенцијске карактеристике истих функција, прорачунатих за процес  $G_{p2}(s)$ , приказане су на сликама 3.7а и 3.7б.

Из добијених резултата се запажа да у свим структурама које су базиране на RGESO-у важи да  $|G_{dy}(j\omega_r)| \rightarrow -\infty dB$  и  $|G_{er}(j\omega_r)| \rightarrow -\infty dB$ , што практично значи да након завршетка прелазног процеса ови системи постижу потпуно потискивање поремећаја и идеално праћење референци чија је фреквенција  $\omega_r$ . Поред тога, видимо да у односу на системе GESO<sub>2</sub> и GESO<sub>3</sub>, примена RGESO<sub>0</sub> односно RGESO<sub>1</sub> регулатора омогућује боље потискивање спољашњих поремећаја као и мању грешку праћења референтног сигнала у фреквенцијском опсегу  $\Delta\omega = \omega_2 - \omega_1$ , око пројектоване резонантне учестаности  $\omega_r$ , где су  $\omega_1$  и  $\omega_2$  доња и горња граница опсега.

Релативне вредности дефинисаног фреквенцијског опсега  $\Delta\omega/\omega_r$  заједно са релативним вредностима доње и горње границе опсега  $\omega_1/\omega_r$  и  $\omega_2/\omega_r$ , при различитим вредностима параметара  $k$  и  $a$ , приказане су за системе са процесом  $G_{p1}(s)$ , и то за RGESO<sub>0</sub> у табели 3.1, а за RGESO<sub>1</sub> у табели 3.2. Иста анализа је спроведена и за систем са процесом  $G_{p2}(s)$ , а резултати су дати у табелама 3.3 и 3.4. На основу добијених резултата можемо закључити да при константној вредности параметра  $k$ , повећање параметра  $a$  утиче на смањење релативног фреквенцијског опсега  $\Delta\omega/\omega_r$ , као и на његово померање ка нижим фреквенцијама ( $\omega_1/\omega_r$  се смањује). Приметићемо да при константном  $a$ , повећање вредности параметра  $k$  доводи до повећања релативне ширине опсега као и до његовог померања ка вишим фреквенцијама ( $\omega_2/\omega_r$  се повећава).



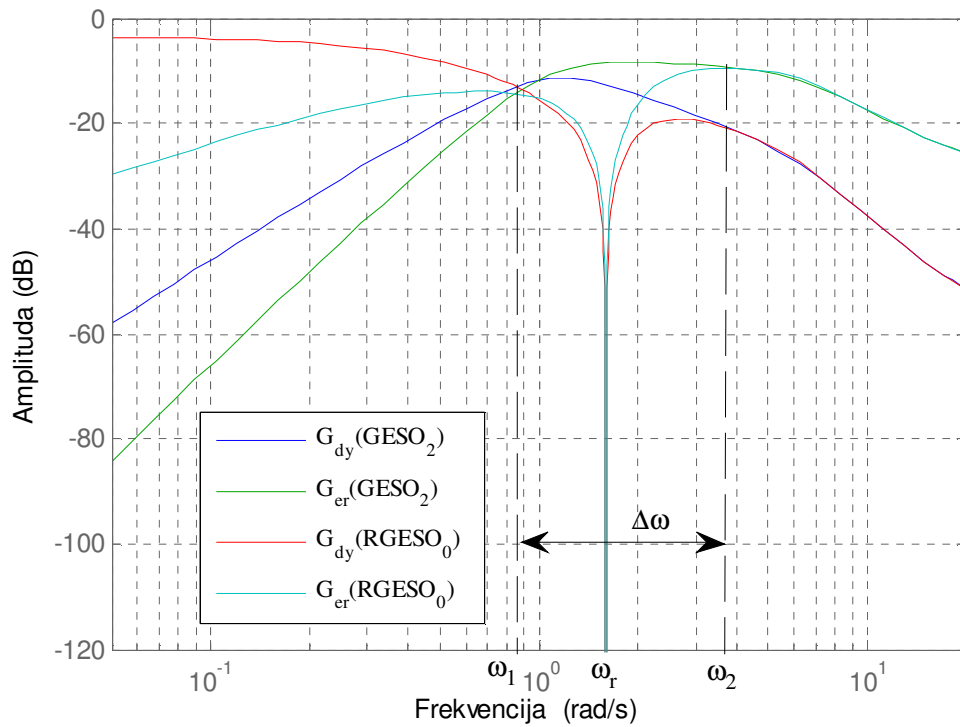
**a)**



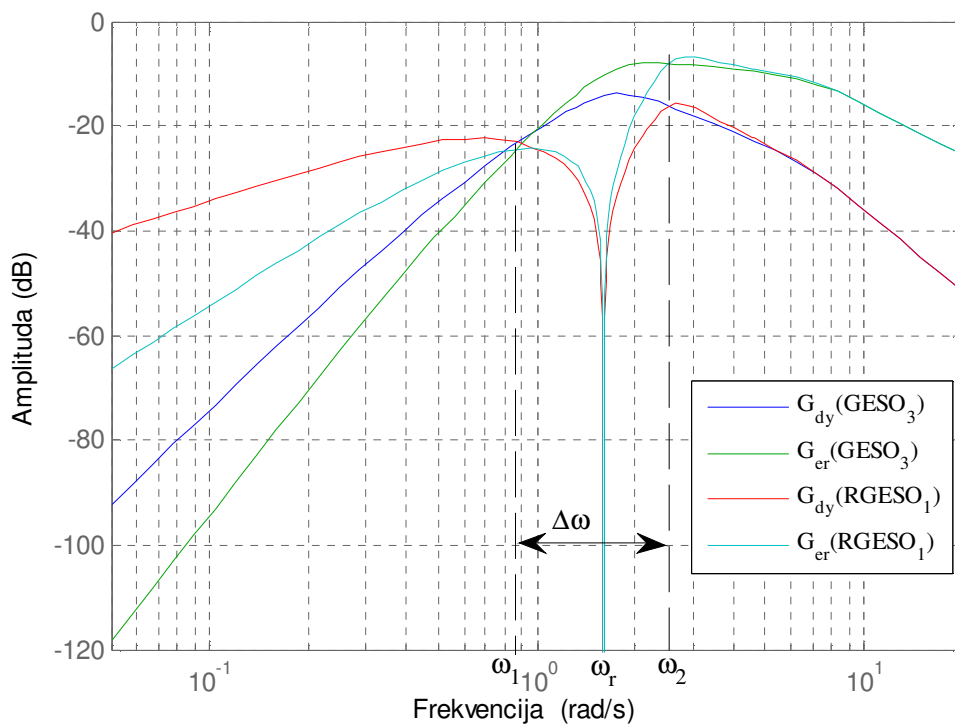
**б)**

Слика 3.6 Амплитудно-фреквенцијске карактеристике функција потискивања спољашњег поремећаја и грешке праћења референтног сигнала за систем са процесом  $G_{p1}(s)$ : **a)** са  $RGESO_0$  и  $GESO_2$  регулатором; **б)** са  $RGESO_1$  и  $GESO_3$  регулатором

3. Пројектовање ADRC регулатора са резонантним проширеним опсервером стања



а)



б)

Слика 3.7 Амплитудно-фреквенцијске карактеристике функција потискивања спољашњег поремећаја и грешке праћења референтног сигнала за систем са процесом  $G_{p2}(s)$ : а) са  $RGESO_0$  и  $GESO_2$  регулатором; б) са  $RGESO_1$  и  $GESO_3$  регулатором

Табела 3.1 Утицај вредности  $k$  и  $a$  на ширину фреквенцијског опсега у коме систем са  $RGESO_0$  постиже боље перформансе у односу на  $GESO_2$ , за процес  $G_{p1}(s)$ .

	$k=2$			$k=4$			$k=8$		
	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$
$\omega_1 / \omega_r$	0.61	0.45	0.33	0.61	0.49	0.34	0.62	0.58	0.35
$\omega_2 / \omega_r$	3.22	2.55	1.56	3.68	2.61	1.58	4.62	2.69	1.59
$\Delta\omega / \omega_r$	2.61	2.10	1.23	3.07	2.12	1.24	4	2.11	1.24

Табела 3.2 Утицај избора вредности  $k$  и  $a$  на ширину фреквенцијског опсега у коме систем са  $RGESO_1$  постиже боље перформансе у односу на  $GESO_3$ , за процес  $G_{p1}(s)$

	$k=2$			$k=4$			$k=8$		
	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$
$\omega_1 / \omega_r$	0.64	0.51	0.31	0.64	0.51	0.31	0.62	0.52	0.32
$\omega_2 / \omega_r$	2.12	1.32	1.09	2.39	1.47	1.14	2.91	1.65	1.19
$\Delta\omega / \omega_r$	1.48	0.81	0.78	1.75	0.96	0.83	2.29	1.13	0.87

Табела 3.3 Утицај избора вредности  $k$  и  $a$  на ширину фреквенцијског опсега у коме систем са  $RGESO_0$  постиже боље перформансе у односу на  $GESO_2$ , за процес  $G_{p2}(s)$ .

	$k=2$			$k=4$			$k=8$		
	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$
$\omega_1 / \omega_r$	0.65	0.53	0.35	0.64	0.54	0.37	0.64	0.58	0.49
$\omega_2 / \omega_r$	3.29	2.17	1.4	3.91	2.32	1.4	4.74	2.61	1.44
$\Delta\omega / \omega_r$	2.64	1.64	1.05	3.27	1.78	1.07	4.1	2.03	1.09

Табела 3.4 Утицај избора вредности  $k$  и  $a$  на ширину фреквенцијског опсега у коме систем са  $RGESO_1$  постиже боље перформансе у односу на  $GESO_3$ , за процес  $G_{p2}(s)$ .

	$k=2$			$k=4$			$k=8$		
	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$	$a=0.2$	$a=0.4$	$a=0.8$
$\omega_1 / \omega_r$	0.66	0.55	0.42	0.64	0.54	0.35	0.64	0.54	0.35
$\omega_2 / \omega_r$	2.59	1.5	1.13	2.75	1.61	1.18	3.18	1.72	1.21
$\Delta\omega / \omega_r$	1.93	0.95	0.71	2.11	1.07	0.83	2.54	1.18	0.86

У погледу перформанси система у присуству полиномијалних типова поремећаја, са слика 3.6б и 3.7б, можемо закључити да системи са  $RGESO_1$  омогућује потпуно потискивање константног спољашњег поремећаја,  $D(s) = d_0 / s$  где је  $d_0$  непозната константа, јер на ниским фреквенцијама ( $s \rightarrow 0$ ) амплитудно-фреквенцијска карактеристика  $G_{dy}(s)$  остварује нагиб од  $-20 \text{ dB} / \text{dec}$ . Међутим, у системима са  $RGESO_0$  (слике 3.6а и 3.7а) на ниским фреквенцијама уочавамо да је  $|G_{dy}(s)| = \text{const}$ , па систем не може потиснути константан поремећај. На исти начин можемо закључити да системи са  $GESO_2$  и  $GESO_3$  омогућују потпуно потискивање спољашњег поремећаја нагибног типа  $D(s) = d_0 / s^2$ , односно параболичних спољашњих поремећаја ( $D(s) = d_0 / s^3$ ), имајући у виду да на ниским фреквенцијама, амплитудно фреквенцијске карактеристике њихових функције  $G_{dy}(s)$  оставрују нагибе од  $-40 \text{ dB} / \text{dec}$  и  $-60 \text{ dB} / \text{dec}$ , респективно.

Што се тиче ефикасности праћења полиномијалних референтних сигнала видимо да на ниским фреквенцијама амплитудно фреквенцијске карактеристике функције  $G_{er}(s)$ , у системима са  $G_{p1}(s)$  имају исти нагиб као и  $G_{dy}(s)$ , па на основу тога закључци изведени за типове спољашњих поремећаја које системи са  $RGESO_0$ ,  $RGESO_1$ ,  $GESO_2$  и  $GESO_3$  ефикасно потискују, важе и за типове референци које ови системи могу ефикасно пратити. Разлика постоји код система са процесом  $G_{p2}(s)$ , где амплитудно-фреквенцијска карактеристика функције  $G_{er}(s)$  (слика 3.7), остварује додатних  $-20 \text{ dB} / \text{dec}$ , због астатизма који поседује процес, па у овом случају систем



базиран на  $RGESO_0$ , поред простопериодичних референци, може ефикасно пратити и константне референце  $R(s) = r_0 / s$ , а систем са  $RGESO_1$  и нагибне типове референци  $R(s) = r_0 / s^2$ , где је  $r_0$  непознатна константа.

### 3.3.2 Анализа робусности

Анализа робусности пројектованих систем управљања је спроведена на основу вредности индекса робусности  $M_s$  [Astorn, 2010], који је дефинисан као максимум амплитудно-фреквенцијске карактеристике функције осетљивости система:

$$M_s = \max_{\omega} \left| \frac{1}{1 + W(j\omega)} \right|. \quad (3.30)$$

Потребно је напоменути да  $M_s$  квантитативно описује робусност система који су стабилни у затвореној повратној спреси, па је стога за његову примену прво потребно испитати стабилност система коришћењем неког од алгебарских или графо-аналитичких критеријума стабилности, попут Раусовог, Хурвицовог, Бодеевог или Никвистовог критеријума. Типичне вредности индекса крећу се у опсегу  $M_s \in [1, 2]$ , где мање  $M_s$  индицира робуснији систем.

Однос између индекса робусности  $M_s$  и стандардно коришћених резерви стабилности система дат је релацијама [Skogestad, 2007]:

$$GM \geq \frac{M_s}{M_s - 1}, \quad (3.31)$$

$$PM \geq 2 \arcsin \left( \frac{1}{2M_s} \right) \geq \frac{1}{M_s} [rad], \quad (3.32)$$

из којих можемо прорачунати гарантоване минималне вредности резерве стабилности по амплитуди (*gain margin-GM*) и резерве стабилности по фази (*phase margin-PM*) за специфицирано  $M_s$ . Овде је важно споменути да на основу вредности амплитудских

---

### 3. Пројектовање ADRC регулатора са резонантним проширеним опсервером стања

резерви система можемо одредити робусност системе у односу на грешку идентификације параметра процеса  $b_0$ , што је и показано у [Stanković, 2016a]. Наиме, имајући у виду да члан  $1/b_0$  заправо представља појачање у директној грани система управљања (видети слику 2.1), грешка у идентификацији  $b_0$  утицаће на смањење амплитудских резерви система.

Као и код анализе перформанси система и анализа робусности је спроведена за ADRC са различитим типовима опсервера и различито подешеним параметрима  $k$  и  $a$ . Вредности индекса  $M_s$  у разматраним случајевима дате су у табелама 3.5 и 3.6 за системе са процесима  $G_{p1}(s)$  и  $G_{p2}(s)$ , респективно.

Табела 3.5 Вредности индекса робусности  $M_s$  за ADRC системе са процесом  $G_{p1}(s)$

	GESO <sub>2</sub>	RGESO <sub>0</sub> ( $a=0.2$ )	RGESO <sub>0</sub> ( $a=0.4$ )	RGESO <sub>0</sub> ( $a=0.8$ )	GESO <sub>3</sub>	RGESO <sub>1</sub> ( $a=0.2$ )	RGESO <sub>1</sub> ( $a=0.4$ )	RGESO <sub>1</sub> ( $a=0.8$ )
$k=2$	1.37	1.37	1.37	1.39	1.48	1.48	1.48	1.91
$k=4$	1.47	1.47	1.49	1.57	1.60	1.60	1.61	1.98
$k=8$	1.51	1.52	1.55	1.73	1.72	1.73	1.75	2.65

Табела 3.6 Вредности индекса робусности  $M_s$  за ADRC системе са процесом  $G_{p2}(s)$

	GESO <sub>2</sub>	RGESO <sub>0</sub> ( $a=0.2$ )	RGESO <sub>0</sub> ( $a=0.4$ )	RGESO <sub>0</sub> ( $a=0.8$ )	GESO <sub>3</sub>	RGESO <sub>1</sub> ( $a=0.2$ )	RGESO <sub>1</sub> ( $a=0.4$ )	RGESO <sub>1</sub> ( $a=0.8$ )
$k=2$	1.55	1.56	1.57	1.63	1.68	1.68	1.85	3.67
$k=4$	1.6	1.61	1.63	1.80	1.81	1.81	1.83	3.13
$k=8$	1.63	1.64	1.69	1.94	1.88	1.89	1.94	3.71

Из добијених резултата можемо приметити да при вредностима параметра  $a = 0.2$  и  $a = 0.4$  системи са RGESO<sub>0</sub> и RGESO<sub>1</sub> имају једнак или занемарљиво мањи степен робусности у односу на системе са GESO<sub>2</sub> и GESO<sub>3</sub>, респективно, док приближавањем вредности пропусног опсега опсервера  $\omega_{obs}$  и резонантне учестаности  $\omega_r$  (избором

$a=0.8$ ) долази до нарушавања робусности система са резонантним опсерверима. Поред тога, као што је и очекивано, видимо да повећање реда опсервера као и пропусног опсега опсервера (повећање вредности  $k$ ) доводи до смањења индекса робусности  $M_s$ .

### 3.3.3 Анализа осетљивости система на шум мерења

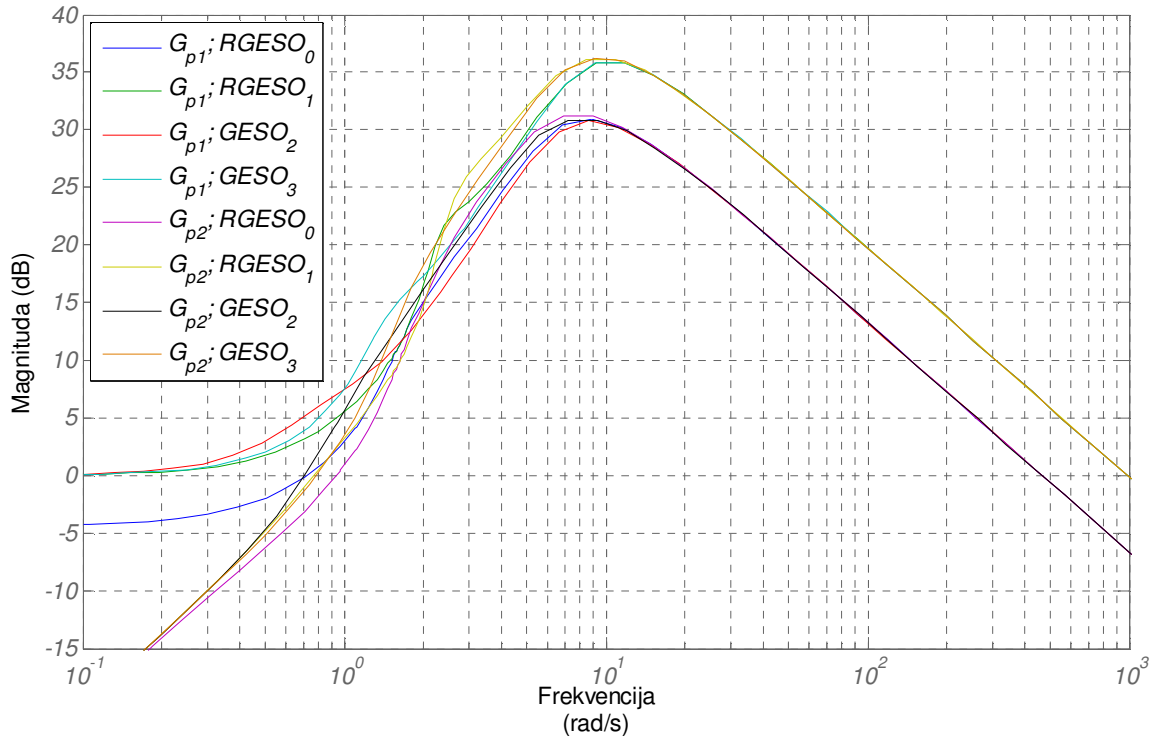
Шум мерења најчешће представља последицу несавршености мерних сензора, тако да у већини практичних имплементација управљачких алгоритама мора бити разматран. Анализе у временском домену, спровдене у литератури [Martinez, 2009; Madonski, 2012; Stankovic, 2016c], су показале да утицај шума мерења у ADRC структурама расте са повећањем вредности појачања опсервера. Као потенцијално решење овог проблема, наведена литература предлаже увођење још једног додатног стања система које представља интеграл мереног излаза. Формирањем грешке естимације, односно улаза опсервера, на основу додатог стања, значајно се смањује утицај шума мерења на квалитет естимације, а самим тим и на ефикасност управљања. Ипак, на овај начин долази до додатног повећања реда опсервера, што нарушава маргине стабилности, односно робусност система.

У овом раду, анализа утицај шума мерења на предложене структуре ADRC-а са RGESO-ом, извршена је у фреквенцијском домену. Као што је приказано на слици 3.5, шум мерења је представљен као додатни улаз система  $N(s)$ , који се сабира са излазом процеса и самим тим контаминира сигнал у повратној спрези. У циљу спровођења анализе, дефинисана је функција осетљивости на шум мерења (*noise sensitivity function*) [Astrom, 2010]:

$$G_{in}(s) = \frac{U(s)}{N(s)} = \frac{G_C(s)}{1 + G_C(s)G_p(s)}. \quad (3.33)$$

Амплитудно-фреквенцијске карактеристике функције (3.33) за системе са процесима  $G_{p1}(s)$  и  $G_{p2}(s)$ , као и регулаторима са различитим типовима опсервера приказане су на слици 3.8. У свим разматраним случајевима параметри регулатора су били идентично подешени усвајањем  $\omega_c = 1 \text{ rad/s}$ ,  $k = 4$  и  $a = 0.4$ .

---



Слика 3.8 Амплитудно фреквенцијске карактеристике функција  $G_{un}(s)$

Имајући у виду да је мерни шум обично високо-фреквентни сигнал за анализу његовог утицаја од интереса је изглед добијених карактеристика на високим фреквенцијама, где видимо да се за оба процеса карактеристике система са  $RGESO_0$  и  $GESO_2$ , као и  $RGESO_1$  и  $GESO_3$  практично поклапају и да све остварују нагиб од  $-20 \text{ dB/dec}$ . На основу тога, функцију (3.31), за систем са  $RGESO_0$ , и  $GESO_2$  на високим учестаностима можемо апроксимирати као:

$$\begin{aligned}
 G_{un}(s) \Big|_{s \rightarrow \infty} &= \frac{a_{21}s^3 + a_{22}s^2 + a_{23}s + a_{24}}{b_0(s^2 + \omega_r^2)(s^2 + (\beta_1 + K_2)s + \beta_1 K_2 + \beta_2 + K_1) + G_p(s)(a_{21}s^3 + a_{22}s^2 + a_{23}s + a_{24})} \Big|_{s \rightarrow \infty} \\
 &\approx \frac{a_{21}}{b_0} s^{-1} = \frac{\beta_1 K_1 + \beta_2 K_2 + \beta_3}{b_0} s^{-1} = K_{un} s^{-1},
 \end{aligned}
 \tag{3.34}$$

где коефицијент  $K_{un}$  представља коефицијент појачања на високим учестаностима и сходно томе можемо га окарактерисати као индекс осетљивости ADRC система на мерни шум. Веће вредности  $K_{un}$  одговарају већој осетљивости система на шум мерења. На исти начин за систем са  $RGESO_1$  и  $GESO_3$  добијамо да је:

$$\begin{aligned}
 G_{un}(s) \Big|_{s \rightarrow \infty} &= \\
 &= \frac{a_{31}s^4 + a_{32}s^3 + a_{33}s^2 + a_{34}s + a_{35}}{b_0s(s^2 + \omega_r^2)(s^2 + (\beta_1 + K_2)s + \beta_1K_2 + \beta_2 + K_1) + G_p(s)(a_{31}s^4 + a_{32}s^3 + a_{33}s^2 + a_{34}s + a_{35})} \Big|_{s \rightarrow \infty} \\
 &\approx \frac{a_{31}}{b_0} s^{-1} = \frac{\beta_1K_1 + \beta_2K_2 + \beta_3}{b_0} s^{-1} = K_{un} s^{-1}
 \end{aligned} \tag{3.35}$$

Као што можемо приметити (3.34) и (3.35) представљају идентичне изразе, међутим треба напоменути да ће за исто усвојене параметре  $\omega_c$  и  $k$  индекс  $K_{un}$  бити већи у изразу (3.35), због већих вредности појачања опсервера  $\beta_1$ ,  $\beta_2$  и  $\beta_3$  код RGESO<sub>1</sub> и GESO<sub>3</sub>. Поред тога, евидентно је да  $K_{un}$  не зависи од вредности  $\omega_r$ , па ће због тога системи RGESO<sub>0</sub> и GESO<sub>2</sub>, односно RGESO<sub>1</sub> и GESO<sub>3</sub> имати исту вредност дефинисаног индекса.

Утицај избора параметра  $k$  на вредност  $K_{un}$ , за системе са различитим моделима опсервера приказана је у Табели 3.7.

Табела 3.7 Утицај избора параметра  $k$  на вредност индекса  $K_{un}$

	$k=2$	$k=4$	$k=8$
RGESO <sub>0</sub> и GESO <sub>2</sub>	88	464	2848
RGESO <sub>1</sub> и GESO <sub>3</sub>	170	980	6440

Из добијених резултата је јасно да веће вредности пропусног опсега опсервера  $\omega_{obs} = k\omega_c$  доводе до повећања индекса  $K_{un}$ , услед повећања вредности појачања опсервера.

## 4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања

Постизање жељених перформанси ADRC система, уз задовољење потребних индекса робусности и осетљивости на мерни шум, захтева одговарајуће подешавање параметара регулатора. Као што је већ напоменуто у претходним поглављима, применом линеарне структуре ADRC-а и конвенционалне методе подешавања параметара, поступак пројектовања је значајно олакшан и своди се на избор пропусног опсега регулатора и опсервера. Међутим, једноставност подешавања параметара "плаћена" је ограниченом робусношћу система и повећањем утицаја мерног шума, због великих вредности појачања опсервера која се добијају на овај начин [Madoński, 2015], што је посебно изражено при пројектовању регулатора са опсерверима вишег реда. Поред тога, смештањем свих полова регулатора у тачку  $-\omega_c$  и свих полова опсервера у  $-\omega_{obs}$ , не може се постићи оптималан компромис између перформанси и робусности система управљања. Још један од недостатака конвенционалне методе огледа се у томе да уколико желимо постићи специфициране индексе перформанси и робусности, поступак подешавања параметара се углавном своди на итеративну методу покушаја и погрешака, која може бити временски захтевана за пројектанта.

У циљу решења наведених проблема последњих година долази до развоја метода за оптимално подешавања параметара ADRC-а, које су базиране на примени различитих алгоритама оптимизације. Тако на пример употреба генетског алгорита за подешавање параметара линеарног ADRC система за управљање кретањем је анализирана у [Zheng, 2005], у [Zhang, 2011] параметри нелинеарног ADRC-а пројектованог за управљање хемијским процесом подешени су на основу PSO (*Particle Swarm Optimization*) алгорита, док је у [Zhang, 2014] показане предности примена CCCS (*Chaotic Cloud Cloning Selection*) алгорита оптимизације. Иако су у свим случајевима постигнуте значајно боље перформансе и индекси робусности, у односу на стандардни начин подешавања параметара, предложени алгоритми су углавном развијени за конкретне структуре регулатора и процесе управљања. Из тог разлога њихова примена на ADRC са другачијом структуром, попут ADRC-а базираног на RGESO-у, захтевала би поновно дефинисање критеријума и ограничења у поступку

---

оптимизације. Сходно томе, у овом поглављу је предложена метода оптималног подешавања параметара ADRC система са RGESO-ом, базирана на примени генетског алгоритма.

Спроведена анализа перформанси ADRC-а са RGESO-ом је показала да у стационарном стању системи са одговарајуће подешеном вредношћу резонантне фреквенције  $\omega_r$  омогућују потпуно потискивање простопериодичних поремећаја и практично идеално праћење простопериодичних референци, и то за све разматране случајеве избора пропусног опсега регулатора и опсервера. Међутим, као што се и може очекивати, избор ових параметара значајно ће утицати на перформансе система у току прелазног процеса. У овом поглављу су дефинисани аналитички изрази индекса за оцену перформанси прелазног процеса, из којих се може видети утицај појединих параметара система. Након тога, анализирана су ограничења конвенционалног начина подешавања параметара и предложена је метода оптималног подешавања. Оптимизациони проблем је постављен тако да се његовим решењем постигну максималне перформансе система у прелазном периоду за задате индексе робусности и осетљивости на шум мерења. Упоредна анализа одзива система са конвенционално и оптимално подешеним параметрима регулатора приказана је у последњем делу поглавља.

#### 4.1 Перформансе система у току прелазног процеса

Перформансе ADRC-а са RGESO у прелазном периоду можемо оценити на основу вредности интеграла грешке излаза система *IE* (*Integral of Error*) [Kristiansson, 2006], који је дефинисан као:

$$IE = \lim_{t \rightarrow \infty} \int_0^t y(\tau) d\tau \quad (4.1)$$

у случају када је  $r(t) = 0$ , а на систем делује спољашњи поремећај  $d(t)$ . У стандардној анализи *IE* се најчешће прорачунава за јединични одскачни поремећај, док је у овом случају, због разматране проблематике, *IE* дефинисано за простопериодични облик спољашњег поремећај. Тако да је за систем са RGESO<sub>0</sub> претпостављено да је,  $d(t) = d_0(t) = \sin(\omega_r t)$ , односно у комплексном облику:

---

4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања

---

$$D(s) = D_0(s) = \frac{\omega_r}{s^2 + \omega_r^2}. \quad (4.2)$$

Применом Лапласове трансформације и њене друге граничне теореме на (4.1) добијамо:

$$IE = IE_0 = \lim_{s \rightarrow 0} \frac{1}{s} sY(s) = \lim_{s \rightarrow 0} D_0(s) G_{dy}^{RGESO_0}(s) \quad (4.3)$$

где је  $G_{dy}^{RGESO_0}(s)$  функција преноса (3.28), прорачуната за систем са RGESO<sub>0</sub>, па на основу тога важи да је:

$$\begin{aligned} IE_0 &= \lim_{s \rightarrow 0} \frac{\omega_r}{s^2 + \omega_r^2} \cdot \frac{G_p(s) b_0 (s^2 + \omega_r^2) (s^2 + (\beta_1 + K_2)s + \beta_1 K_2 + \beta_2 + K_1)}{b_0 (s^2 + \omega_r^2) (s^2 + (\beta_1 + K_2)s + \beta_1 K_1 + \beta_2 + K_1) + G_p(s) (a_{21}s^3 + a_{22}s^2 + a_{23}s + a_{24})} \\ &= \lim_{s \rightarrow 0} \frac{G_p(s) \omega_r b_0 (\beta_1 K_2 + \beta_2 + K_1)}{b_0 \omega_r^2 (\beta_1 K_2 + \beta_2 + K_1) + G_p(s) a_{24}}. \end{aligned} \quad (4.4)$$

Из једначине (4.4) видимо да ће вредност  $IE_0$  зависти од облика функције преноса процеса  $G_p(s)$ . Једноставно се показује да ће у случају система са процесима без астатизма ( $G_{p1}(s)$ ) (4.4) имати вредност:

$$IE_0 = \frac{\omega_r b_0 (\beta_1 K_2 + \beta_2 + K_1)}{\omega_r^2 b_0 (\beta_1 K_2 + \beta_2 + K_1) + a_{24}}, \quad (4.5)$$

док код система са процесом  $G_{p2}(s)$ , који има астатизам, (4.4) се своди на:

$$IE_0^A = \frac{\omega_r b_0 (\beta_1 K_2 + \beta_2 + K_1)}{a_{24}}. \quad (4.6)$$


---



4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања

На исти начин за оцену перформанси ADRC-а са RGESO<sub>1</sub> дефинисан је интеграл грешке излаза у случају дејства поремећаја који се састоји од комбинације јединичног одскочног и протопериодичног поремећаја, чији комплексни лик можемо представити као:

$$D(s) = D_1(s) = \frac{1}{s} + \frac{\omega_r}{s^2 + \omega_r^2} = \frac{s^2 + s\omega_r + \omega_r^2}{s(s^2 + \omega_r^2)}. \quad (4.7)$$

Слично као и код извођења  $IE_0$ , можемо записати да је у овом случају:

$$IE = IE_1 = \lim_{s \rightarrow 0} \frac{1}{s} sY(s) = \lim_{s \rightarrow 0} D_1(s) G_{dy}^{RGESO_1}(s), \quad (4.8)$$

где је  $G_{dy}^{RGESO_1}(s)$  функција преноса (3.28) прорачуната за систем са RGESO<sub>1</sub> регулатором, па на основу релације 4.8 добијамо:

$$\begin{aligned} IE_1 &= \lim_{s \rightarrow 0} \frac{s^2 + s\omega_r + \omega_r^2}{s(s^2 + \omega_r^2)} \cdot \\ &\cdot \frac{G_p(s)b_0s(s^2 + \omega_r^2)(s^2 + (\beta_1 + K_2)s + \beta_1K_2 + \beta_2 + K_1)}{b_0s(s^2 + \omega_r^2)(s^2 + (\beta_1 + K_2)s + \beta_1K_1 + \beta_2 + K_1) + G_p(s)(a_{31}s^4 + a_{32}s^3 + a_{33}s^2 + a_{34}s + a_{35})} \\ &= \frac{\omega_r^2 b_0 (\beta_1 K_2 + \beta_2 + K_1)}{a_{35}}. \end{aligned} \quad (4.9)$$

Као што се може приметити вредност  $IE_1$  не зависи од типа процеса којим се управља, тако да ће за оба разматрана процеса имати вредност дефинисану претходном релацијом.

Овде је потребно нагласити да поузданији критеријум за оцену прелазног процеса представља интеграл апсолутне грешке излаза:

$$IAE = \lim_{t \rightarrow \infty} \int_0^t |y(t)|, \quad (4.10)$$

међутим његова вредност се не може аналитички извести. Ипак, у случају робусних система, када је  $M_s \in [1 \div 2]$ , можемо сматрати да је  $IE \approx IAE$ , па је за такве случајеве примена  $IE$  као критеријума за оцену перформанси оправдана [Kristiansson, 2006].

Уколико претпоставимо да  $\omega_r$  подешавамо на основу очекиване вредности фреквенције простопериодичног поремећаја, а да  $b_0$  представља најбољу апроксимацију параметра процеса  $b$ , јасно је да ће вредности  $IE_0$  и  $IE_1$  зависити искључиво од избора вредности појачања опсервера и појачања регулатора.

## 4.2 Ограничења примене конвенционалног метода подешавања параметара

Као што је показано у поглављима 2.2 и 3.1 конвенционални начин подешавања параметара ADRC регулатора се своди на избор пропусног опсега регулатора  $\omega_c$  и параметра  $k$  којим је дефинисан пропусни опсег опсервера,  $\omega_{obs} = k\omega_c$ . Сходно томе, прорачуном вредности појачања опсервера и регулатора на основу релација 3.18 и 3.27 и њиховим уврштавањем у 4.5, 4.6 и 4.9 добијамо:

$$IE_0 = \frac{\omega_r b_0 \omega_c^2 (6k^2 + 8k + 1)}{\omega_r^2 b_0 \omega_c (6k^2 + 8k + 1) + \omega_c^4 (k^4 \omega_c^2 + 6k^2 \omega_r^2)}, \quad (4.11)$$

$$IE_0^A = \frac{\omega_r b_0 (6k^2 + 8k + 1)}{\omega_c^2 (k^4 \omega_c^2 + 6k^2 \omega_r^2)}, \quad (4.12)$$

$$IE_1 = \frac{\omega_r b_0 (10k^2 + 10k + 1)}{\omega_c^3 (k^5 \omega_c^2 + 10k^3 \omega_r^2)}. \quad (4.13)$$

Из добијених израза видимо да се у свим случајевима побољшање перформанси, односно смањење  $IE$  постиже повећањем вредности  $\omega_c$  и/или параметра  $k$ , имајући у виду да су степени  $\omega_c$  и  $k$ , у изразима (4.11), (4.12) и (4.13), већи у имениоцу него у бројиоцу. Међутим, повећањем вредности  $\omega_c$  и  $k$  долази до нарушавања робусности

---

система (повећава се индекс  $M_s$ ) као и повећања утицаја шума мерења на систем (повећава се индекс  $K_{un}$ ), што је показано анализом у претходном поглављу. Из тог разлога се подешавање параметара конвенционалном методом често своди на итеративни поступак, где мењамо вредности  $\omega_c$  и  $k$ , док не постигнемо жељене перформансе система и задовољавајуће мере робусности. Поред тога, на овај начин се не могу постићи минималне вредности  $IE_0$  и  $IE_1$  за специфициране индексе робусности и осетљивости на мерни шум [Madonski, 2015].

### 4.3 Поступак оптималног подешавања параметара применом генетског алгоритма

#### 4.3.1 Поставка оптимизационог проблема

Циљ оптималног подешавања параметара регулатора у овом случају је постизање максималних перформанси управљања у прелазном периоду, при задатим ограничењима у погледу робусности и осетљивости на мерни шум. Као критеријуми перформанси, система са регулаторима базираним на RGESO<sub>0</sub> и RGESO<sub>1</sub> искоришћене су дефинисане вредности  $IE_0$  и  $IE_1$ , респективно. Оптимизациони проблем је постављен на следећи начин:

*За задате максималне дозвољене вредности индекса робусности  $M_s^{\max}$  и индекса осетљивости на шум мерења  $K_{un}^{\max}$ , одредити појачања регулатора и опсервера тако да се постигне:*

$$\min_{K_1>0, K_2>0, \beta_1>0, \dots, \beta_5>0} IE_{(0,1)}, \quad (4.14)$$

уз ограничења:

$$M_s \leq M_s^{\max}, \quad (4.15)$$

$$K_{un} \leq K_{un}^{\max}, \quad (4.16)$$

систем у затвореној спрези је стабилан. (4.17)

Као што је већ објашњено у поглављу 3.3, услов (4.15) се може посматрати као мера робусности само у случају система који су стабилни у затвореној повратној спрези, па је због тога уведен услов (4.17), који треба накнадно проверити применом неког од општих критеријума стабилности. Поред тога, у циљу брже конвергенције ка стабилним решењима додат је и услов да сви параметри буду позитивни. За решење овако постављеног оптимизационог проблема примењен је генетски алгоритам, чији су опис и карактеристике дати у наредном поглављу.

#### 4.3.2 Опис рада генетског алгоритма

Методe оптимизације које су базирани на примени генетског алгоритма сврставају се у групу хеуристичких метода [Thiele, 2009], заједно са осталим методама развијеним на бази природних феномена попут, понашања мрава у колонији (*Ant Colony Optimization – ACO*) [Dorigo, 2006], вештачког имунитета (*Artificial Immune System – AIS*) [Gupta, 1993], понашања роја пчела (PSO алгоритми) [Trelea, 2003], итд. За разлику од детерминистичких метода оптимизације, где се једно решење унапређује у свакој итерацији док не постане оптимално, код хеуристичких метода се из итерације у итерацију унапређује цела група потенцијалних решења, па се тако претрага увек креће у више праваца. Сходно томе, хеуристичке методе оптимизације ће увек конвергирати глобалном оптимуму, док детерминистичке методе могу конвергирати и у локалне оптимуме, пре свега због лоше поставке иницијалних подешавања. Поред тога, још једна предност хеуристичких метода је краће време извршења у односу на детерминистичке методе оптимизације, што олакшава њихову рачунарску имплементацију и практичну примену. Међутим, њихов основни недостатак огледа се у томе што у општој поставци дају само субоптимално решење проблема, односно решење које је приближно оптимално [Urosević, 1996]. Ипак, последњих деценија, значајан теоријски напредак у овој области као и развоја рачунарских система за имплементацију алгоритама довели су до тога да је квалитет добијених решења углавном задовољавајући, а често се може добити чак и оптимално решење, па сходно томе не чуди све већа практична примена хеуристичких метода оптимизације [Manjarres, 2013], па и оних базираних на генетском алгоритму [Grefenstette, 2013].

Идеје развоја еволуционарних алгоритама, чији је један представник и генетски алгоритам, јављају се 70-тих година прошлог века и у основи су засноване на

---

Дарвиновој теорији постанка врста и природној еволуцији. Иако је током година дошло до завидног напретка у теоријским разматрањима и практичној примени генетског алгоритма, поставке дефинисане у првим радовима из ове области [Holland, 1975] и данас се користе. Основа конструкције генетског алгоритма је популација, која се најчешће састоји од 10 до 200 јединки. Свака јединка представља једнопотенцијално решење у простору свих решења и описана је генетским кодом који је најчешће представљен у виду бинарног записа и назива се хромозом. Да би се оценио квалитет јединке, односно квалитет потенцијалног решења, свакој јединки се додаје одговарајућа вредност функције прилагођености (*fitness function*), која се дефинише у зависности од поставке оптимизационог проблема.

Почетна популација се бира на случајан начин из заданог опсега вредности након чега се применом генетских оператора *селекције*, *укрштања* и *мутације* из генерације (итерације) у генерацију побољшава средња вредност квалитета јединки популације. Селекција се врши тако што се при формирању нове генерације већа шанса за репродукцију даје квалитетнијим јединкама (јединкама са бољом вредношћу функције прилагођености), док слабије прилагођене јединке у свакој новој итерацији постепено изумиру. У другу руку, применом механизма укрштања остварује се рекомбинација генетског материјала између јединки чиме се постиже његова већа разноврсност. На овај начин омогућава се да и мање квалитетне јединке, укрштањем гена са боље прилагођеним јединкама, произведу квалитетно потомство. Оператор мутације врши произвољну промену вредности одговарајућег бита хромозома са задатом малом вероватноћом. Улога мутације се огледа у томе да онемогући губљење генетског материјала, односно конвергенцију свих решења према једном оптимуму, услед вишеструке селекције и укрштања и веома је значајна у почетним итерацијама.

У конкретном случају коришћен је генетски алгоритам развијен у оквиру алата *Optimization toolbox* програмског пакета MATLAB<sup>®</sup>. Сходно претходно постављеном оптимизационом проблему функција прилагођености је дефинисана као:

$$J = IE_{(0,1)} + C(K_1, K_2, \beta_1, \beta_2, \dots, \beta_5 \leq 0 \vee M_s > M_s^{\max} \vee K_{un} > K_{un}^{\max}), \quad (4.18)$$

одакле видимо да квалитетније јединке, односно решења, треба да имају мању вредност функције  $J$ . Константа  $C$  се бира тако да буде велика (у разматраном случају усвојено је  $C = 10^6$ ) како би у случају да решење неиспуњава неко од постављених ограничења

---

вредност функције прилагођености била велика и самим тим такво решење одстрањено вишеструком применом генетских оператора. У склопу почетне иницијализације алгоритма усвојено је да је величина популације  $N_p = 20$ , а максимални број итерација  $N_I = 50$ . Почетна популација биран је случајним избором на основу иницијалних опсега за  $K_1 \in [0,10]$ ,  $K_2 \in [0,20]$ ,  $\beta_1 \in [0,200]$ ,  $\beta_2 \in [0,300]$ ,  $\beta_3 \in [0,500]$ ,  $\beta_4 \in [0,1000]$  и  $\beta_5 \in [0,2000]$ .

#### 4.4 Резултати оптимизације параметара ADRC регулатора

Да би смо показали предности система са оптимално подешеним параметрима регулатора, његове перформансе су упоређене са перформансама система са конвенционално подешеним регулатором, при истим вредностима индекса  $M_s$  и  $K_{un}$ . Анализа је спроведена на процесима  $G_{p1}(s)$  и  $G_{p2}(s)$  и то за системе са RGESO<sub>0</sub> и RGESO<sub>1</sub> регулаторима. Конвенционално подешавање регулатора је реализовано усвајањем  $\omega_c = 1 \text{ rad/s}$ ,  $k = 4$  и  $a = 0.4$ . Вредности индекса  $M_s$  и  $K_{un}$  добијене у овим случајевима (видети Табеле 3.5, 3.6 и 3.7), искоришћени су као ограничења  $M_s^{\max}$  и  $K_{un}^{\max}$  при оптималном подешавању регулатора, док је као и код конвенционалног подешавања усвојено  $\omega_r = 1.6 \text{ rad/s}$  и  $b_0 = 1$ . На основу тога, за оптимално подешавање RGESO<sub>0</sub> регулатора у систему са процесом  $G_{p1}(s)$  усвојено је  $M_s^{\max} = 1.49$  и  $K_{un}^{\max} = 464$ , а за систем са процесом  $G_{p2}(s)$  вредности  $M_s^{\max} = 1.63$  и  $K_{un}^{\max} = 464$ . Вредности параметара регулатора добијених применом предложене методе оптималног подешавања дати су у Табели 4.1.

Упоредни одзиви конвенционално и оптимално подешеног RGESO<sub>0</sub> система на поремећај  $D_0(s)$ , приказани су на слици 4.1, заједно са одговарајућим вредностима  $IE_0$  и  $IAE$ . Поред тога, перформансе праћење референтног сигнала  $R_0(s) = \omega_r^2 / (s^2 + \omega_r^2)$ , за оба начина подешавања параметара, приказани су на слици 4.2.

На исти начин спроведена је и упоредна анализа система са конвенционално и оптимално подешеним RGESO<sub>1</sub> регулатором. При оптимизацији параметара у систему са процесом  $G_{p1}(s)$  усвојено је  $M_s^{\max} = 1.61$  и  $K_{un}^{\max} = 980$ , а у систему са процесом

---

4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања

$G_{p2}(s)$ ,  $M_s^{\max} = 1.83$  и  $K_{un}^{\max} = 980$ . Добијени оптимални параметри регулатора дати су у Табели 4.2

Табела 4.1 Вредности оптимално подешених параметара RGESO<sub>0</sub> регулатора за системе са процесима  $G_{p1}(s)$  и  $G_{p2}(s)$

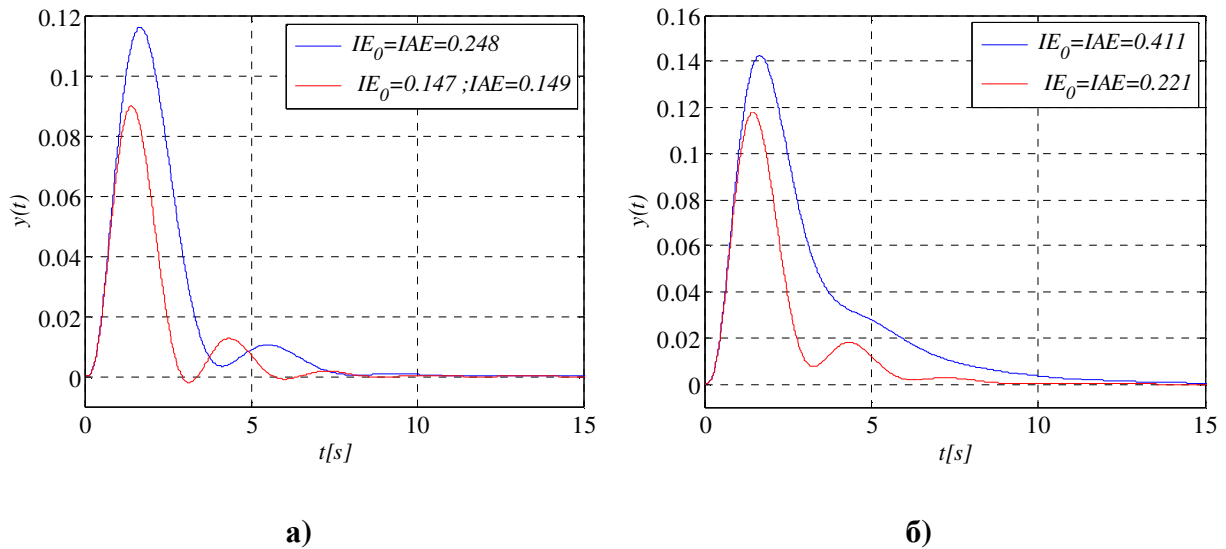
	$K_1$	$K_2$	$\beta_1$	$\beta_2$	$\beta_3$	$\beta_4$
$G_{p1}(s)$	1.39	2.36	12.5	109	180	560
$G_{p2}(s)$	1.63	2.56	13.1	98.7	188	337

Табела 4.2 Вредности оптимално подешених параметара RGESO<sub>1</sub> регулатора за системе са процесима  $G_{p1}(s)$  и  $G_{p2}(s)$

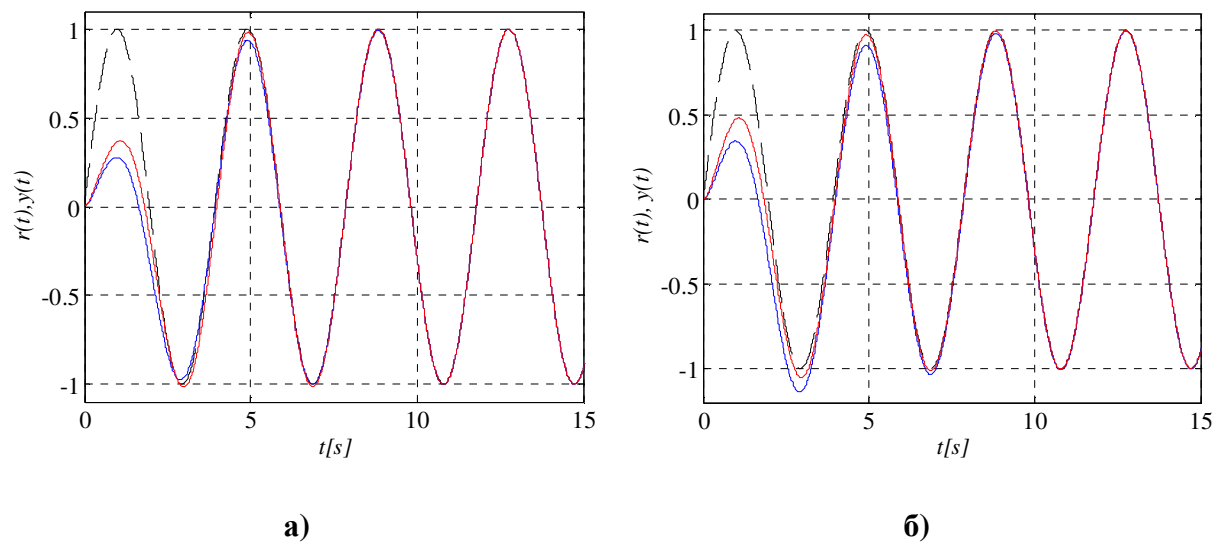
	$K_1$	$K_2$	$\beta_1$	$\beta_2$	$\beta_3$	$\beta_4$	$\beta_5$
$G_{p1}(s)$	1.46	2.42	16.7	170	538	1473	1007
$G_{p2}(s)$	1.17	2.17	11.1	185	561	1635	1651

Одзиви конвенционално и оптимално подешеног RGESO<sub>1</sub> система на поремећај  $D_1(s)$  као и одговарајуће вредности критеријума перформанси  $IE_I$  и  $IAE$  приказани су на слици 4.3, док су упоредне карактеристике праћење референтног сигнала  $R_1(s) = 1/s + \omega_r^2/(s^2 + \omega_r^2)$  представљене на слици 4.4.

4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања



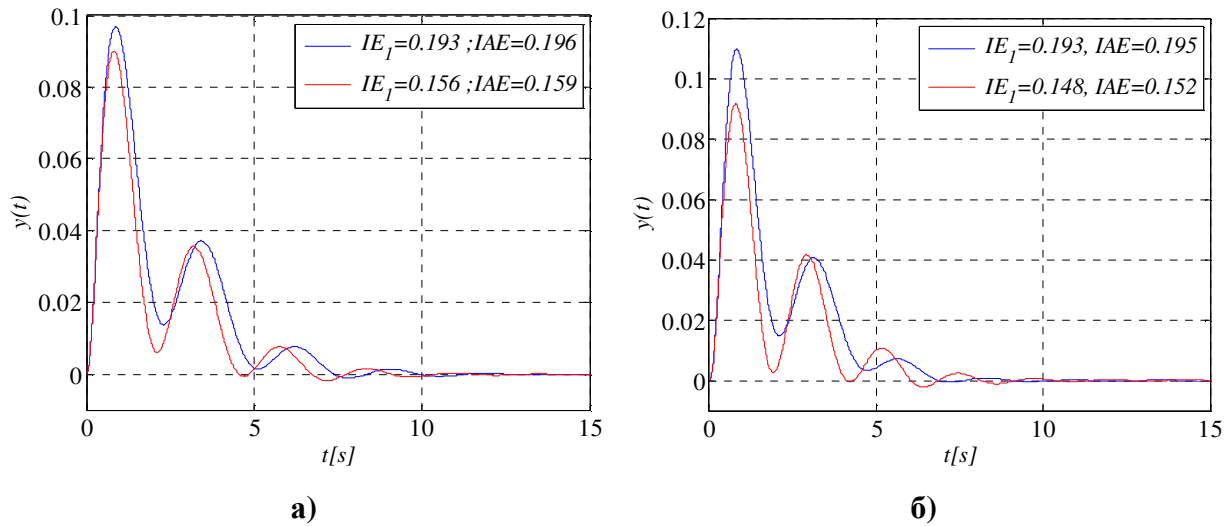
Слика 4.1 Одзиви  $RGESO_0$  система на поремећај  $D_0(s)$ , са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија); **а)** процес  $G_{p1}(s)$  **б)** процес  $G_{p2}(s)$



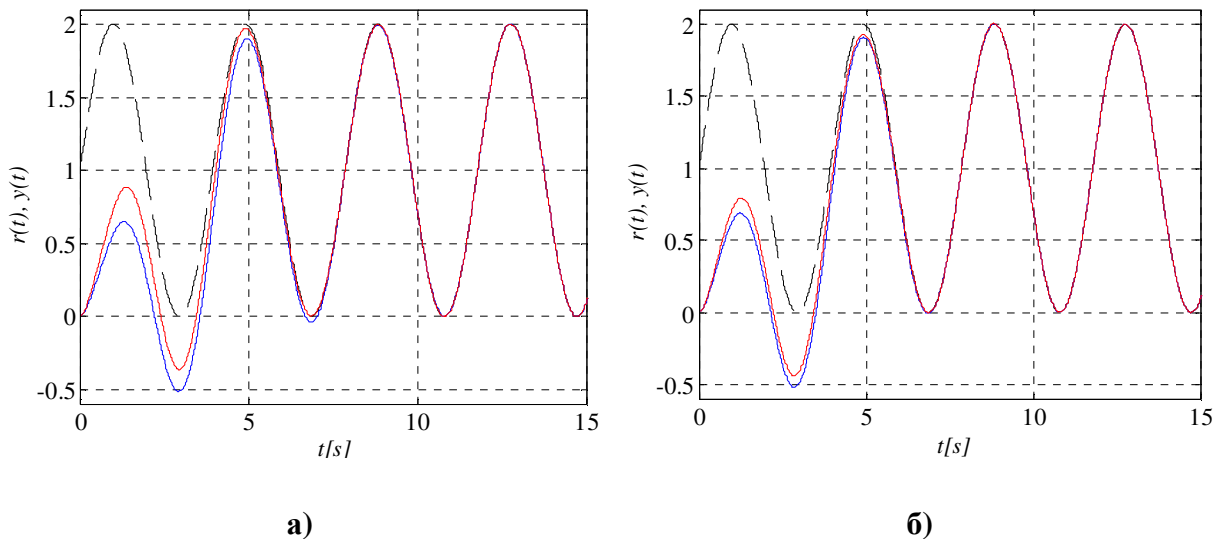
Слика 4.2 Одзиви  $RGESO_0$  система на референтни сигнал  $R_0(s)$  (црна испрекидана линија), са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија); **а)** процес  $G_{p1}(s)$  **б)** процес  $G_{p2}(s)$



4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања



Слика 4.3 Одзиви RGESO<sub>1</sub> система на поремећај  $D_1(s)$ , са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија); **а)** процес  $G_{p1}(s)$  **б)** процес  $G_{p2}(s)$



Слика 4.4 Одзиви RGESO<sub>1</sub> система на референтни сигнал  $R_1(s)$  (црна испрекидана линија), са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија); **а)** процес  $G_{p1}(s)$  **б)** процес  $G_{p2}(s)$

На основу резултата приказаних на слици 4.1 можемо уочити да, при истим вредностима индекса робусности и осетљивости на шум мерења, системи са оптимално подешеним RGESO<sub>0</sub> регулатором постижу од 40% (слика 4.1а) до 50% (слика 4.1б) мање  $IE_0$ , у односу на конвенционално подешене системе. Слично се може приметити и код поређења конвенционално и оптимално подешеног RGESO<sub>1</sub> регулатора на слици 4.3, стим што је у овом случају побољшање критеријума перформанси потискивања

#### 4. Оптимално подешавање параметара ADRC регулатора са резонантним проширеним опсервером стања

---

поремећеја  $IE_1$  нешто мање и износи око 20%. Што се тиче карактеристика праћења простопериодичних референци, приказаних на сликама 4.2 и 4.4. можемо видети да у свим случајевима системи са оптимално подешени регулатрима омогућују краћи прелазни период као и мању грешку праћења у току прелазног процеса.

## 5. Реализација система аутоматског управљања применом FPGA технологије

FPGA спада у групу програмабилних логичких кола (*Programmable Logic Devices-PLD*) високе интеграције, чије конфигурисање врши крајњи корисник помоћу програмских језика за опис хардвера, као што су *Verilog*, HDL (*Hardware Description Language*) или VHDL (*Very high speed integrated circuit HDL*). FPGA технологија омогућује реализацију различитих дигиталних алгоритама независно од произвођача компоненти, чиме се значајно смањују време и трошкови развоја. У другу руку, хардверска реализација система управљања која се постиже применом FPGA технологије дозвољава паралелно извршење имплементираних алгоритама, чиме се постижу веће брзине обраде сигнала као и несметан рад више различитих алгоритама на истом чипу, без постојања проблема поделе временских ресурса (*time sharing problem*)

У контексту еволуције FPGA потребно је нагласити да њен развој није био у потпуности испраћен развојем алата за пројектовање хардвера, тако да је дошло до појаве ”јаза” између могућности савремених FPGA чипова и њихове практичне примене. Наиме, процес имплементације подразумева програмирање у неком од наведених хардверских програмских језика, што може бити прилично захтевно, поготово при реализацији комплексних управљачких алгоритама. Међутим, последњих година водећи произвођачи FPGA чипова се све више оријентишу на развој софтверских алата који омогућују директно пројектовање хардвера на системском нивоу, најчешће у графичком окружењу, чиме се ова хардверска платформа ”приближава” пројектантима управљачких система [Stanković, 2016a; Stanković, 2016b; Martin, 2013]. Ако на то додамо и високе перформансе у погледу брзине рада, паралелизам у извршавању операција, малу енергетску потрошњу, мале физичке димензије чипова, као све веће смањење односа цена/перформансе не чуди значајан пораст употребе FPGA у различитим индустријским управљачким системима [Monmasson, 2011]. Сходно томе, успешну примену FPGA можемо наћи у реализацији енергетских система управљања [Garcia, 2005], роботских система [Kung, 2010], система управљања електричним моторима [Kowalski, 2010, Hung, 2013], управљања кретањем вишеосних система [Astarloa, 2009; Martinez, 2013; Stankovic, 2016a], итд.

У првом делу овог поглавља дате су основне карактеристике FPGA у оквиру чега су описани развој технологије, интерна архитектура хардвера, као и општи прилаз пројектовању хардвера, док је у другом делу предложена методологија реализације управљачких система на FPGA, применом графичких алата за пројектовање.

### 5.1 FPGA технологија

#### 5.1.1 Развој FPGA хардвера

Развој првих PLD компоненти почиње седамдестих година прошлог века појавом PAL (*Programmable Array Logic*) и PLA (*Programmable Logic Array*) чипова. Њихову структуру су чинили низова програмабилних "И" и "ИЛИ" логичких кола чијим су повезивањем могле бити реализоване једноставније комбинационе и секвенцијалне логичке функције. Даљим напретком технологије израде, а пре свега повећањем степена интеграције, долази до појаве CPLD (*Complex PLD*) чипова који су састојали од већег броја PLD блокова. Поред тога, у архитектуру су уграђене и програмабилне матрице повезивања за остваривање веза између самих блокова као и веза са улазно-излазним пиновима чипа. На овај начин омогућено је креирање сложених дигиталних система, као и реализација више независних логичких функције на истом чипу. Међутим, архитектура CPLD компоненти коју су чинили линијски постављени PLD блокови и матрице повезивања није била погодна за постизање задовољавајућих перформанси у погледу брзине рада реализованих алгоритама, због отежаног проналажења оптималног начина повезивања PLD блокова. Отуда, даљи развој PLD технологије постаје орјентисан на унапређење интерне архитектуре. Средином осамдесетих година долази до појаве FPGA чипова базираних на решеткастој структури матрице повезивања са програмабилним блоковима постављеним у поља решетке, чиме се постиже значајно ефикаснија и економичнија реализације дигиталних алгоритама и односу на примену CPLD чипова.

Као што је показано у литератури [Trimerger, 2007; Simić, 2013a] развој FPGA технологије можемо поделити у три основне фазе: *проналаска*, *експанзије* и *акумулације*. У првом периоду, непосредно након проналаска, примена FPGA хардвера је била ограничена, како због релативно малог броја програмабилних блокова унутар чипа, тако и због своје високе цене. Међутим, већ почетком деведесетих године долази до експанзије производње FPGA чипова, тако да су се хардверски ресурси чипова

---

почели примичати захтевима апликација у конкретним индустријским системима, па самим тим и њена примена постаје све већа. Последња фаза акумулације почиње почетком овог века и њу пре свега карактерише то да могућности FPGA технологије значајно превазилазе захтеве апликација. Једна од основних карактеристика фаза експанзије и акумулације је да се произвођачи FPGA у том периоду поред производње самог хардвера окрећу и развоју софтверских алата којима ће се омогућити једноставније пројектовање хардвера.

### 5.1.2 Архитектура FPGA хардвера

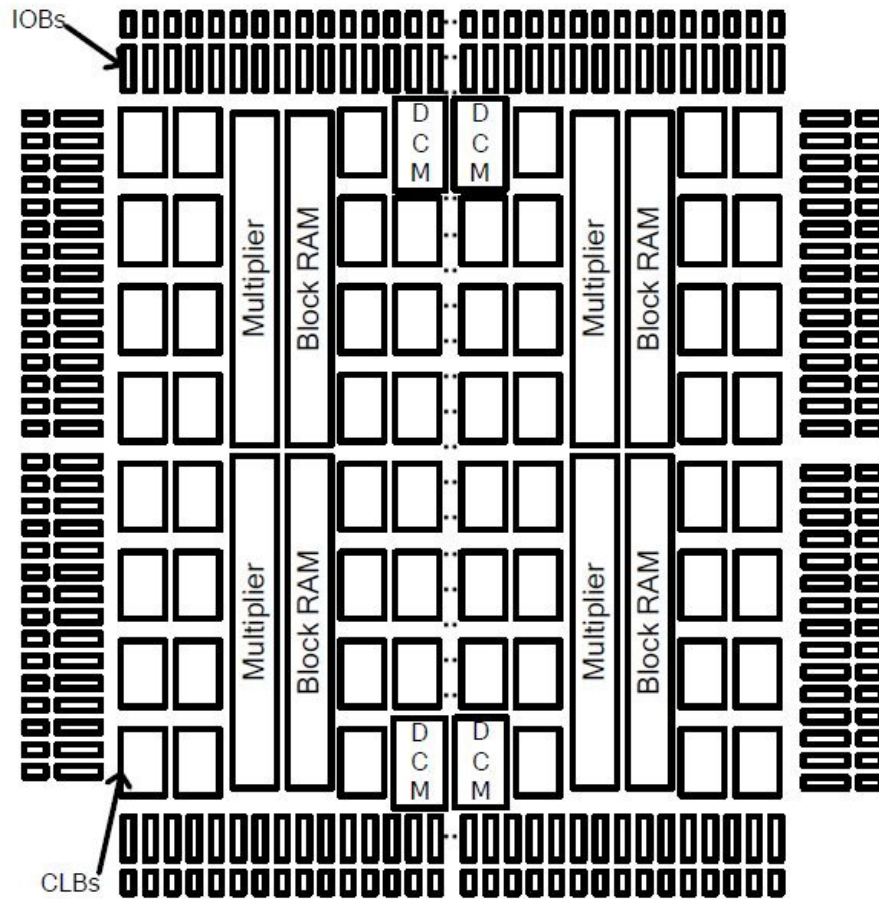
Као што је већ напоменуто архитектура FPGA хардвера је заснована на решеткастој структури, где се у сваком пољу мреже налазе конфигурабилни логички блокови (*Configurable Logic Blocks-CLBs*), док решетке представљају магистрале, сачињене од више линија, помоћу којих се врши њихово повезивање. На пресецима магистрала налазе се прекидачке матрице, које омогућују спајање одређених линија магистрала. Са једне линије магистрале сваки CLB може да прима сигнал, док на једну линију максимално један CLB може да шаље сигнал, што се дефинише конфигурисањем FPGA хардвера од стране корисника. Применом овакве структуре омогућује се повезивање било која два конфигурабилна блока и самим тим максимална доступност свих ресурса хардвера.

CLB су формирано од логичких ћелија (*logic cell*) које се састоје од 4-улазне LUT (*Look Up Table*) табеле и D флип-флоп (*flip-flop-FF*) логике и омогућавају формирање различите комбинационе логике програмирањем табеле истинитости. Наиме, LUT-ове можемо посматрати као RAM меморију у чијим се локацијама налазе резултати комбинационе логике, док адресу меморијске локације одређују улазне вредности сигнала LUT-а. FF логика на излазу логичке ћелије служи за меморисање података. Са порастом степена интеграције FPGA чипова долази до пораста броја логичких ћелија у једном CLB-у тако да савремени чипови имају CLB-ове који се састоје од десетина логичких ћелија.

У зависности од произвођача FPGA компоненти, као што су *Xilinx*, *Altera*, *Actel*, *Lattice*, чипови садрже и различите додатне програмабилне елементе који повећавају њихову функционалност. Имајући у виду да ће у овом раду бити коришћен чип из *Xilinx*-ове SPARTAN 3А фамилије, структура његових програмабилних елемената приказан је на слици 3.1. Као што можемо видети, поред CLB-ова, ови чипови имају и уграђене блокове RAM-а, елементе за дигитално управљање тактом (*Digital Clock*

---

*Manager-DCMs*), улазно-излазне блокове (*Input/Output Blocks-IOBs*) као и наменске хардверске множаче (*embeded multiplier*).



Слика 5.1 Структура FPGA чипа

DCMs блокови омогућују дигиталне реализације дељења, множења и кашњења основног такта хардвера, у циљу синтезе различитих тактова потребних за реализацију дигиталних система. Блокови RAM меморије имају капацитет од 18 Kbit за смештање података. Физички су реализовани тако да имају два независна приступна порта, који омогућују упис и читање података, синхронизовано са радним тактом хардвера. IOBs елементи служе за остваривање програмабилне бидирекционе везе између програмиране логике FPGA чипа и спољашњих пинова чипа. Као што видимо са слике 5.1. двоструки прстен IOBs окружује остале елементе чипа. Хардверски уграђени множачи првенствено су намењени за подржавање захтевних DSP операција. Њиховом применом омогућава се множења два означена 18-то битна сигнала у једном циклусу

такта. Ради бржег приступа меморији сваком множачу придружен је један блок RAM-а. Чипови из серије SPARTAN-3А DSP уместо множача имају уграђене DSP48а елементе, који поред 18×18 битног множача садрже и 18-то битни предсабирач и 48 битни постсабирач/акумулатор, чиме се омогућава реализација још комплексније DSP аритметике у једном циклусу такта.

Непрестано унапређење технологије производње интегрисаних кола довело је до вишеструког увећања расположивих ресурса FPGA чипова. Најновије генерације *Xilinx*-ових чипова са ознака *UltraScale* и *Ultra Scale*<sup>+</sup> израђују се у 20 nm односно 16 nm технологији, док је фамилије SPARTAN 3 и SPARTAN 6 реализована у 90 nm и 45 nm технологији, респективно. Преглед хардверских ресурса најновијих фамилија чипова и описаног чипа из фамилије SPARTAN 3А приказани су у табели 5.1.

Табела 5.1 Хардверски ресурси Xilinx-ових фамилија FPGA

	Virtex UltraScale+ (XCVU13P)	Kintex UltraScale+ (XCKU15P)	Virtex UltraScale (XCVU440)	Spartan 6 (XC6SLX150)	Sparta3A DSP XC3SD3400A
Логичке ћелије	3,780К	1,143К	5,541К	150К	53,712
RAM	455Mb	70.6Mb	88,6Mb	4.8Mb	2.3Mb
DSP елементи	11,288	1, 968	2,880	180	126
Улазно-излазни пинови	832	572	1456	480	89

У табели 5.1. дати су елементи који се највише употребљавају при имплементацији дигиталних система управљања: логичке ћелије, блокови RAM-а, уграђени наменски DSP блокови и улазно/излазни пинови. Упркос великој разлици у броју конфигурабилних елемента у односу на најновије генерације FPGA, чипови из фамилија SPARTAN са својим доступним ресурсима омогућују несметан развој и имплементацију већине дигиталних система управљања. Поред тога неупоредиво нижа цена у односу на FPGA чипове из најновијих фамилија чини их лако доступним на тржишту.

### 5.1.3 Општи прилаз пројектовању FPGA хардвера

Процес имплементације дигиталног кола на FPGA хардвер може се поделити у две основне фазе: фаза логичког пројектовања и фаза физичког пројектовања. Логичко пројектовање се своди на опис жељеног дигиталног алгоритма применом VHDL-а. У

односу на структуралне програмске језике као што су C или C++, где се наредбе извршавају секвенцијално "наредба по наредба", VHDL се разликује по томе што он представља паралелан језик, где се наредбе извршавају конкурентно (истовремено). На овај начин VHDL описује реално дигитално коло где се излаз мења истовремено са променама улазних величина, наравно уз постојање одговарајућег кашњења које се такође може моделовати. Физичко пројектовање обухвата планирање (*mapping*), размештај (*placement*) и повезивање (*routing*) логичких модула и ћелија, уз минимизацију заузете површине чипа и дужине веза. Као резултат ове фазе добијају се прецизне информације о временским ограничењима (кашњење дуж веза, максимални радни такт) као и укупно заузеће ресурса FPGA хардвера. Уколико добијени резултати, задовољавају задате спецификације, пројекат је спреман за програмирање конкретног FPGA чипа.

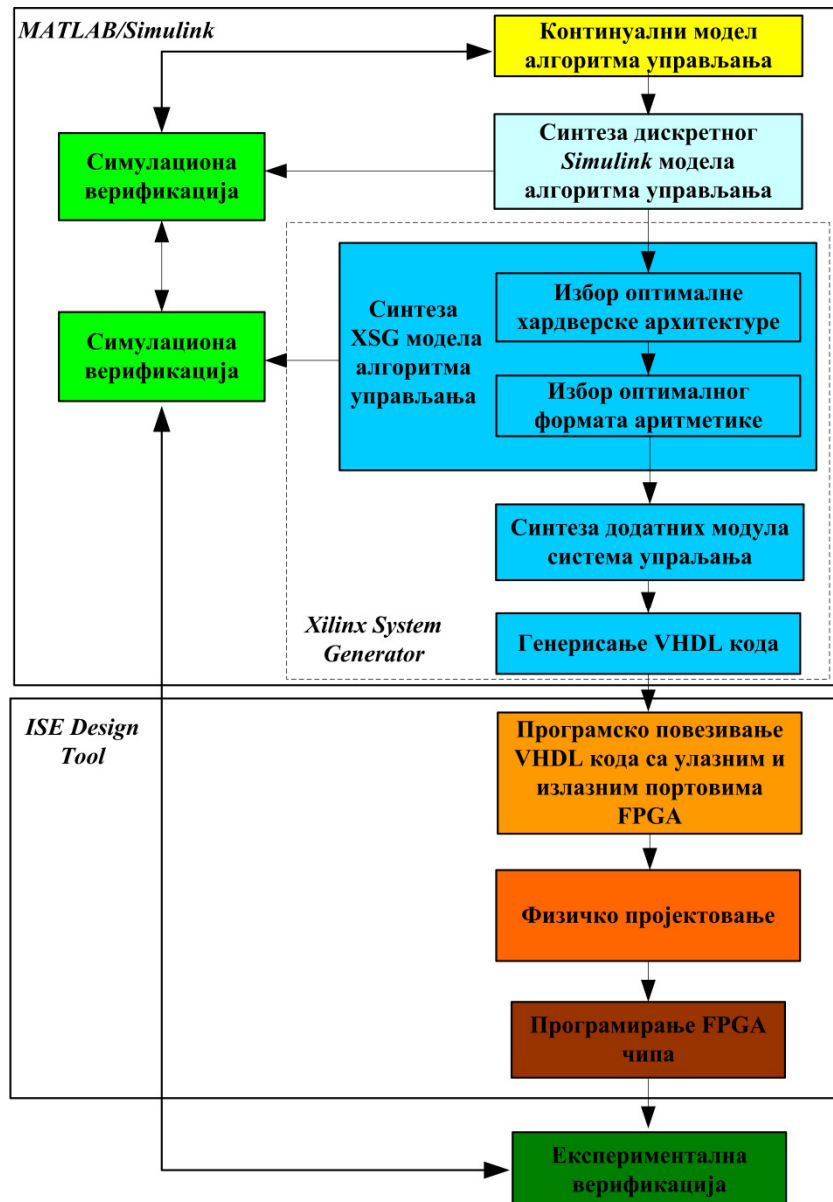
Имајући у виду да је применом софтверских алата фаза физичког пројектовања прилично аутоматизована, пројектанти већу пажњу посвећују логичком пројектовању. Основна тешкоћа у овој фази представља то што је за опис алгоритма помоћу хардверског језика потребно извршити његово превођење са функционалног модела на модел који се састоји од регистара, множача, сабирача, мултиплексера, итд. Овај ниво абстракције модела у литератури је познат као RTL (*Register Transfer Level*) ниво. Описана процедура логичког пројектовања може бити захтевна са погледа потребног времена пројектовања, због генерисања обимних VHDL кодова, што поготово долази до изражаја код имплементације сложених управљачких системима. Поред тога, оптимизација хардверске реализације у смислу односа перформанси система и заузећа FPGA ресурса је прилично отежана [Martin, 2013].

У циљу поједностављења фазе логичког пројектовања, последњих година долази до развоја алата који омогућују пројектовање система у графичком окружењу на системском нивоу (*system-level design*) и након тога аутоматско генерисање VHDL описа дигиталног система. Водећи произвођачи FPGA чипова развили су различите врсте оваквих алата, као што су *DSP I SOPC builder* код компаније *Altera* и *System Generator* и *Accel DSPTM* код *Xilinx*-а. Сходно наведеном, у наставку је предложена методологија реализације управљачких алгоритама коришћењем FPGA хардвера, применом графичких алата, конкретно *Xilinx*-овог софтвера *System Generator (XSG)* у радном окружењу програмског пакета *MATLAB/Simulink*.



## 5.2 Пројектовање FPGA хардвера применом графичких алата

Методологија реализације система управљања на FPGA чип, применом XSG алата, описана је на слици 5.2 [Stanković, 2016d].



Слика 5.2. Поступак реализације управљачког система на FPGA хардверу применог алата за графичко пројектовање на системском нивоу

Као што можемо видети, први корак представља синтеза дискретног модела система у *Simulink* графичком окружењу, на основу претходно дефинисаног континуалног модела. У овој фази кључну улогу има избор одговарајуће периоде

дискретизације у складу са могућностима конкретног FPGA чипа, као и жељеним перформансама система. Имајући у виду брзину рада савремених FPGA чипова, вредност периоде дискретизације се може свести на ред микросекунди или чак наносекунди. На тај начин у већини управљачких система, перформансе дискретног модела ће минимално одступати од перформанси континуалног модела.

Након симулационе верификације дискретног *Simulink* модела, прелази се на фазу формирања дискретног XSG модела алгоритма управљања, која подразумева замену *Simulink* блокова са еквивалентним компонентама из XSG библиотеке блокова. У овој фази пројектант врши избор одговарајуће хардверске архитектуре као и избор формата аритметике за представљање сигнала и коефицијената дискретног алгоритма. Циљ обе подфазе представља проналажење оптималног компромиса у смислу заузећа ресурса FPGA чипа са једне и перформанси управљања са друге стране.

Поступак избора оптималне хардверске архитектуре може се објаснити на примеру система са слике 5.3а означеног као C1 и модификација његове архитектуре на сликама 5.3б и 5.3в, означених са C2 и C3, респективно. Као што се може видети све три структуре реализују исти алгоритам који се може описати једначином:

$$z = x_1y_1 + x_2y_2 + x_3y_3 + x_4y_4. \quad (5.1)$$

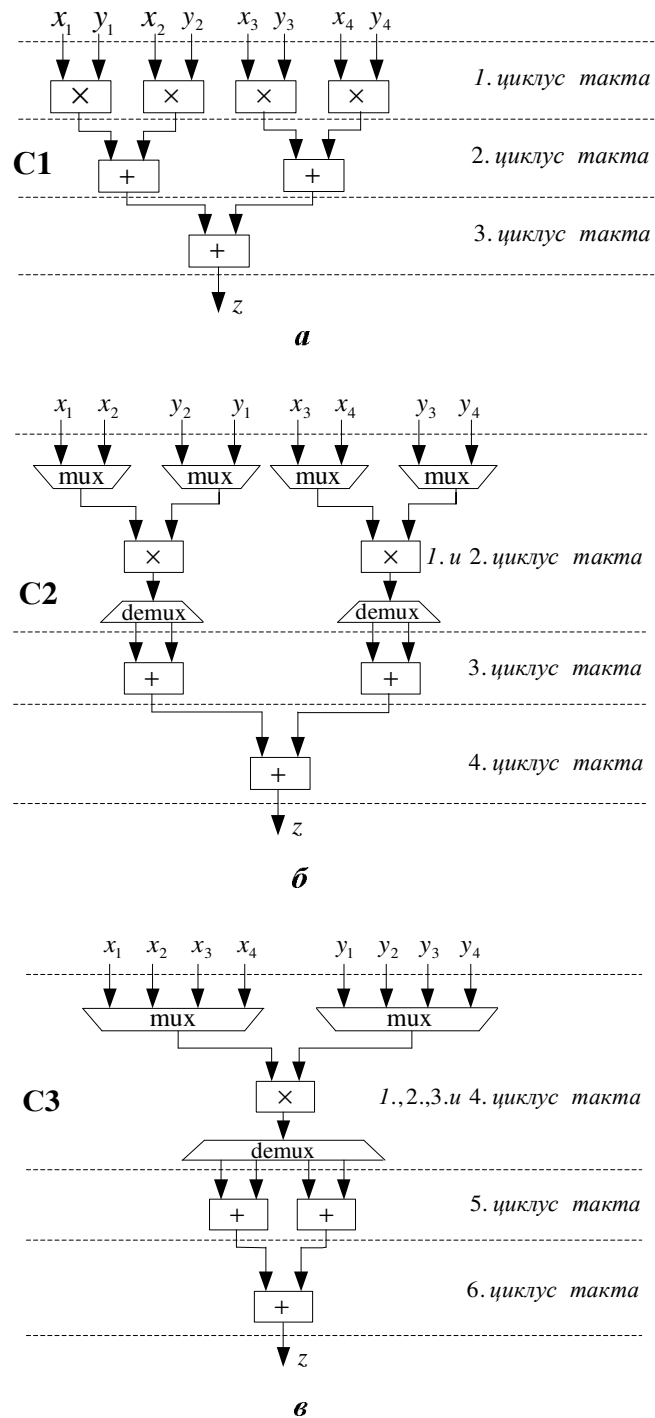
Међутим, ако претпоставимо да се једна рачунска операције реализују у једном радном такту хардвера, можемо уочити да структура C1 представља решење са најмањим временским кашњењем. Наиме, време потребно за добијање резултата у овом случају је три интервала такта. Ипак, применом овакве структуре заузеће ресурса је највеће, пошто је за реализацију потребно четири множача и три сабирача. Насупрот томе, употребом мултиплексера (означених као *mux* на сликама) у структури C3, систем (5.1) је реализован помоћу само једног множача што значајно смањује захтеве за хардверским ресурсима, али је оваквој архитектури потребно је 6 интервала такта да би се добио крајњи резултат, што је дупло веће време него код C1. Структура C2 која користи 2 множача у комбинацији са мултиплексерима има временско кашњење обраде сигнала од 4 интервала такта и као таква може се окарактерисати као компромис између C1 и C3. На основу наведеног можемо закључити да ће избор одговарајуће хардверске архитектуре зависити од захтеване брзине рада управљачког система. Наиме, у случајевима где је потребна велика брзина рада (периода одабирања реда

---

наносекунди) најбоље решење представља структура C1, док код система чија је периода одабирања реда наносекунди и већа, временска кашњења од неколико десетина па и стотина интервала такта се могу занемарити, па примена структура сличних C2 и C3 представљају погоднија решења у циљу смањења заузећа хардверских ресурса. Овде је потребно нагласити да имајући у виду да управљачки алгоритми често садрже велики број множења, најкритичнији FPGA ресурс представљају управо наменски DSP множачи, па је самим тим њихова уштеда мултиплексирањем множења (*multiplier sharing*) веома значајна.

У погледу избора аритметике за представљање сигнала и коефицијената алгоритма разликујемо два основна формата: аритметика са покретном децималном тачком (*floating point*) и аритметика са фиксном децималном тачком (*fixed point*). Имплементација алгоритма применом аритметике са пливајућом децималном тачком омогућује већу прецизност у представљању сигнала па самим тим и боље перформансе дигиталног система [Slacic, 2006]. Овакав начин реализације, међутим, у пракси је често ограничен због великог заузећа ресурса FPGA чипа [Zhao, 2013]. Сходно томе, имплементација система применом аритметике са фиксном децималном тачком представља погодније решење и у наставку ће овај начин реализације бити детаљно разматран.

Применом XSG алата, реализација аритметике са фиксном децималном тачком се може остварити на два начина: избором потпуне прецизности сигнала (*full precision*) или подешавањем битских дужина речи за сваки сигнал појединачно (*user defined*). Код представљања сигнала са потпуном прецизношћу, формат излазног сигнала XSG блока се аутоматски формира на основу формата улазних сигнала, који такође морају бити представљени у аритметици са фиксном децималном тачком. Наиме, ако узмемо пример множење два сигнала који су представљени са по десет битова и са бинарном тачком после петог бита, излазни сигнал ће бити представљен са двадест битова и са децималном тачком после десетог бита. На овај начин избегнуто је прекорачење у представљању излазног сигнала и постигнута је максимална тачност без грешке квантизације. Међутим, оваква реализација формата са фиксном децималном тачком може се применити само у нерекурзивним алгоритмима и у том случају захтева велике хардверске ресурсе.



Слика 5.3 Примери модификација структуре алгоритма

Сходно наведеном, у овом раду тежиште је стављено на реализацију аритметике са фиксном децималном тачком, која се заснива на подешавању формата сваког сигнал и коефицијента алгоритма појединачно, што обухвата:

- a) спецификацију броја бита за представљање целобројног дела сигнала, односно коефицијента (*IWL-Integer Word Length*),
- b) спецификацију броја бита за представљање нецелобројног дела сигнала, односно коефицијента (*FWL-Fractional Word Length*),
- c) избор мода квантизације (*quantization*) у случају када нецелобројни део сигнала или коефицијент не може бити представљен специфицираним FWL.

Примена аналитичких метода за одређивање вредности дефинисаних параметара аритметике са фиксном децималном тачком анализирана је у литератури [Fang, 2005], где је показано да на основу  $l_i$  норми [Green, 1988] импулсног одзива функција преноса система можемо прорачунати одговарајући формат аритметике за представљање сваког од сигнала дигиталног алгоритма. Међутим, примена аналитичких метода може бити прилично захтевна у случајевима имплементације сложенијих дигиталних система. Отуда, у предложеној методологији реализације система управљања, формат аритметике је прорачунат на основу симулационе методе, која је описана у [Constantinides, 2007]. Вредност  $IWL$   $i$ -тог сигнала прорачунавамо на основу израза:

$$IWL_i = \log_2 \left( k_s |Q_i^{\max}| \right), \quad (5.2)$$

где  $Q_i^{\max}$  представља вршну (максималну) вредност  $i$ -тог сигнала, коју добијамо на основу симулације *Simulink* модела система за "најгори" могући случај улазних сигнала. Поред тога, постојање фактора заштите  $k_s$ , чије се вредности обично крећу у опсегу од 2 до 4, додатно обезбеђује избегавање прекорачења у режимима рада система који се разликују од номиналног [Constantinides, 2007]. У погледу избора вредности FWL, дозвољена грешка квантизације сигнала представља основни критеријум. Повећање вредности FWL доводи да веће прецизности сигнала и самим тим бољих перформанси реализованог дигиталног система. Коришћење више бита за њено представљање, међутим, значи заузеће више хардверских ресурса. На основу тога јасно је да ће избор оптималне вредности FWL представљати компромис ова два критеријума. Избор мода квантизације пружа две опције: "заокружи" (*round*) и "одсеци" (*trunct*). У првом случају грешка квантизације је мања, док је заузеће ресурса незнатно веће у односу на примену *trunct* опције, што је и показано у [Stankovic, 2016a].

---

Слична процедура се може применити и код избора формата за представљање коефицијената алгоритма, с тим што се у овом случају IWL прорачунава на основу израза:

$$IWL_{ki} = \log_2 K_i , \quad (5.3)$$

где је  $K_i$  целобројни део одговарајућег коефицијента. Избор FWL коефицијената ће као и код сигнала зависти од тачности са којом желимо да представимо коефицијент. Наиме, пертурбације у тачности представљања коефицијената, које могу настати усвајањем недовољно великих вредности FWL, не смеју значајно утицати на промену локација нула и полова функције преноса регулатора који се реализује [Feng, 2005].

Као што можемо видети са слике 5.2, поред реализације самог алгоритма управљања, применом XSG блокова се могу реализовати и додатни модули система управљања, попут модула за генерисање референтних трајекторија или модула намењених за различита конвертовања улазних и излазних сигнала FPGA чипа [Stanković, 2016d]. Након реализације свих неопходних модула, као и успешно спроведене симулационе верификације пројектованог модела управљања, прелази се на генерисање VHDL описа система, које се једноставно реализује помоћу XSG софтверског алата. Као крајњи резултат, добијамо VHDL модул са дефинисаним улазним и излазним приступним тачкама.

Следећи корак у предложеној методологији представља програмско повезивање дефинисаних улаза и излаза генерисаног VHDL модула са улазима и излазима конкретног FPGA чипа и то се реализује у склопу софтверског пакета *ISE Design*. Поред тога, уколико су за реализацију система управљања неопходни и периферни уређаји попут А/Д и/или Д/А конвертора, у овој фази је потребно извршити и повезивање генерисаног VHDL описа са VHDL модулима који служе за управљање периферним компонентама.

Након завршене синтезе целокупног VHDL описа система, прелази се на физичко пројектовање хардвера које је, као што је већ напоменуто, у потпуности аутоматизовано применом *Xilinx*-овог *ISE Design* софтвера. Резултат ове фазе је генерисање програмабилног фајла помоћу кога се врши програмирање конкретног FPGA чипа.

---

Експериментална провера реализованог система представља завршну фазу у поступку имплементације. Уколико експериментални резултати нису задовољавајући, пројектант се једноставно може вратити у било коју фазу пројектовања, исправити уочене пропусте и након тога репрограмирати FPGA хардвер, што је изузетно погодно у случајевим развоја и тестирања различитих управљачких алгоритама.

На основу свега наведеног, можемо закључити да предложена методологија значајно олакшава поступак реализације управљачких алгоритама, смањујући време пројектовања и поједностављујући поступак проналажења оптималног компромиса између перформанси система и заузећа хардверских ресурса. Њена практична примена у реализацији ADRC система биће описана у наредном поглављу.

## **6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара**

Савремени радарски уређаји углавном нису доступни високошколским установама чији наставни програми садрже предмете из радарске области, због чега се јавља потреба за наставним средствима која би функционисала као и реални радарски системи. Имајући у виду дидактичку намену ових средстава, она се углавном пројектују за рад са малом снагом радарског предајника (реда величине снаге зрачења мобилних телефона) без задовољавања строгих климо-механичких захтева, као и захтева у смислу мобилности и аутономије рада. Тиме се смањују перформансе у смислу домета и погодности за руковање, али остале перформансе реалног радарског система могу бити очуване. Један модел дидактичког радарског система, реализован помоћу савремених програмабилних инструмената, хардверске платформе базиране на FPGA технологији, антенског система са сервомеханизмом за позиционирање и персоналног рачунара за имплементацију алгоритама из домена секундарне обраде као и кориснички интерфејс целокупног система, је развијен у лабораторији Катедре Војноелектронског инжењерства, Војне академије у Београду и представљен је у радовима [Simić, 2013b; Stanković, 2015]. Развијени систем омогућује лоцирање објеката у затвореном простору на удаљеностима до 20 m са резолуцијом по даљини реда 10 cm и на удаљеностима до 1000 m на отвореном, са резолуцијом по даљини реда 10 m. Избором одговарајуће антене, овај радар може да ради у свим типичним радарским опсезима 1–20 GHz, и као такав представља реалан радар који омогућује тактичке експерименте за војне и цивилне примене.

Као што је већ напоменуто, једна од важних компоненти разматраног лабораторијског модела дидактичког радара је систем за позиционирање радарске антене, који је у конкретном случају реализован постављањем антене на механичку троосну платформу. Платформа омогућава померање радарске антене по азимуту и елевацији, као и промену поларизације антене ротацијом око поларизационе осе. Сходно томе, неопходно је пројектовати управљачки алгоритам којим се реализује жељено кретање (позиционирање) платформе. Ефикасност управљачког алгоритма у великој мери утиче на перформансе рада целокупног система

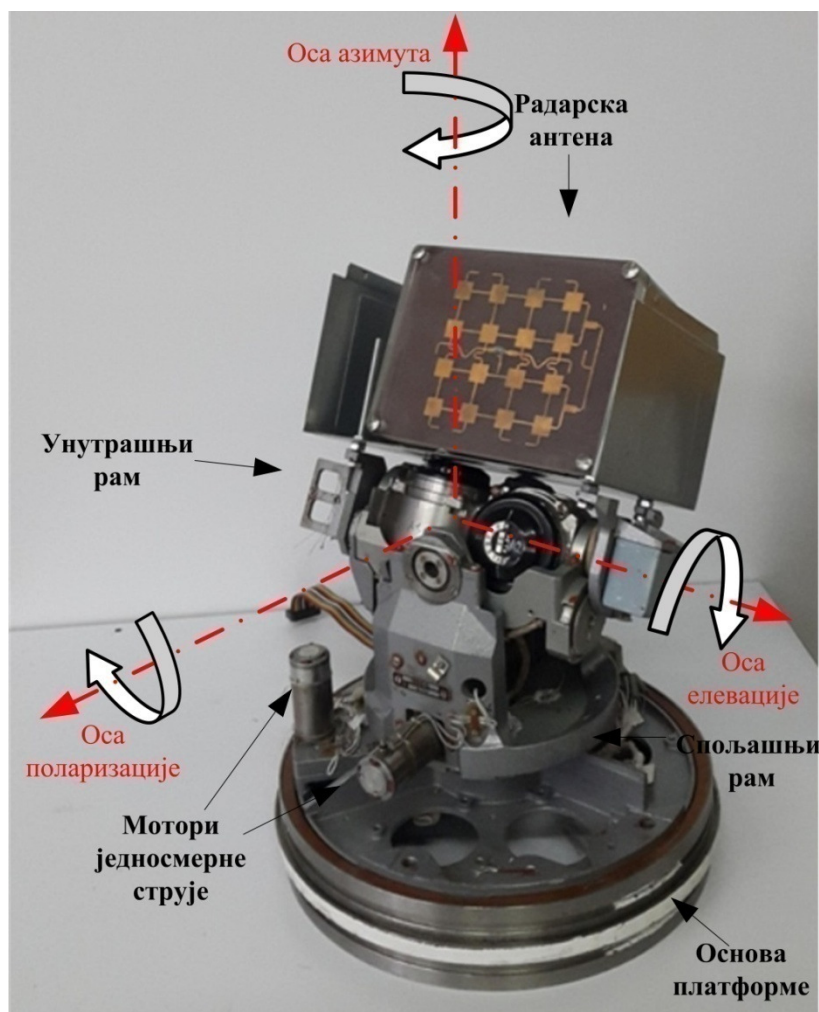
---



Имајући у виду наведено, у овом поглављу је описана примена ADRC алгоритма, реализованог на FPGA чипу, за управљање кретањем троосне платформе разматраног лабораторијског дидактичког радара. У прва два дела поглавља представљен је математички модел објекта управљања и пројектовање ADRC алгоритма за конкретни проблем. Хардверска структура система управљања, поступак FPGA реализације применом предложене методологије, као и експериментална верификација добијеног решења дати су у трећем делу поглавља.

### 6.1 Троосна платформа лабораторијског дидактичког радара

Троосна платформа, коришћена у конкретном лабораторијском моделу дидактичког радара, са монтираном пријемном радарском антенном, приказана је на слици 6.1.



Слика 6.1 Троосна платформа лабораторијског дидактичког радара

Као што можемо видети са слике 6.1, применом карданске конструкције и мотора једносмерне струје као извршних елемената омогућено је покретање платформе око оса азимута, елевације и поларизације. Мотор једносмерне струје, који је уграђен у основу платформе, омогућије ротацију система око осе азимута. У спољашњем раму карданског система постављен је мотор који обезбеђује ротације унутрашњег рама, односно ротацију око поларизационе осе, док се ротација око осе елевације постиже помоћу мотора који се налази у унутрашњем карданском раму. Очитавање тренутних угловних позиција платформе (угао азимута, елевације и поларизације), се врши помоћу уграђених потенциометарских давача позиције (за сваку осу по један давач).

Динамички модел кретања троосне платформе можемо описати системом једначина [Yue, 2005]:

$$\begin{aligned}
 M_a(t) &= J_1 \ddot{\theta}_a(t) + J_3 \left( \ddot{\theta}_e(t) \cos(\theta_p(t)) - \dot{\theta}_e(t) \dot{\theta}_p(t) \sin(\theta_p(t)) \right) \\
 &\quad + J_4 \left( \dot{\theta}_a(t) \cos^2(\theta_p(t)) - \dot{\theta}_a(t) \dot{\theta}_p(t) \sin(2\theta_p(t)) \right) + M_{da}(t) \\
 M_p(t) &= J_2 \ddot{\theta}_p(t) + J_3 \dot{\theta}_e(t) \dot{\theta}_a(t) \sin(\theta_p(t)) \\
 &\quad + J_4 \dot{\theta}_a^2(t) \sin(\theta_p(t)) \cos(\theta_p(t)) + M_{dp}(t) \\
 M_e(t) &= J_3 \ddot{\theta}_e(t) + J_3 \left( \ddot{\theta}_a(t) \cos(\theta_p(t)) - \dot{\theta}_a(t) \dot{\theta}_p(t) \sin(\theta_p(t)) \right) + M_{de}(t),
 \end{aligned} \tag{6.1}$$

где су  $\theta_a(t)$ ,  $\theta_p(t)$  и  $\theta_e(t)$  угаоне позиције платформе по осама азимута, поларизације и елевације, респективно,  $M_a(t)$ ,  $M_e(t)$  и  $M_p(t)$  представљају покретачке моменте, а  $M_{da}(t)$ ,  $M_{de}(t)$  и  $M_{dp}(t)$  моменте спољашњих поремећаја (оптерећења) по осама азимута, поларизације и елевације, респективно. Параметри  $J_1, J_2, J_3$  и  $J_4$  представљају комбинацију момената инерције оса платформе и њихов детаљан прорачун је описан у литератури [Yue, 2001; Yue, 2005].

Ако претпоставимо да све три осе платформе као извршне елементе користе моторе једносмерне струје са идентичним параметрима, покретачке моменте можемо дефинисати на основу општег динамичког модела мотора једносмерне струје:

$$M_i = \frac{k_{em}}{R_a} (u_i(t) - k_{me} \dot{\theta}_i(t)), \quad i \in \{a, p, e\} \quad (6.2)$$

где је  $u_i$  напон напајања мотора, а  $R_a$ ,  $k_{em}$  и  $k_{me}$  оптпорност арматурног намотаја, електромеханичка константа и механичко-електрична константа мотора, респективно. Потребно је напоменути да (6.2) представља поједностављен модел мотора једносмерне струје, у коме је занемарен утицај индуктивности арматурног намотаја, односно динамике електричних процеса мотора.

Уврштавањем израза (6.2) у систем једначина (6.1) и дефинисањем напона напајања мотора  $u_a(t)$ ,  $u_p(t)$  и  $u_e(t)$  као улазних величина, а углова  $\theta_a(t)$ ,  $\theta_p(t)$  и  $\theta_e(t)$  као излазних величина, добијамо математички модел разматране троосне платформе:

$$\begin{aligned} \ddot{\theta}_a(t) = & -\frac{J_3 (\ddot{\theta}_e(t) \cos(\theta_p(t)) - \dot{\theta}_e(t) \dot{\theta}_p(t) \sin(\theta_p(t)))}{J_1} \\ & -\frac{J_4 (\dot{\theta}_a(t) \cos^2(\theta_p(t)) - \dot{\theta}_a(t) \dot{\theta}_p(t) \sin(2\theta_p(t)))}{J_1} - \frac{M_{da}(t)}{J_1} - \frac{k_{em} k_{me}}{R_a J_1} \dot{\theta}_a(t) + \frac{k_{em}}{R_a J_1} u_a(t) \\ \ddot{\theta}_p(t) = & -\frac{J_3 \dot{\theta}_e(t) \dot{\theta}_a(t) \sin(\theta_p(t))}{J_2} - \frac{J_4 \dot{\theta}_a^2(t) \sin(\theta_p(t)) \cos(\theta_p(t))}{J_2} \\ & -\frac{M_{dp}(t)}{J_2} - \frac{k_{em} k_{me}}{R_a J_2} \dot{\theta}_p(t) + \frac{k_{em}}{R_a J_2} u_p(t) \end{aligned} \quad (6.3)$$

$$\ddot{\theta}_e(t) = \ddot{\theta}_a(t) \cos(\theta_p(t)) - \dot{\theta}_a(t) \dot{\theta}_p(t) \sin(\theta_p(t)) + \frac{M_{de}(t)}{J_3} - \frac{k_{em} k_{me}}{R_a J_3} \dot{\theta}_e(t) + \frac{k_{em}}{R_a J_3} u_e(t).$$

Може се видети да механичка спрега између рамова платформе узрокује значајну међуосну динамику (*coupling dynamics*) у систему, па се (6.3) мора разматрати као комплексан нелинеаран систем са три улаза и три излаза. Идентификација оваквог система је прилично отежана због великог броја параметара, па је самим тим и ограничена примена модерних техника управљања које се заснивају на познавању тачног модела објекта управљања. Имајући у виду наведено, погодно решење за

управљање описаним системом представља примена ADRC алгоритма, који не захтева прецизно познавање модела.

## 6.2 Пројектовање ADRC регулатора за управљање троосном платформом

Задатак управљања троосном платформом односио се на решење проблема рада радарског система у режиму кружног скенирања, где се захтева прецизно кружно кретање антене у равни азимут-елевација [Howard, 1990]. Да би се то постигло неопходно је омогућити синхронизовано простопериодично кретање платформе по осам елевације и азимута. Постављени задатак управљања платформом је реализован применом развијеног ADRC алгоритма са RGESO-ом, који теоријски омогућава потпуно потискивање простопериодичних тоталних поремећаја и самим тим нулту грешку праћења простопериодичне референце. Пројектовање регулатора, подешавање параметара применом предложене методе оптимизације, као и поступак дискретизације алгоритма, описани су у наставку.

### 6.2.1 Континуални ADRC регулатор

Применом ADRC алгоритма и увођењем појма тоталног поремећаја, систем (6.3) можемо записати у форми:

$$\begin{aligned}\ddot{\theta}_a(t) &= f_a(t) + b_{a0}u_a(t), \\ \ddot{\theta}_p(t) &= f_p(t) + b_{p0}u_p(t), \\ \ddot{\theta}_e(t) &= f_e(t) + b_{e0}u_e(t),\end{aligned}\tag{6.4}$$

где су  $b_{a0}$ ,  $b_{p0}$  и  $b_{e0}$  најбоље апроксимације параметара система, односно:

$$b_a = \frac{k_{em}}{R_a J_1} = b_{a0} + \Delta b_a, \tag{6.5}$$

---

$$b_p = \frac{k_{em}}{R_a J_3} = b_{p0} + \Delta b_p, \quad (6.6)$$

$$b_e = \frac{k_{em}}{R_a J_3} = b_{e0} + \Delta b_e. \quad (6.7)$$

Са  $f_a(t)$ ,  $f_p(t)$  и  $f_e(t)$  означени су тотални поремећаји по осам азимута, поларизације и елевације, респективно, који су у овом случају дефинисани изразима:

$$f_a(t) = -\frac{J_3(\ddot{\theta}_e(t)\cos(\theta_p(t)) - \dot{\theta}_e(t)\dot{\theta}_p(t)\sin(\theta_p(t)))}{J_1} - \frac{J_4(\dot{\theta}_a(t)\cos^2(\theta_p(t)) - \dot{\theta}_a(t)\dot{\theta}_p(t)\sin(2\theta_p(t)))}{J_1} - \frac{M_{da}(t)}{J_1} - \frac{k_{em}k_{me}}{R_a J_1}\dot{\theta}_a(t) + \Delta b_a u_a(t) \quad (6.8)$$

$$f_p(t) = -\frac{J_3\dot{\theta}_e(t)\dot{\theta}_a(t)\sin(\theta_p(t))}{J_2} - J_4\frac{\dot{\theta}_a^2(t)\sin(\theta_p(t))\cos(\theta_p(t))}{J_2} - \frac{M_{dp}(t)}{J_2} - \frac{k_{em}k_{me}}{R_a J_2}\dot{\theta}_p(t) + \Delta b_p u_p(t) \quad (6.9)$$

$$f_e(t) = \ddot{\theta}_a(t)\cos(\theta_p(t)) - \dot{\theta}_a(t)\dot{\theta}_p(t)\sin(\theta_p(t)) + \frac{M_{de}(t)}{J_3} - \frac{k_{em}k_{me}}{R_a J_3}\dot{\theta}_e(t) + \Delta b_e u_e(t). \quad (6.10)$$

Као што видимо, уведени тотални поремећаји обухватају динамику кретања платформе око одговарајуће осе, међуосну динамику, спољашње поремећаје по осам, као и грешке у апроксимацији параметара система, дефинисане изразима (6.5)-(6.7). Увођењем међуосне динамике у тотални поремећај практично је постигнуто распрезање (*decoupling*) комплексног система са три улаза и излаза (6.3) [Zheng, 2009], па сходно томе (6.4) можемо разматрати као три система са једним улазом и излазом за који се могу пројектовати три независна ADRC регулатора [Stanković, 2016a].

За пројектовање ADRC регулатора за управљање кретањем сваке од оса платформе потребно је познавати ред система као и апроксимативне вредности параметара  $b_{a0}$ ,  $b_{p0}$  и  $b_{e0}$ . Из израза (6.4) је јасно да су сва три система другог реда, док

су приближне вредности за  $b_{a0}$ ,  $b_{p0}$  и  $b_{e0}$  добијене експерименталним путем. Наиме, њихова идентификација је спроведна на основу одзива платформе по свакој од оса ротације, на одскочни управљачки сигнал при чему су управљачки сигнали по друге две осе једнаки нули. На овај начин идентификоване су апроксимативне функције преноса по осама азимута, поларизације и елевације које практично описују понашање система (6.3) када нема утицаја међуосне динамике и спољашњег поремећаја. Добијене функције преноса по одговарајућим осама платформе дате су изразима [Stanković, 2016a]:

$$G_a(s) = \frac{\theta_a(s)}{u_a(s)} = \frac{b_a}{s(s + p_a)} = \frac{6.77}{s(s + 11.11)}, \quad (6.11)$$

$$G_p(s) = \frac{\theta_p(s)}{u_p(s)} = \frac{b_p}{s(s + p_p)} = \frac{16.14}{s(s + 14.28)}, \quad (6.12)$$

$$G_e(s) = \frac{\theta_e(s)}{u_e(s)} = \frac{b_e}{s(s + p_e)} = \frac{24}{s(s + 20)}, \quad (6.13)$$

где су  $\theta_a(s)$ ,  $\theta_p(s)$  и  $\theta_e(s)$  позиције (углови отклона) по оси азимута, поларизације и елевације, респективно, док  $u_a(s)$ ,  $u_p(s)$  и  $u_e(s)$  представљају управљачке сигнале по осама, односно напоне одговарајућих мотора једносмерне струје. На основу израза (6.11), (6.12) и (6.13) једноставно добијамо вредности  $b_{a0} = b_a = 6.77$ ,  $b_{p0} = b_p = 16.14$  и  $b_{e0} = b_e = 24$ .

Треба напоменути да је у процесу идентификације утврђено да модели кретања по осама поседују и нелинераност типа ‘‘мртве’’ зоне (*dead zone*) чије границе износе  $u_{a(dz)} = [-1.1, 1.1] \text{ V}$ ,  $u_{p(dz)} = [-0.5, 0.5] \text{ V}$  и  $u_{e(dz)} = [-0.5, 0.5] \text{ V}$  за осу азимута, поларизације и елевације, респективно. Као што је показано у литератури [Hou, 2001; Zhao, 2012], применом ADRC концепта овакав тип нелинераности укључује се у тотални поремећај, чиме се његов утицај значајно потискује, али не у потпуности, што ће бити анализирано у склопу симулационе и експерименталне верификације на крају овог поглавља.

---

Регулатор треба да обезбеди кретање оса платформе по простпериодичном закону, уз претпоставку могућег деловања одскочних и простопериодичних спољашњих поремећаја. Због тога је за све три осе пројектован регулатор са  $RGESO_1$  моделом опсервера који омогућује ефикасно праћење простопериодичних референци и потискивање оваквог типа спољашњег поремећаја.

Имајући у виду да сва три регулатора имају идентичну структуру, поступак пројектовања ће бити објашњен на општем моделу регулатора са параметрима који имају индекс  $i \in \{a, p, e\}$ . Једначине  $RGESO_1$  у конкретном случају имају облик:

$$\begin{aligned}\dot{\hat{\mathbf{x}}}_i(t) &= \mathbf{A}_i \hat{\mathbf{x}}_i(t) + \mathbf{B}_i u_i(t) + \mathbf{L}_i (\theta_i(t) - \hat{\theta}_i(t)) \\ \hat{\theta}_i(t) &= \mathbf{C}_i \hat{\mathbf{x}}_i(t),\end{aligned}\tag{6.14}$$

где су матрице:  $\hat{\mathbf{x}}_i(t) = [\hat{x}_{1i}(t) \ \hat{x}_{2i}(t) \ \hat{x}_{3i}(t) \ \hat{x}_{4i}(t) \ \hat{x}_{5i}(t)]^T$ ,  $\mathbf{B}_i = [0 \ b_{i0} \ 0 \ 0 \ 0]^T$ ,  $\mathbf{C}_i = [1 \ 0 \ 0 \ 0 \ 0]$

,

$$\mathbf{A}_i = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & -\omega_{r_i}^2 & 0 \end{bmatrix} \quad \text{и} \quad \mathbf{L}_i = [\beta_{1i} \ \beta_{2i} \ \beta_{3i} \ \beta_{4i} \ \beta_{5i}]^T.$$

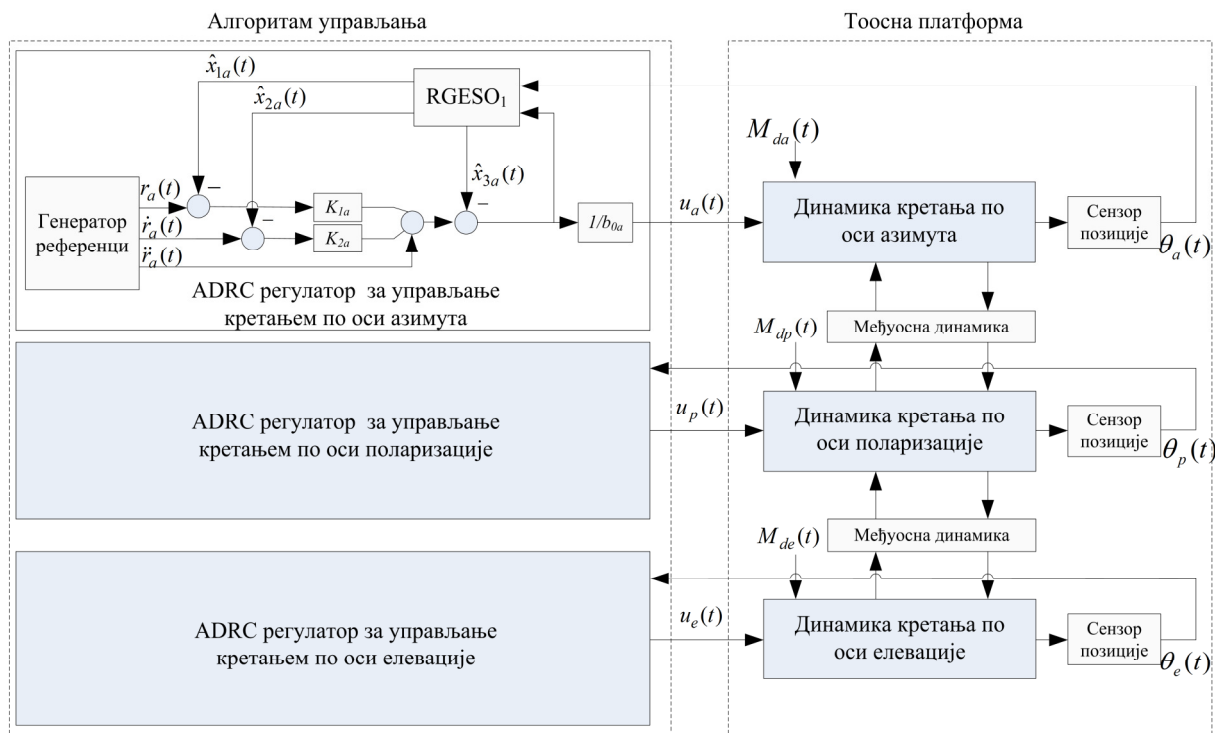
Затварањем повратне спреге преко естимиране вредности тоталног поремећаја  $\hat{x}_{3i}(t) = \hat{f}_i(t)$ , као и естимираних стања  $\hat{x}_{1i}(t) = \hat{\theta}_i(t)$  и  $\hat{x}_{2i}(t) = \dot{\hat{\theta}}_i(t)$ , формира се управљачки сигнал:

$$u_i(t) = \frac{\ddot{r}_i(t) - \hat{x}_{3i}(t) + K_{1i}(\dot{r}_i(t) - \hat{x}_{2i}(t)) + K_{2i}(r_i(t) - x_{1i}(t))}{b_{0i}},\tag{6.15}$$

где  $r_i(t)$  представља референтни сигнал за одговарајућу осу платформе.

На основу свега наведеног, блок шема пројектованог система управљања троосном платформом може се представити као на слици 6.2.

6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара



Слика 6.2 Блок шема ADRC система за управљање кретањем троосне платформе

6.2.2 Подешавање параметра ADRC регулатора

Подешавање параметра пројектованог алгоритма управљања реализовано је применом оптималног метода подешавања, предложеног у поглављу 4. Оптимизација је извршена за идентификоване моделе система (6.11)-(6.13) и резонантне учестаности опсервера  $\omega_{ri}$ , које су подешене на основу фреквенције очекиваног референтног сигнала  $r_i(t)$  за одговарајућу осу. Тако је за осу азимута и елевације усвојено  $\omega_{ra} = \omega_{re} = 8.192 \text{ rad / s}$ , док је за осу поларизације усвојено  $\omega_{rp} = 4.096 \text{ rad / s}$ .

При пројектовању сва три регулатора, за вредности максимално дозвољених индекса робусности и осетљивости на шум мерења усвојено је  $M_s^{\max} = 1.52$  и  $K_{un}^{\max} = 11500$ , респективно. Овде је потребно нагласити да је  $K_{un}^{\max}$  дефинисано на основу експерименталних анализа за конкретан систем управљања, који као сензоре позиције користи потенциометарске даваче.

Применом генетског алгоритма на критеријумску функцију дефинисану изразом (4.14), уз ограничења (4.15), (4.16) и (4.17) и претходно усвојено  $M_s^{\max}$  и  $K_{un}^{\max}$ , добијене



су оптималне вредности параметара регулатора за сваку од оса и приказане су у Табели 6.1.

Табела 6.1 Вредности оптимално подешених параметара ADRC регулатора пројектованих за управљање троосном платформом дидактичког радара

	$\beta_{1i}$	$\beta_{2i}$	$\beta_{3i}$	$\beta_{4i}$	$\beta_{5i}$	$K_{1i}$	$K_{2i}$
Оса азимута	83.2	2998	47034	412810	1039034	10.2	6.4
Оса елевације	115	4124	123457	657104	1879871	48.5	13.9
Оса поларизације	97.7	5667	109131	849709	1951751	36.5	12.1

### 6.2.3 Дискретизација ADRC регулатора

Да бисмо омогућили хардверску имплементацију алгоритма управљања, неопходно је извршити његову дискретизацију. На основу структуре пројектованог ADRC регулатора, видимо да је за формирање његове дискретне форме потребно дискретизовати опсервер стања (6.14). Једначине дискретног опсервера стања дате су у облику [Franklin, 1998]:

$$\begin{aligned}\hat{\mathbf{x}}_i(k) &= \Phi_i \hat{\mathbf{x}}_i(k-1) + \Gamma_i u_i(k-1) + \mathbf{L}_{di} (\theta_i(k-1) - \hat{\theta}_i(k-1)) \\ \hat{\theta}_i(k) &= \mathbf{H}_i \hat{\mathbf{x}}_i(k),\end{aligned}\tag{6.16}$$

где су  $\hat{\mathbf{x}}_i(k) = \hat{\mathbf{x}}_i(kT) = [\hat{x}_{1i}(kT) \hat{x}_{2i}(kT) \hat{x}_{3i}(kT) \hat{x}_{4i}(kT) \hat{x}_{5i}(kT)]^T$ ,  $u_i(k) = u_i(kT)$  и  $\theta_i(k) = \theta_i(kT)$  дискретне форме вектора естимираних стања, управљачког сигнала и позиције одговарајуће осе, респективно, дефинисане за усвојену периоду дискретизације  $T$ . Матрице дискретног опсервера  $\Phi_i$ ,  $\Gamma_i$  и  $\mathbf{H}_i$  прорачунавамо на основу одабраног метода дискретизације, док  $\mathbf{L}_{di} = [\beta_{1di} \beta_{2di} \beta_{3di} \beta_{4di} \beta_{5di}]^T$  представља вектор појачања дискретног опсервера. У разматраном случају је примењена *Zero Order Hold* –ZOH метода дискретизације, па на основу тога, матрице дискретног опсервера (6.16) имају вредности:

$$\Phi_i = e^{A_i T} = \sum_{k=0}^{\infty} \frac{A_i^k T^k}{(k)!}$$

$$= \begin{bmatrix} 1 & T & T^2/2 & T^3/6 & T^4/24 \\ 0 & 1 & T & T^2(12-T^2\omega_{ri}^2)/24 & T^3/6 \\ 0 & 0 & 1 & T(6-T^2\omega_{ri}^2)/6 & T^2(12-T^2\omega_{ri}^2)/24 \\ 0 & 0 & 0 & 1+T^4\omega_r^4/24-T^2\omega_{ri}^2/2 & T(6-T^2\omega_{ri}^2)/6 \\ 0 & 0 & 0 & T^3\omega_r^4/6-T\omega_{ri}^2 & 1+T^4\omega_{ri}^4/24-T^2\omega_{ri}^2/2 \end{bmatrix},$$

$$\Gamma_i = \int_0^T e^{A_i \tau} d\tau \mathbf{B}_i = \sum_{k=0}^{\infty} \frac{A_i^k T^{k+1}}{(k+1)!} \mathbf{B}_i = [b_{0i} T^2/2 \quad b_{0i} T \quad 0 \quad 0 \quad 0]^T,$$

$$\mathbf{H}_i = \mathbf{C}_i = [1 \quad 0 \quad 0 \quad 0 \quad 0]$$

где су  $\mathbf{A}_i$ ,  $\mathbf{B}_i$  и  $\mathbf{C}_i$  матрице континуалног опсервера (6.14). ZOH метода је одабрана на основу анализе која је спроведена у [Miklosovic, 2006], где су показане њене предности у односу на дискретизацију применом других метода.

Овде је потребно нагласити да (6.16) представља предиктивну (*predictive*) форму дискретног опсервера, која има недостатак да за прорачун вектора естимираних стања  $\hat{\mathbf{x}}_i(k+1)$  у тренутку  $t = (k+1)T$  користи грешку естимације добијену у претходном тренутку  $\theta_i(k) - \hat{\theta}_i(k)$ , што може да проузрокује нестабилност система у случају већих вредности периоде дискретизације  $T$ . За превазилажење овог недостатка у [Franklin, 1998] је предложена примена *current* форме дискретног опсервера:

$$\hat{\mathbf{x}}_i(k) = (\Phi_i - \mathbf{L}_{dci} \mathbf{H}_i \Phi_i) \hat{\mathbf{x}}_i(k-1) + (\Gamma_i - \mathbf{L}_{dci} \mathbf{H}_i \Gamma_i) u_i(k-1) + \mathbf{L}_{dci} \theta_i(k) \quad (6.17)$$

где  $\mathbf{L}_{dci}$  представља вектор појачања *current* модела дискретног опсервера. Као што се може видети у овом случају прорачун тренутних естимираних стања  $\hat{\mathbf{x}}_i(k+1)$  врши се на основу вредности излаза система у истом тренутку  $\theta_i(k+1)$ , чиме се отклањају недостатци предиктивне форме дискретног опсервера. Међутим, узимајући у обзир сложеност дискретног алгоритма који се добија на овај начин [Stanković, 2016b], као и то да FPGA хардвер дозвољава избор довољано малих периода дискретизације, за које

побољшања добијена са структуром (6.17) постају занемарљива [Miklosovic, 2006], у овом раду је предност дата предиктивној форми (6.16).

Ради једноставнијег генерисања такта дискретизације  $f_d = 1/T$ , изабрано је да он буде  $2^k$  ( $k$  је цео број) пута мањи од максималног такта FPGA хардвера, који је у овом случају износио  $f_{clk} = 50 \text{ MHz}$ . Сходно томе, усвојено је  $f_d = 50 / 2^{12} \text{ MHz} \approx 12.207 \text{ KHz}$ , односно  $T = 81.92 \mu\text{s}$ .

Елементи вектора појачања дискретног опсервера  $\mathbf{L}_{di} [\beta_{1di} \beta_{2di} \beta_{3di} \beta_{4di} \beta_{5di}]^T$  прорачунати су на основу оптималних појачања континуалног опсервера датих у Табели 6.1. На основу карактеристичне једначине континуалног опсервера прво су одређени полови континуалног опсервера  $\omega_{kj}$ :

$$\det|\mathbf{sI} - (\mathbf{A}_i - \mathbf{L}_i \mathbf{C})| = \prod_{j=1}^5 (s - \omega_{kj}) \quad (6.18)$$

а на основу њих, применом релације :

$$\omega_{dj} = e^{\omega_{kj} T} \quad (6.19)$$

добијени су полови дискретног опсервера  $\omega_{dj}$ . Коначно, вектор појачања дискретног опсервера  $\mathbf{L}_{di}$  прорачунат је на основу карактеристичне једначине дискретног опсервера:

$$\det|\mathbf{zI} - (\Phi_i - \mathbf{L}_{di} \mathbf{H}_i)| = \prod_{j=1}^5 (s - \omega_{dj}) \quad (6.20)$$

Појачања дискретног опсервера, добијена на основу релација (6.18)-(6.20) уз претходно усвојену периоду дискретизације дата су у Табели 6.2.

Табела 6.2 Појачања дискретних опсервера пројектованих ADRC регулатора

	$\beta_{1di}$	$\beta_{2di}$	$\beta_{3di}$	$\beta_{4di}$	$\beta_{5di}$
Оса азимута	0.0068	0.245	3.841	33.69	59.16
Оса елевације	0.0094	0.337	10.067	53.56	184.89
Оса поларизације	0.0079	0.463	8.908	72.98	150.38

Имајући у виду да је у конкретном случају коришћен линеарни закон управљања (6.15) његову дискретну форму можемо представити изразом:

$$u_i(k) = \frac{\ddot{r}_i(k) - \hat{x}_{3i}(k) + K_{1i}(\dot{r}_i(k) - \hat{x}_{2i}(k)) + K_{2i}(r_i(k) - x_{1i}(k))}{b_{0i}}. \quad (6.21)$$

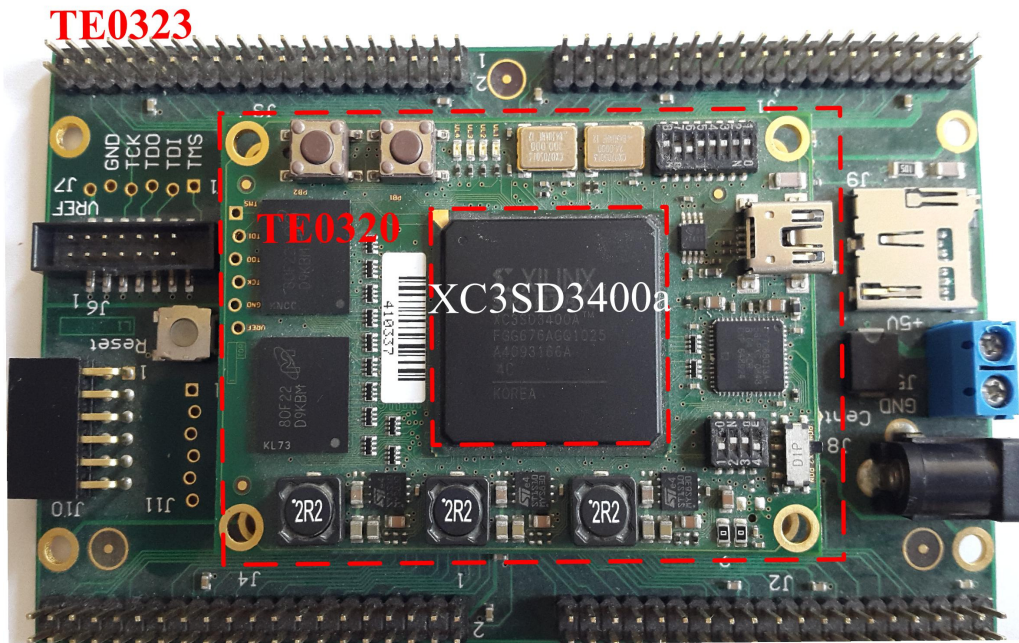
### 6.3 Реализација ADRC система за управљање троосном платформом применом FPGA технологије

За реализацију пројектованог система управљања коришћена је индустријска хардверска платформа TE0320 произвиђача *Trenz Electronic*, са уграђеним *Xilinx*-овим FPGA чипом XC3SD3400а из серије *SPARTAN-3A*. Да би се омогућио једноставнији приступ пиновима TE0320 хардвера, они су помоћу *board-to-board* конектора повезани на проширену хардверску плочу TE0323. Описани хардвер приказан је на слици 6.3.

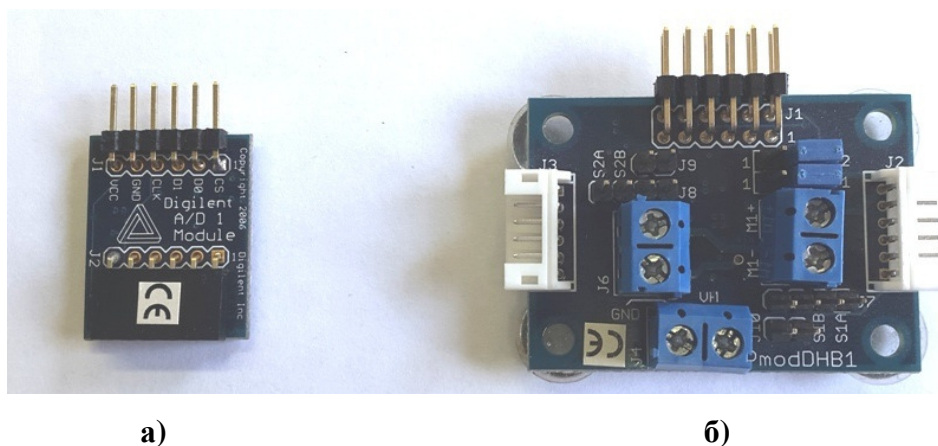
Поред чипа XC3SD3400а, чији је преглед ресурса дат раније у Табели 5.1, основне компоненте платформе TE0320 су: интегрисани осцилатори од 100MHz и 24 MHz за генерисање основног такта FPGA чипа, 128 Mb DDR RAM меморија за смештај података и 4 Mb *Flash* меморија која се може искористити за меморисање конфигурационих фајлова FPGA чипа. Програмирање FPGA чипа може бити директно или помоћу поменуте конфигурационе *Flash* меморије и у оба случаја се реализује преко USB интерфејса. Овде су наведене основне карактеристике коришћеног хардвера, док су целокупна корисничка документација и детаљна структура доступне на [TrenzElectronic]. Посебно треба напоменути да хардвер TE0320 са чипом XC3SD3400а можемо сврстати у групу нискобуџетних (*low cost*) FPGA компоненти, што значајно утиче на минимизацију цене пројектованог система управљања.

6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара

Као додатне хардверске компоненте за реализацију управљања употребљени су *PmodAD1* аналогно/дигитални (А/Д) конвертори (Слика 6.4а) и *PmodDHB1* H-мостови (H-bridge) (Слика 6.4б), произвођача *Digilent*.



Слика 6.3 TE0320 хардверска платформа са FPGA чипом XC3SD3400a



а)

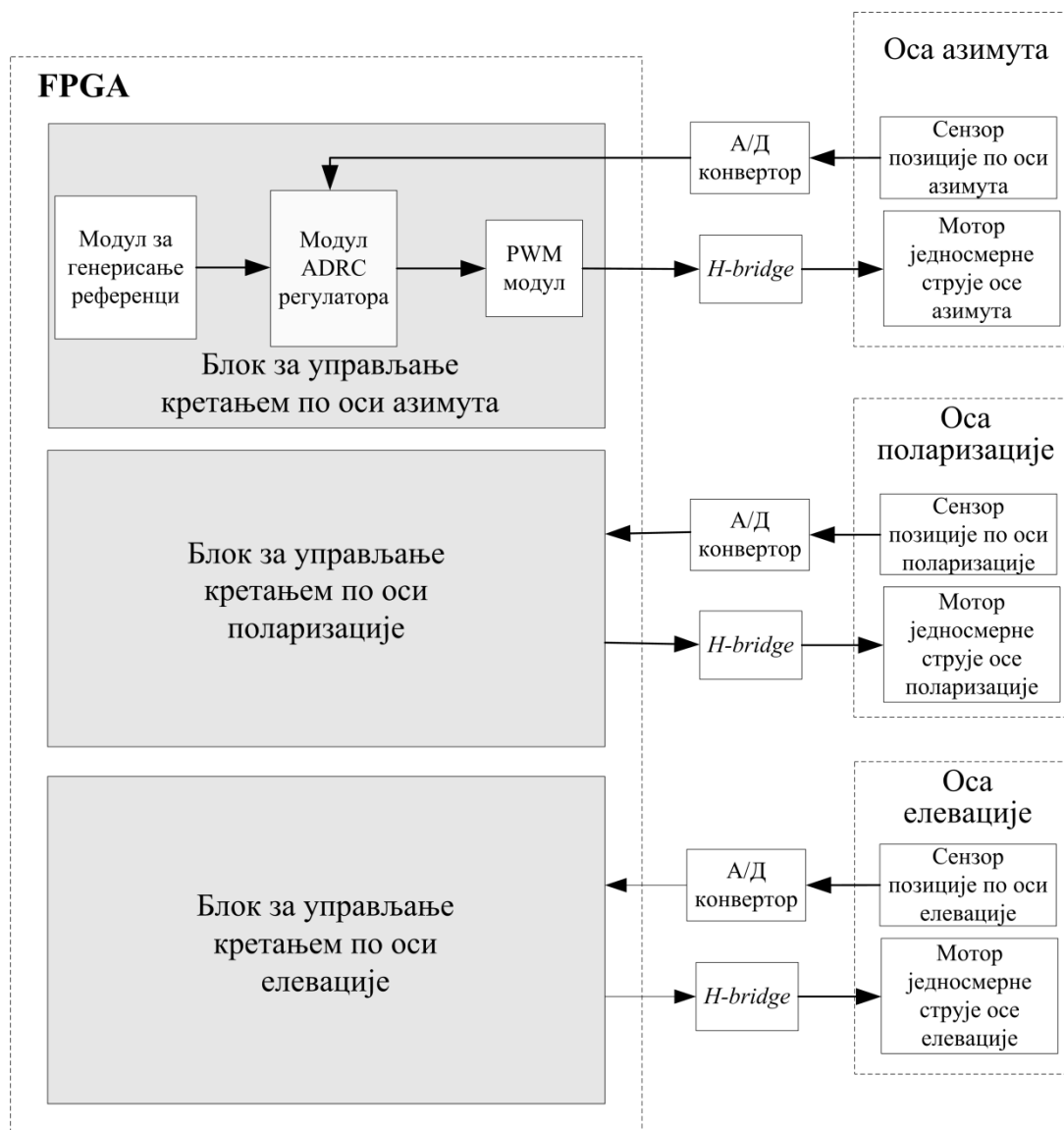
б)

Слика 6.4 а) А/Д конвертор *PmodAD1* б) H-мостови *PmodDHB1*

Помоћу А/Д конвертора вршена је дискретизација сигнала повратне спреге добијеног са потенциометарских давача позиције оса. Коришћени А/Д конвертори имају 12-битну резолуцију и подржавају минималну периоду дискретизације од  $1\ \mu\text{s}$ , што у потпуности задовољава захтеве пројектованог система управљања. Применом *H*-мостова омогућено је енергетско спрезање дигиталних излаза FPGA чипа са моторима једносмерне струје, као извршним елементима управљања. Основу њихове конструкције чине четири MOSFET-а, са струјним могућностима од 1.5 А и максималним напонем излазног сигнала од 11.8 V.

Блок дијаграм пројектованог система управљања приказан је на слици 6.5. На FPGA чипу су реализована три засебна блока за управљање кретањем по свакој од оса платформе. Структура блокова је идентична и, као што можемо видети, поред модула ADRC регулатора, укључује модуле за генерисање референтне трајекторије осе и модуле за формирање импулсно-ширинске модулације (*Pulse Width Modulation-PWM*) управљачког сигнала.

Реализација модула блокова управљања, применом методологије предложене у поглављу 5.2, биће описана у наставку на општим примерима модула, док конкретне модуле блокова за управљање по осама азимута, поларизације и елевације добијамо одговарајућим подешавањем параметара у општој структури.



Слика 6.5 Блок дијаграм хардвера система управљања троосном платформом

### 6.3.1 Модул ADRC регулатора

Први корак у реализацији овог модула је формирање MATLAB/Simulink модела ADRC регулатора на основу дискретног закона управљања (6.21) и једначине дискретног опсервера (6.16) коју можемо записати у развијеном облику као:

$$\begin{aligned}
 \hat{x}_{1i}(k) &= \hat{x}_{1i}(k-1) + T\hat{x}_{2i}(k-1) + \frac{T^2}{2}\hat{x}_{3i}(k-1) + \frac{T^3}{6}\hat{x}_{4i}(k-1) + \frac{T^4}{24}\hat{x}_{5i}(k-1) \\
 &\quad + b_0 \frac{T^2}{2}u_i(k-1) + L_{d1i}(\theta_i(k-1) - \hat{x}_{1i}(k-1)); \\
 \hat{x}_{2i}(k) &= \hat{x}_{2i}(k-1) + T\hat{x}_{3i}(k-1) + \frac{T^2(12-T^2\omega_{ri}^2)}{24}\hat{x}_{4i}(k-1) + \frac{T^3}{6}\hat{x}_{5i}(k-1) \\
 &\quad + b_0 T u_i(k-1) + L_{d2i}(\theta_i(k-1) - \hat{x}_{1i}(k-1)); \\
 \hat{x}_{3i}(k) &= \hat{x}_{3i}(k-1) + \frac{T(6-T^2\omega_{ri}^2)}{6}\hat{x}_{4i}(k-1) + \frac{T^2(12-T^2\omega_{ri}^2)}{24}\hat{x}_{5i}(k-1) \\
 &\quad + L_{d3i}(\theta_i(k-1) - \hat{x}_{1i}(k-1)); \\
 \hat{x}_{4i}(k) &= (1 + \frac{T^4\omega_{ri}^4}{24} - \frac{T^2\omega_{ri}^2}{2})\hat{x}_{4i}(k-1) + \frac{T(6-T^2\omega_{ri}^2)}{6}\hat{x}_{5i}(k-1) \\
 &\quad + L_{d4i}(\theta_i(k-1) - \hat{x}_{1i}(k-1)); \\
 \hat{x}_{5i}(k) &= (\frac{T^3\omega_{ri}^4}{6} - T\omega_{ri}^2)\hat{x}_{4i}(k-1) + (1 + \frac{T^4\omega_{ri}^4}{24} - \frac{T^2\omega_{ri}^2}{2})\hat{x}_{5i}(k-1) \\
 &\quad + L_{d5i}(\theta_i(k-1) - \hat{x}_{1i}(k-1)).
 \end{aligned} \tag{6.22}$$

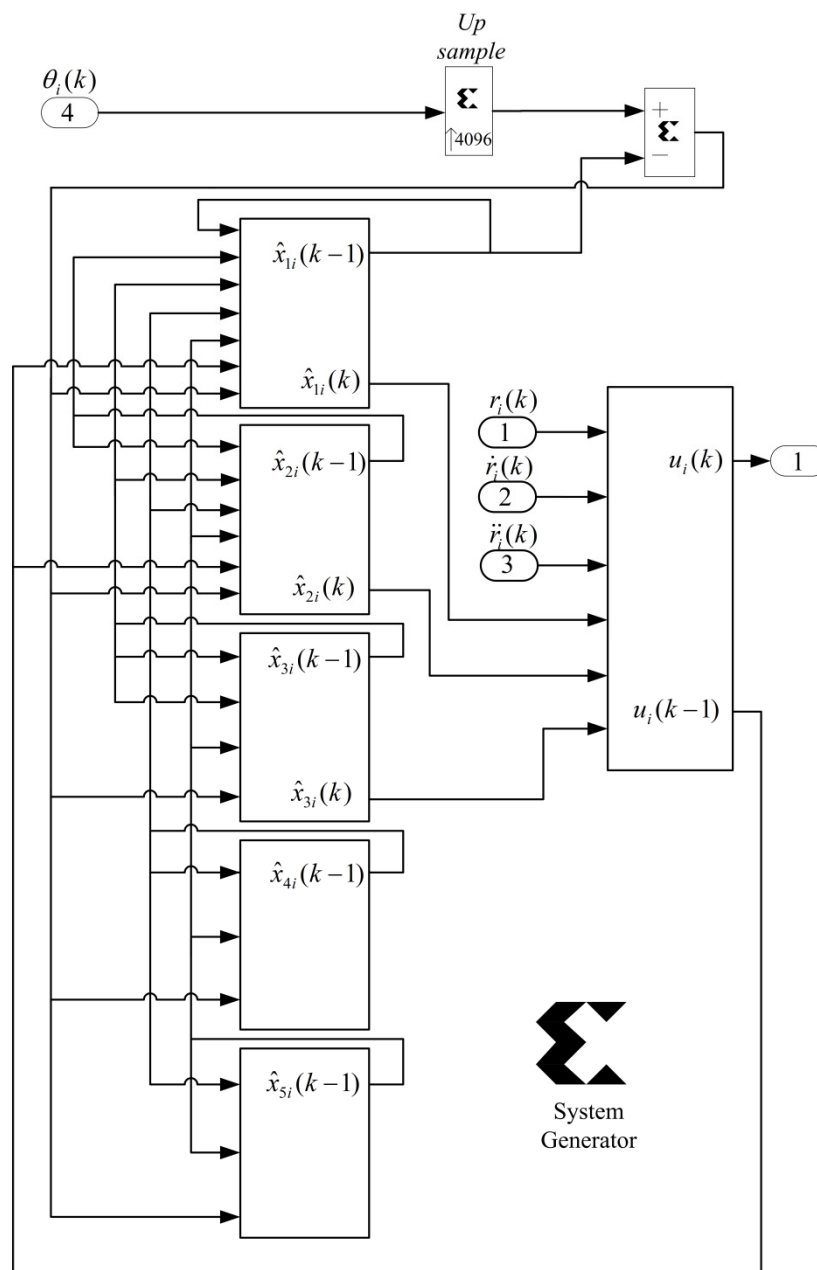
Након тога, извршена је синтеза XSG модела регулатора која обухвата избор одговарајуће хардверске структуре регулатора и формат аритметике са фиксном децималном тачком за представљање сигнала и коефицијената алгоритма. Оба поступка су детаљно описана у наставку.

#### *Избор хардверске архитектуре ADRC регулатора*

Ако размотримо систем једначина (6.22) и закон управљања (6.21) видимо да је за формирање потпуно паралелне хардверске структуре регулатора потребно укупно 26 блокова за множење и 22 блока за сабирање, односно одузимање. Иако оваква структура са становишта брзине рада алгоритма представља најбоље решење, она је хардверски доста захтевна, а посебно са становишта употребе блокова за множење који спадају у најкритичнији ресурс, имајући у виду да чип XC3SD3400а поседује укупно 126 уграђених множача (видети Табелу 5.1). Ако узмемо у обзир и то да је за реализацију целокупног система на истом FPGA чипу потребно имплементирати три оваква регулатора, као и додатне модуле за генерисање референци и PWM модуле,

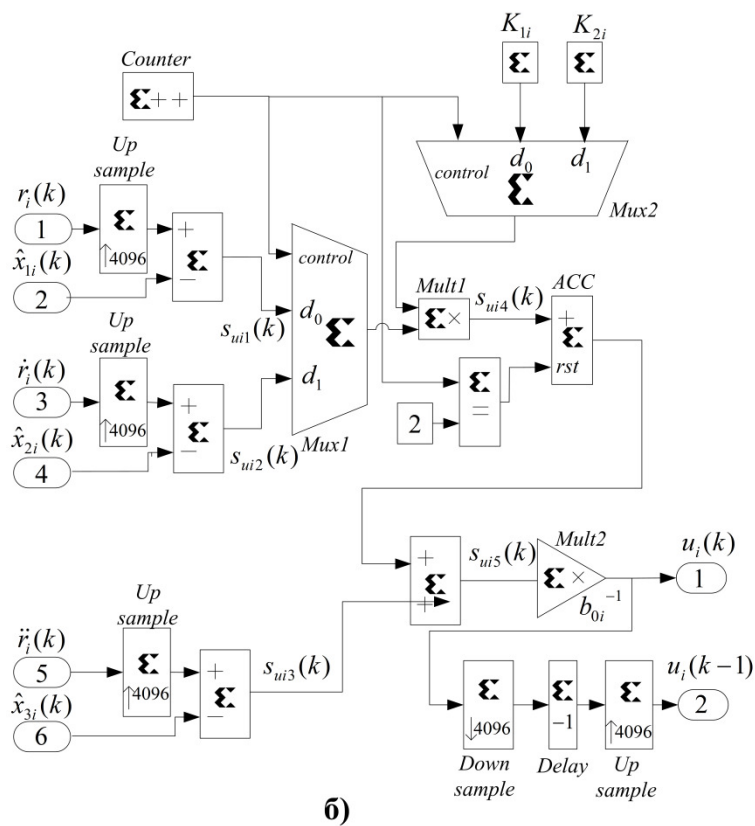
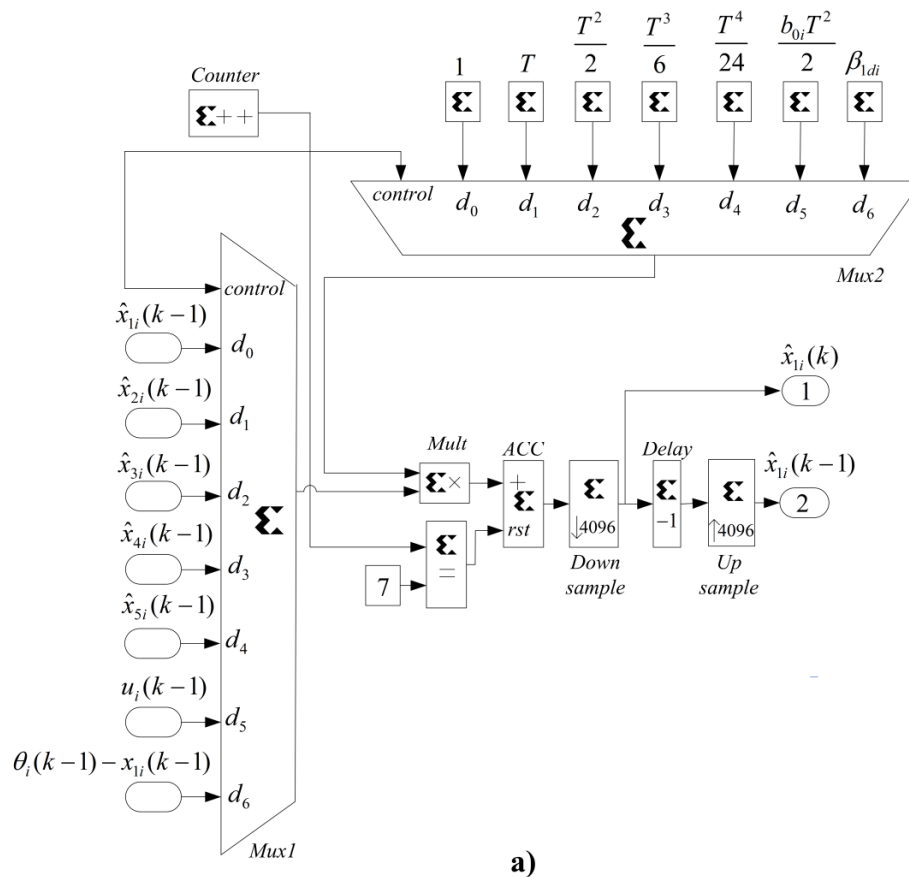


јасно је да је потребно извршити модификацију паралелне структуре. Сходно томе, за реализацију је одабрана комбинована серијско-паралелна хардверска структура регулатора, код које је применом мултиплексера постигнуто да се један множач искористи за више операција множења. Модел ADRC регулатора реализованог помоћу XSG блокова приказан је на слици 6.6, док су структуре његових подмодула за прорачун управљачког сигнала  $u_i(k)$  и естимираног стања  $\hat{x}_{1i}(k)$  дате на сликама 6.7а и 6.7б, респективно. Подмодули за прорачун осталих естимираних стања имају идентичну структуру као и  $\hat{x}_{1i}(k)$ , па њихови XSG модели нису приказани.



Слика 6.6 XSG модел ADRC регулатора

6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара



Слика 6.7 XSG модел: а) подмодула за прорачун естимираног стања  $\hat{x}_{1i}(k)$  б) подмодула закона управљања  $u_i(k)$

Као што можемо видети са слике 6.7а, употребом два мултиплексера, означених са  $Mux1$  и  $Mux2$ , операције се множења у оквиру овог подмодула реализују серијски са једним множаčem. Управљање мултиплексерима врши се помоћу бројача са модулом бројања 7, на слици означен као (*Counter*). У сваком такту бројања врши се множење одговарајућих улаза мултиплексера, а резултати се сабирају у акумулатору (*ACC*). Када се реализују сва множења бројач се налази у стању 7, и тада се помоћу логичких блокова ресетује акумулатор, и у следећем такту почиње нови циклус множења. Помоћу *Up Sample* блока (видети слику 6.6) омогућено је да се све рачунске операције унутар ADRC модула реализују са тактом од  $f_{clk} = 50 \text{ MHz}$ , који је 4096 пута већи од такта дискретизације  $f_d = 12,07 \text{ KHz}$ . Из тог разлога временско кашњење од 7 тактова, добијено у архитектури са мултиплексерима, неће имати утицаја на крајњи резултат, собзиром да се цео алгоритам реализује за мање од једне периоде дискретизације.

Као што је већ напоменуто, идентична хардверска структура са једним множаčem и два мултиплексера је примењена и код синтезе подмодула за прорачун остала четири стања система. На сличан начин применом мултиплексера реализована је и синтеза подмодула управљачког закона  $u_i(k)$  (Слика 6.7б), стим што су у овом случају употребљена два блока за множење. Сходно томе лако можемо доћи до закључка да је применом предложене структуре број потребних множача за реализацију модула ADRC регулатора са 26 (колико је било потребно за реализацију потпуно паралелне структуре) редукован на само 7 множача, што ће значајно утицати на смањење заузећа ресурса хардвера.

#### *Избор формата аритметике са фиксном децималном тачком*

Дефинисање формата аритметике са фиксном децималном тачком, применом методологије описане у поглављу 5.2, обухвата избор IWL и FWL за представљање сваког сигнала и коефицијента алгоритма. Прорачун IWL за сигнале алгоритма је реализован на основу симулационе анализе спроведене на Simulink моделу пројектованог система управљања. На улазе модела управљања по осам азимута, елевације и поларизације доведени су одговарајући простопериодични референтни сигнали и за тај случај очитане су максималне вредности свих сигнала регулатора. На основу тога, за усвојену вредности фактора заштите  $k_s = 3$ , одговарајуће IWL сигнала прорачунате су применом релације (5.2) и дате су у Табели 6.3. Сигнали  $s_{ui1}(k)$ ,  $s_{ui2}(k)$ ,

---

$s_{ui3}(k)$ ,  $s_{ui4}(k)$  и  $s_{ui5}(k)$  представљају сигнале подмодула управљачког закона  $u_i(k)$  и дефинисани су раније на слици 6.7б.

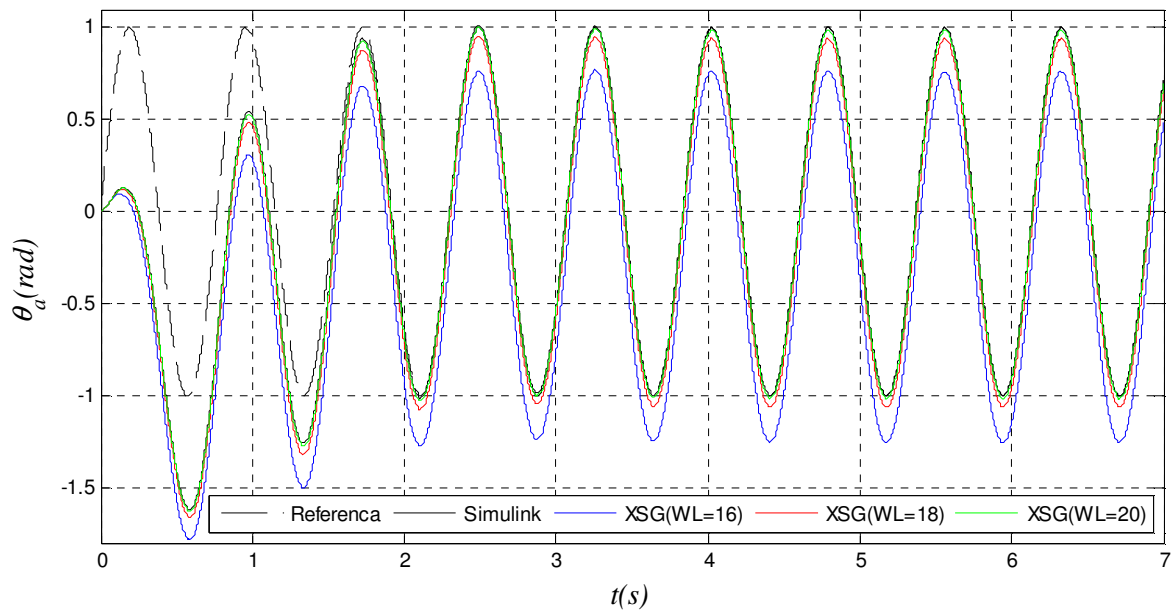
Табела 6.3 Вредности IWL сигнала ADRC регулатора

Сигнали	$\hat{x}_{1i}(k)$	$\hat{x}_{2i}(k)$	$\hat{x}_{3i}(k)$	$\hat{x}_{4i}(k)$	$\hat{x}_{5i}(k)$	$s_{ui1}(k)$	$s_{ui2}(k)$	$s_{ui3}(k)$	$s_{ui4}(k)$	$s_{ui5}(k)$	$u_i(k)$
Регулатор осе азимута	2	5	8	11	14	1	4	8	7	8	6
Регулатор осе полариз.	2	4	7	10	13	1	3	7	6	7	4
Регулатор осе елевације	2	5	8	12	15	1	4	9	8	9	7

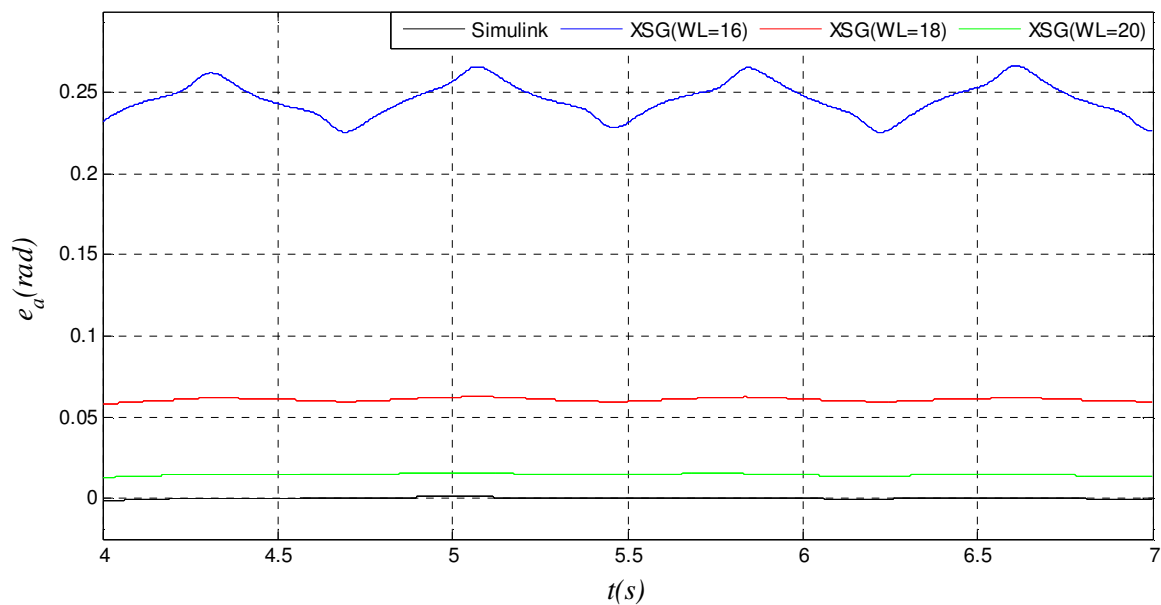
Вредности IWL за представљање коефицијента алгоритма једноставно су добијене на основу израза 5.3.

Што се тиче избора одговарајућих  $FWL_i$  сигнала и коефицијенета он је спроведен тако да се обезбеди најбољи компромис између перформанси система са једне стране и заузећа хардверских ресурса са друге стране. У склопу тога XSG модели регулатора су реализовани са претходно прорачунатим  $IWL_i$ , док су вредности  $FWL_i$  добијене тако да сваки сигнал и коефицијент има исту укупну дужину речи  $WL_i = IWL_i + FWL_i$ . Након тога, извршена је симулација одзива система на одговарајући референтни сигнал за различити усвојене вредности  $WL_i$  и то у случајевима *trunct* и *round* мода квантизације. Симулација је реализована на моделу осе азимута који је дефинисан функцијом преноса (6.11). Карактеристике праћења референце код система са XSG моделима регулатора са различито усвојено  $WL_i = 16, 18$  и  $20$ , упоређене су са карактеристикама система са *Simulink* моделом регулатора, имајући у виду да су код њега сигнали и коефицијенти представљени са готово идеалном 64-битном тачношћу у формату са покретним зарезом. Добијени одзиви као и грешке праћења референтног сигнала  $e_a(t) = r_a(t) - \theta_a(t)$  приказани су на сликама 6.8 и 6.9, за *trunct* и *round* мод квантизације, респективно. Грешке праћења (Сlike 6.8б и 6.9б) су приказане и анализиране након завршеног прелазног процеса, односно од четврте секунде симулације.

6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара



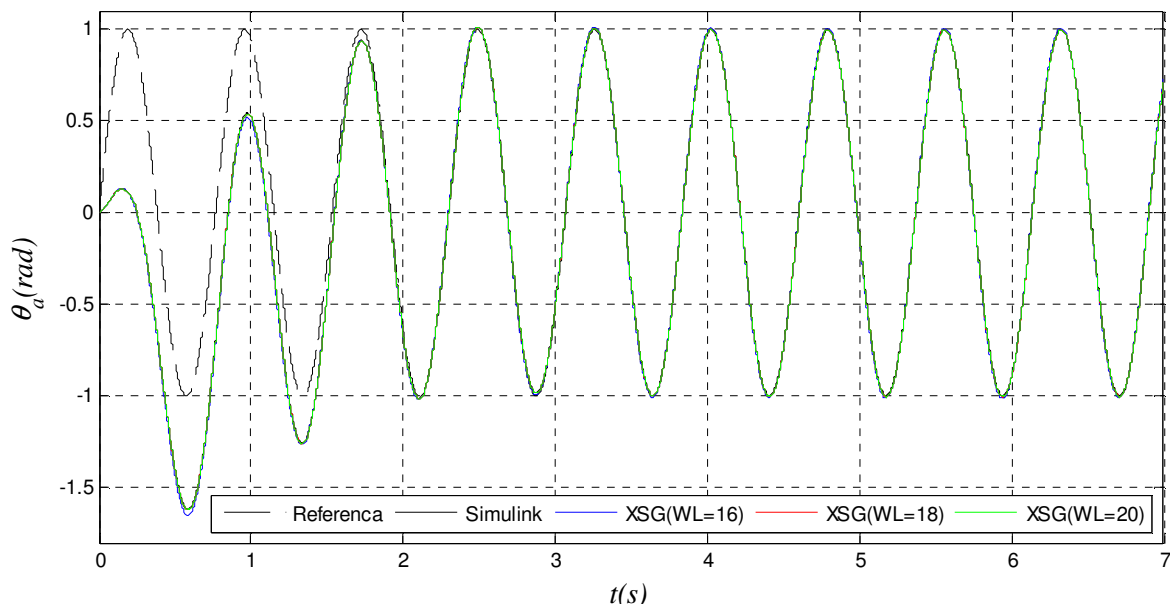
а)



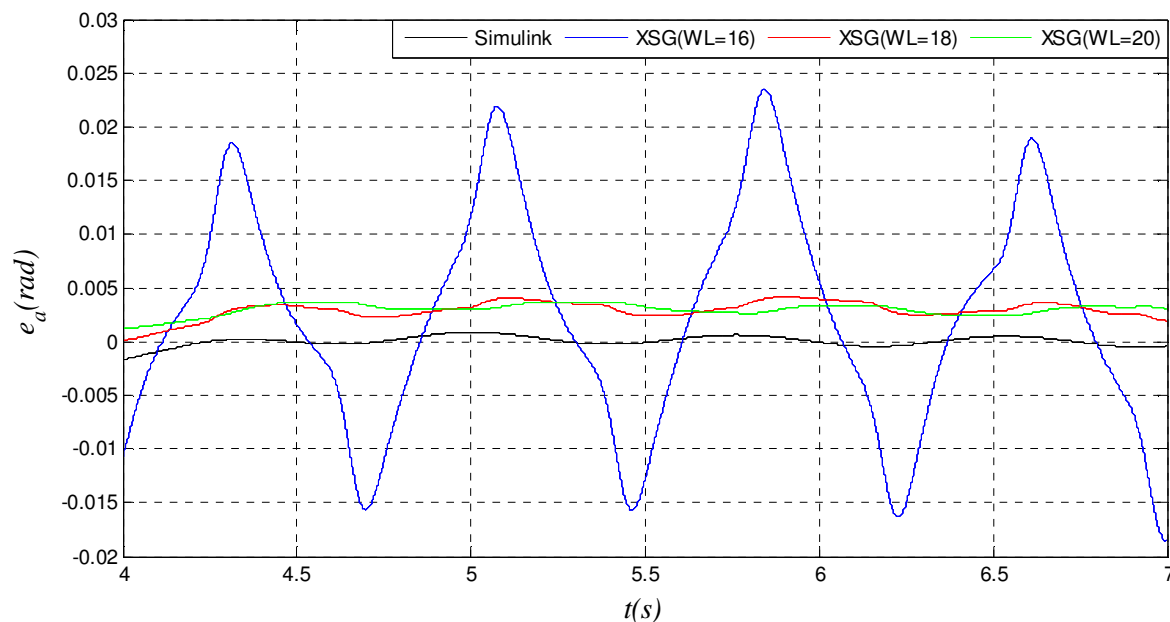
б)

Слика 6.8 Симулационе карактеристике праћења референтног сигнала система са Simulink и XSG моделима регулатора за **trunct** мод квантизације, при различитим вредностима WL ; а) одзиви система, б) грешке праћења

6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара



а)



б)

Слика 6.9 Симулационе карактеристике праћења референтног сигнала система са Simulink и XSG моделима регулатора за **round** мод квантизације, при различитим вредностима  $WL_i$ ; а) одзиви система, б) грешке праћења

Као што је и очекивано повећањем вредности  $WL_i$ , односно  $FWL_i$ , за оба мода квантизације се постижу боље перформансе праћења. Поред тога примећујемо да при истим вредностима  $WL_i$ , модели са усвојеном *round* квантизацијом остварују значајно мању грешку праћења, која се за случај  $WL_i=18$  и  $WL_i=20$  мања од 0.5% и постаје

приближна грешци праћења *Simulink* модела. Такође се запажа да је побољшање перформанси избором *round* мода квантизације израженије за мање вредности  $WL_i$ .

Разматрани XSG модели регулатора са различитим  $WL_i$  и модovima квантизације су преведени у одговарајући VHDL код, након чега су у софтверском пакету *ISE Design* прорачунати ресурси FPGA чипа XC3SD3400a потребни за њихову реализацију. Имајући у виду да најкритичније ресурсе у реализацији представљају CLBс логички блокови и DSP48a елементи за множење, преглед њихових заузећа је дат у Табели 6.4.

Табела 6.4 Преглед заузећа ресурса чипа XC3SD3400a за реализацију модула ADRC регулатора са различитим вредностима  $WL_i$  и различитим модovima квантизације

	Заузети ресурси						Доступни ресурси чипа
	<i>trunct</i> мод квантизације			<i>round</i> мод квантизације			
	$WL_i=16$	$WL_i=18$	$WL_i=20$	$WL_i=16$	<b><math>WL_i=18</math></b>	$WL_i=20$	
CLBs	733 (12%)	870 (14.5%)	985 (16.5%)	801	<b>918</b>	1022	5968
DSP48a	7 (5.5%)	7 (5.5%)	10 (8%)	7(5.5%)	<b>7(5.5%)</b>	10(8%)	126

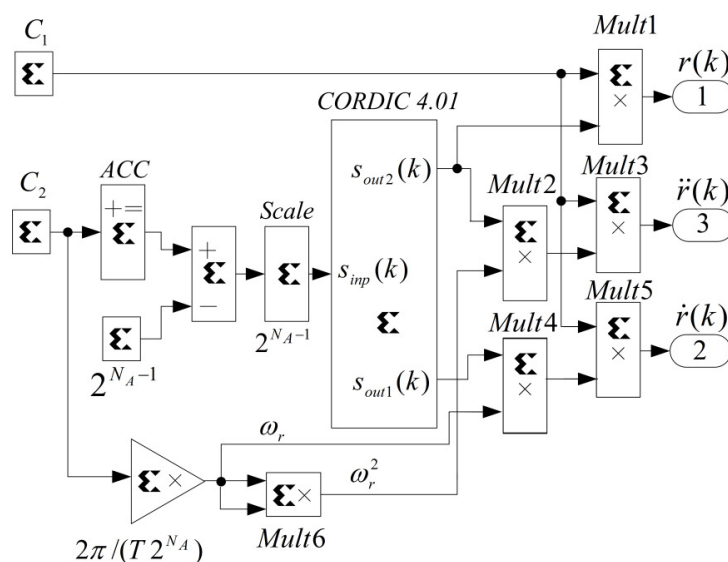
Према очекивању за оба мода квантизације повећањем вредности  $WL_i$  расте заузеће CLBс, док је заузеће DSP48a множача исто за  $WL_i=16$  и  $WL_i=18$ , а повећава се у случају када је  $WL_i=20$ . Повећање броја потребних множача је последица тога да су наменски уграђени множачи DSP48a конструисани за множење 18-то битних бројева, па је из тог разлога за неке операције множења у 20-то битном формату употребљено два множача. У погледу односа заузећа ресурса за различите модове квантизације можемо уочити незнатно повећање у случају избора *round* мода.

На основу свега наведеног можемо закључити да се најбољи однос перформанси и заузећа ресурса постиже избором  $WL_i=18$  и *round* мода квантизације. Из тог разлога за практичну реализацију је одабран управо такав формат аритметике са фиксном децималном тачком.

Имајући у виду да су исти закључци добијени и при анализи избора формата аритметике за реализацију регулатора осе елевације и поларизације, та анализа није приказана у раду, а оба модула су реализована у истом формату као и ADRC модул осе азимута.

### 6.3.2 Модул за генерисање референци

Модул за генерисање референтног сигнала  $r_i(k) = A \sin(\omega_r k T)$ , као и његовог првог и другог извода  $\dot{r}_i(k) = A \omega_r \cos(\omega_r k T)$  и  $\ddot{r}_i(k) = -A \omega_r^2 \sin(\omega_r k T)$  реализован је помоћу XSG блокова и приказан је на слици 6.10. Основна компонента модула је *COordinate ROtation Digital Computer-CORDIC* блок, који се налази у библиотеци коришћеног XSG алата. Он омогућава генерисање различитих типова функција, као што су линеарне, простопериодичне, хиперболичне, логаритамске, итд [Vladimirova, 1998]. Рад CORDIC алгоритма је базиран на примени сабирачких елементата и померачких регистара и из тог разлога је веома погодан код практичне реализације, јер не захтева велике хардверске ресурсе.



Слика 6.10 XSG модел модула за генерисање референци

Имајући у виду захтеване референце, CORDIC блок је подешен тако да на својим излазима, на слици означеним са  $s_{out1}(k)$  и  $s_{out2}(k)$ , генерише простопериодичне синусне и косинусне сигнале, респективно. Да би се то постигло као улазни сигнал CORDIC блока, на слици означен са  $s_{imp}(k)$ , треба довести тестерасти сигнал у границама од -1 до 1, који дефинише временску промену фазе жељених простопериодичних излаза. Сходно томе, кружну учестаност излазног

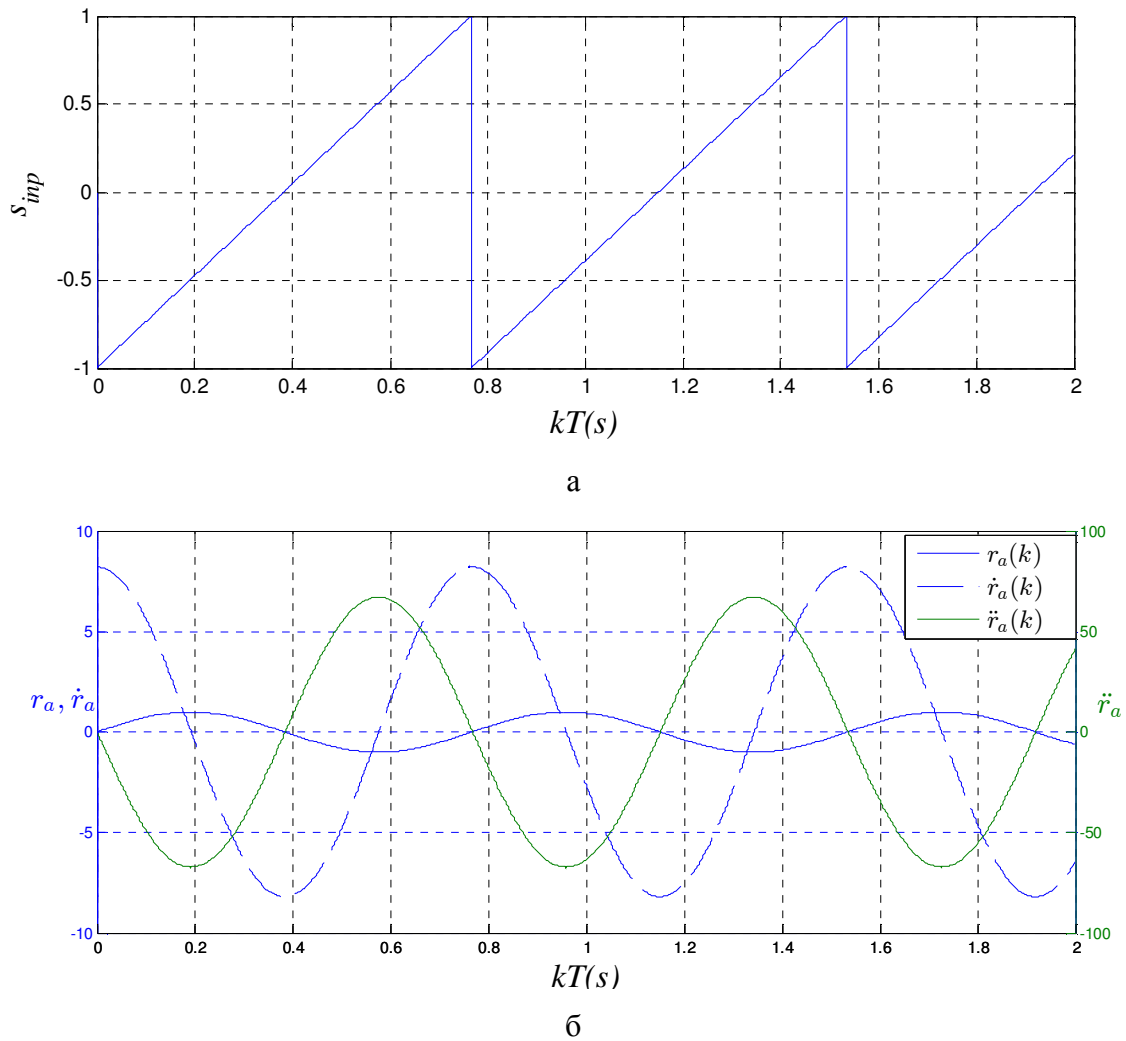


простопериодичног сигнала  $\omega_{ri}$  подешавамо на основу параметара XSG блокова намењених за формирање сигнала  $s_{inp}(k)$ , па тако добијамо да је:

$$\omega_{ri} = \frac{2\pi \cdot C_2}{T 2^{N_A}} \quad (6.23)$$

где је  $C_2$  вредност улазне константе, а  $N_A$  број битова акумулаторског блока, означеног са ACC на слици 6.10. Имајући у виду да CORDIC блок на свом излазу генерише простопериодичне сигнале са јединичном амплитудом, подешавање амплитуде излазног сигнала модула  $r_i(k)$  врши се на основу изабране вредности константе  $C_1$ , док се сигнали  $\dot{r}_i(k)$  и  $\ddot{r}_i(k)$  формирају помоћу XSG блокова за множење (означених са *Mult1-Mult6*). Подешавање битског формата излазних сигнала модула реализује се избором формата излаза блокова за множење и подешени су тако да имају исти 12-то битни формат као и дискретни сигнал повратне спреге  $\theta_i(k)$ .

Улазни сигнал CORDIC блока и одговарајући излазни сигнали модула за генерисање референци осе азимита, који имају кружну учестаност од  $\omega_{ra} = 8.192 \text{ rad / s}$  приказани су на слици 6.11. Вредности параметара модула у овом случају су  $C_1 = 1$ ,  $C_2 = 112$  и  $N_A = 20$ . На исти начин можемо добити и референце за осу елевације, док је за генерисање референтних сигнала по оси поларизације, који имају дупло мању кружну учестаност, потребно усвојити  $C_2 = 56$ .

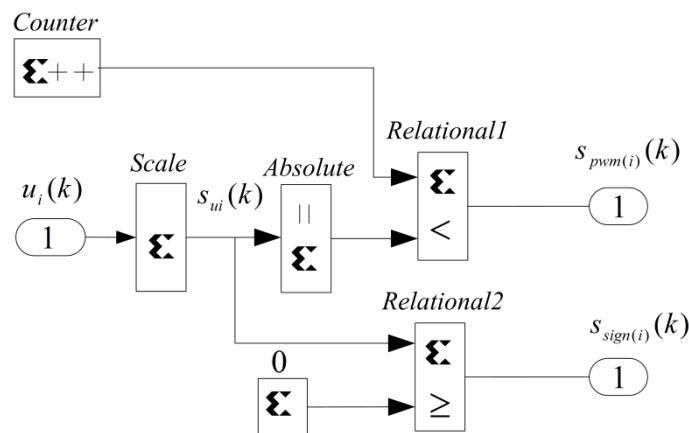


Слика 6.11 а) улазни сигнал CORDIC блока; б) излазни сигнали CORDIC блока

### 6.3.3 PWM модул

PWM (*Pulse Width Modulation*) представља технику управљања аналогних кола и компоненти преко дигиталних излаза имплементационог хардвера, због чега се примењује у различитим система, а посебно у управљању електричним моторима [Kaźmierkowski, 2002]. Амплитуда импулса PWM сигнала је константна и има вредност логичке јединице, док се однос трајања импулса и паузе у периоди PWM сигнала  $T_{pwm}$  подешава тако да одговара жељеном нивоу аналогног сигнала. Треба напоменути да је за ефикасну примену PWM технике неопходно обезбедити да  $T_{pwm}$  буде довољно мала у односу на временске константе процеса којим се управља.

Структура PWM модула пројектованог система је приказана на слици 6.12.



Слика 6.12 XSG модел PWM модула

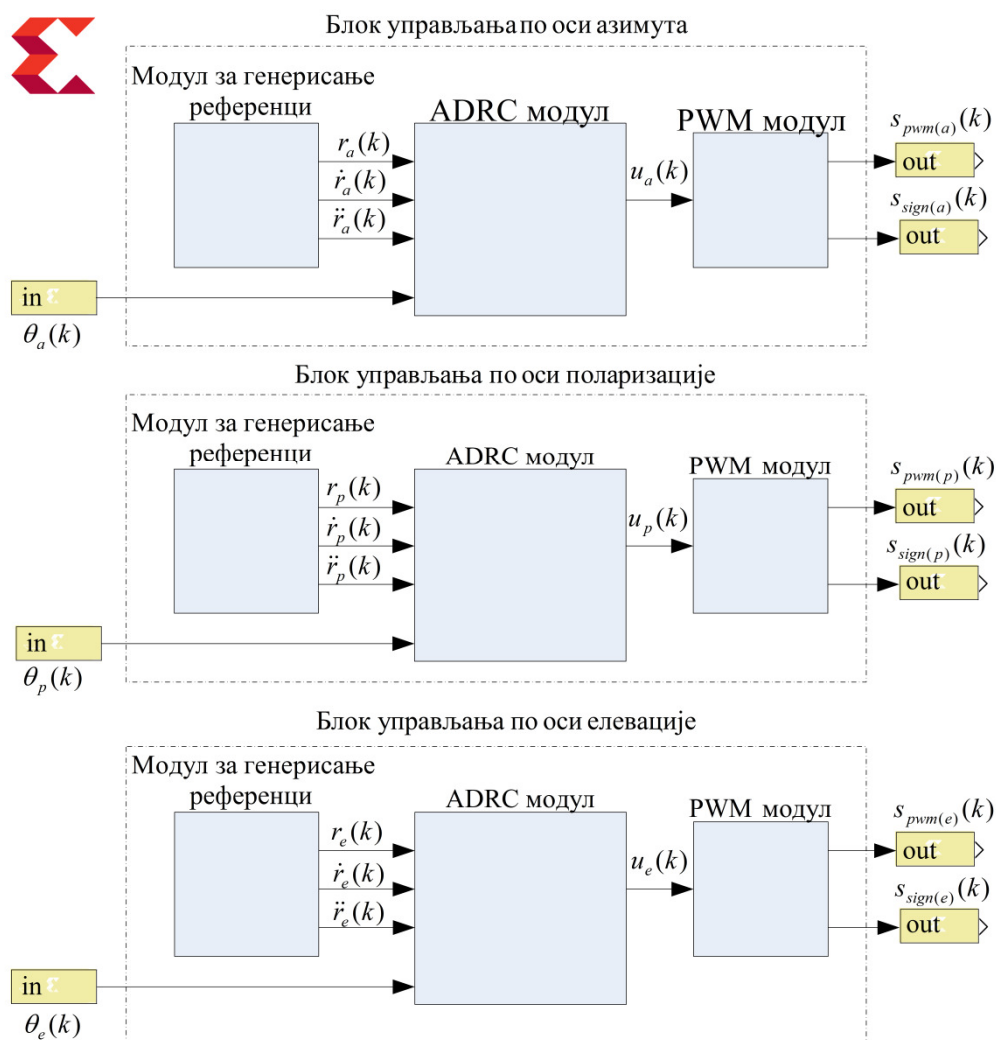
Као што можемо видети улазни сигнал модула је 18-то битни управљачки сигнал  $u_i(k)$ , који има такт од  $f_{clk} = 50\text{MHz}$ , док је на излазу, поред PWM сигнала  $s_{pwm(i)}(k)$ , генерисан и сигнал  $s_{sign(i)}(k)$ , којим се дефинише знак управљачког сигнала. Помоћу блока за скалирање (*Scale*) улазни сигнал је прво скалиран тако да му се вредности крећу у опсегу од  $-2^{12}$  до  $2^{12}$  и добијени сигнал је означен на слици као  $s_{ui}(k)$ . Генерисање  $s_{pwm(i)}(k)$  је извршено тако што је апсолутна вредност  $s_{ui}(k)$  поређена са излазом бројача који је подешем тако да му је модуо бројања био  $2^{12}$ , а такт бројања  $f_{clk}$ . На тај начин је постигнуто да све док је излаз бројача мањи од  $s_{ui}(k)$ , сигнал  $s_{pwm(i)}(k)$  има вредност логичке јединице, а када излаз бројача постане већи,  $s_{pwm(i)}(k)$  добија вредност логичке нуле. Сходно томе, периода PWM сигнала ће бити  $T_{pwm} = 2^{12} / f_{clk} = 81.92\mu\text{s}$ , док ће минимално трајање импулса у периоди износити  $T_{min} = 1 / f_{clk}$ , што задовољава захтеве извршних елемената конкретног система управљања. На сличан начин помоћу блока за поређење извршено је генерисање сигнала  $s_{sign(i)}(k)$ , па је тако за случај позитивног управљачког сигнала његова вредност једнака логичкој јединици, а у случају негативног управљачког сигнала, логичкој нули.

#### 6.3.4 Симулациона анализа и програмирање FPGA хардвера

Синтеза XSG модела целокупног система управљања, приказаног на слици 6.13, реализована је помоћу претходно описаних модула, који су са одговарајућим

6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара

подешавањем параметара прилагођени блоковима управљања по оси азимута, поларизације и елевације.



Слика 6.13 XSG модел пројектованог система управљања

Симулациона верификација пројектованог XSG модела система је спроведена у MATLAB/Simulink окружењу. У склопу тога, анализирана су четири симулациона сценарија. У првом (у даљем тексту означен као *Scen1*) симулација је извршена на поједностављеном моделу троосне платформе описаном једначинама (6.11)-(6.13), у другом (означен као *Scen2*) је уведено одступање вредности параметара у моделе (6.11)-(6.13) тако што су  $p_a$ ,  $p_p$  и  $p_e$  повећани за 20%, у трећем симулационом сценарију (*Scen3*) у систем управљања сваке од оса је укључен спољашњи поремећаја облика

$d(t) = 1 + \sin(\omega_n t)$ , док је у четвртом (*Scen4*) симулирано постојање ”мртве” зоне актуатора са границама које су експериментално идентификоване у реалном систему и дате у поглављу 6.1.

Помоћу модула за генерисање референци на регулаторе оса азимута и елевације су доведени референтним сигнали  $r_a(k) = \sin(8.192kT)$  и  $r_e(k) = \cos(8.192kT)$ , респективно, како би се обезбедила симулација кружног кретања платформе у равни азимит-елевација, док је регулатор осе поларизације побуђен референтним сигналом  $r_p(k) = \sin(4.096kT)$ . На модел троосне платформе доведене су одговарајуће PWM форме управљачких сигнала, генерисане помоћу PWM модула. Одзиви система, грешке праћења, естимиране вредности тоталног поремећаја и управљачки сигнали су упоређени за сва четири симулациона сценарија и дати су на сликама 6.14, 6.15 и 6.16 за осе азимута, елевације и поларизације, респективно. Поред тога карактеристике праћења кружне трајекторије у равни азимут-елевације приказане су на слици 6.17 заједно са грешком праћења у равни дефинисаном као:

$$e_{ae}(k) = \sqrt{e_a^2(k) + e_e^2(k)}, \quad (6.24)$$

где су  $e_a(k) = r_a(k) - \theta_a(k)$  и  $e_e(k) = r_e(k) - \theta_e(k)$  грешке праћења по осама азимута и елевације.

Као што је и очекивано из добијених резултата можемо видети да се најбоље перформансе праћења постижу у симулацији *Scen1*, код које нису постојале неодређености модела објекта управљања и спољашњи поремећаји. Грешка праћења која ипак постоји у овом случају је последица ограничене прецизности управљачких сигнала услед употребе аритметике са фиксном децималном тачком, чији је утицај већ анализиран у пертходном поглављу. Промена вредности параметара модела објекта управљања и увођење спољашњег поремећаја у симулацијама *Scen2* и *Scen3* доводи до незнатног погоршања перформанси у току прелазног процеса. Међутим, након завршетка прелазног процеса, из увећених делова слика 6.14б, 6.15б и 6.16б примећујемо да систем постиже практично идентичну грешку праћења као у случају *Scen1*. Наиме, промене параметара и поремећаји су успешно естимирани у склопу тоталног поремећаја, што видимо у упоредном приказу карактеристика тоталних

---

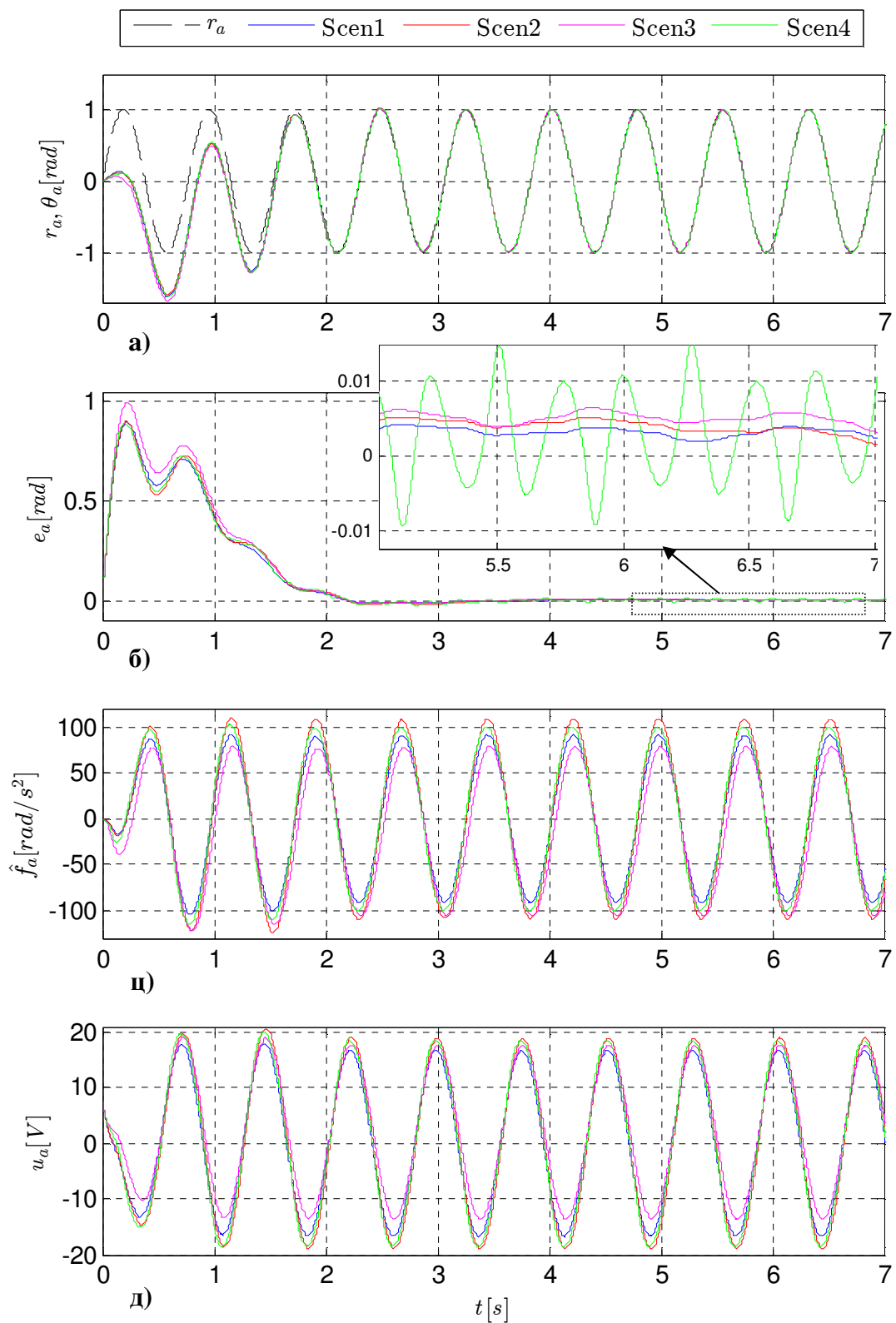
поремећаја на сликама 6.12в, 6.13в и 6.14в, а након тога ефикасно потиснути применом ADRC управљачког закона. Увођење нелинерности типа "мртве зоне" у симулацији *Scen4*, међутим, довело је до повећања грешке праћења и након завршеног прелазног периода. Из карактеристика тоталних поремећаја по осама, за овај случај симулационог сценарија, видимо да је утицај нелинерности укључен у тоталне поремећаје, али ипак не може бити у потпуности естимиран и потиснут. Дејство "мртве" зоне најизраженије је у тренуцима када осе мењају смер кретања (вршне вредности трајекторија), односно када су управљачки сигнали блиски нули. Сходно томе, можемо приметити да иако осе поларизације и елевације имају исте вредности граница "мртве" зоне, њен утицај је израженији при управљању осом поларизације. Наиме, приметимо да због спорије референтне трајекторије управљачки сигнал осе поларизације има мање вредности и процентуално се дуже налази у границама "мртве" зоне. Ипак, и у овом случају максимална грешка праћења износи око 1 %, а у равни азимут-елевација око 1.5 % , што су задовољавајуће перформансе за пројектовани систем.

На основу симулационо верификованог XSG модела система управљања, применом софтверског алата генерисан је његов VHDL код. Добијени код је у оквиру програмског пакета *ISE Design*. синтетизован у конкретни пројекат програмирања FPGA хардвера TE0320. Након тога прешло се на фазу физичког пројектовања, која је у потпуности аутоматизована применом *ISE Design* софтвера. Као карајњи резултат добијен је програмабилни фајл помоћу кога је извршено програмирање FPGA чипа XC3SD3400а.

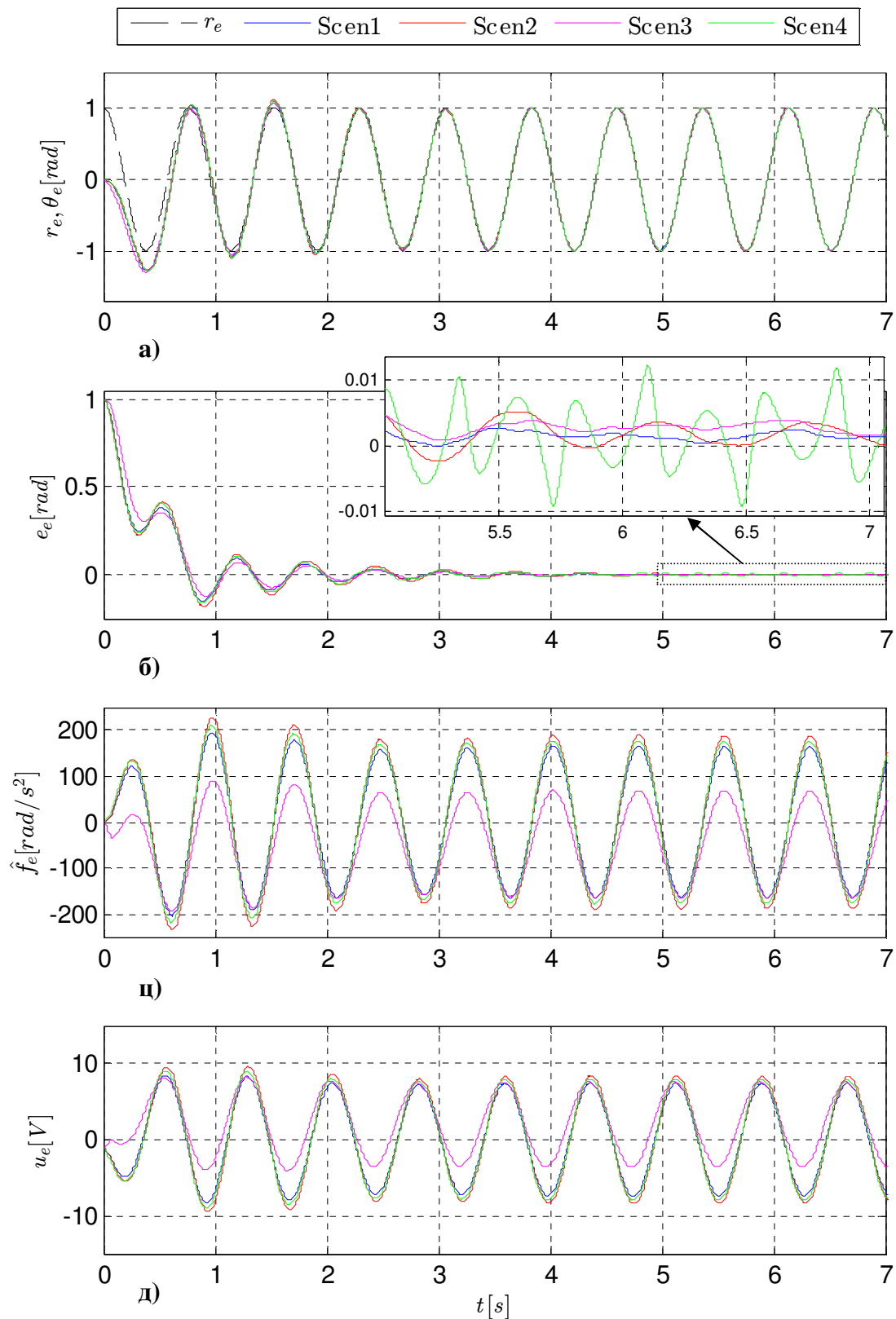
Преглед заузећа најкритичнијих ресурса коришћеног чипа дат је у Табели 6.5. Као што можемо видети, предложени поступак реализације је омогућио да заузеће CLBс и DSP48а елемената буде мање од 50%, што дозвољава имплементацију чак два оваква система коришћењем истог FPGA чипа.

Табела 6.5 Преглед заузећа најкритичнијих ресурса FPGA чипа XC3SD3400а за имплементацију система управљања

CLBs		DSP48а		IOBs	
заузето	доступно	заузето	доступно	заузето	доступно
2951 (49.4%)	5968	39 (31%)	126	9 (10.1%)	89

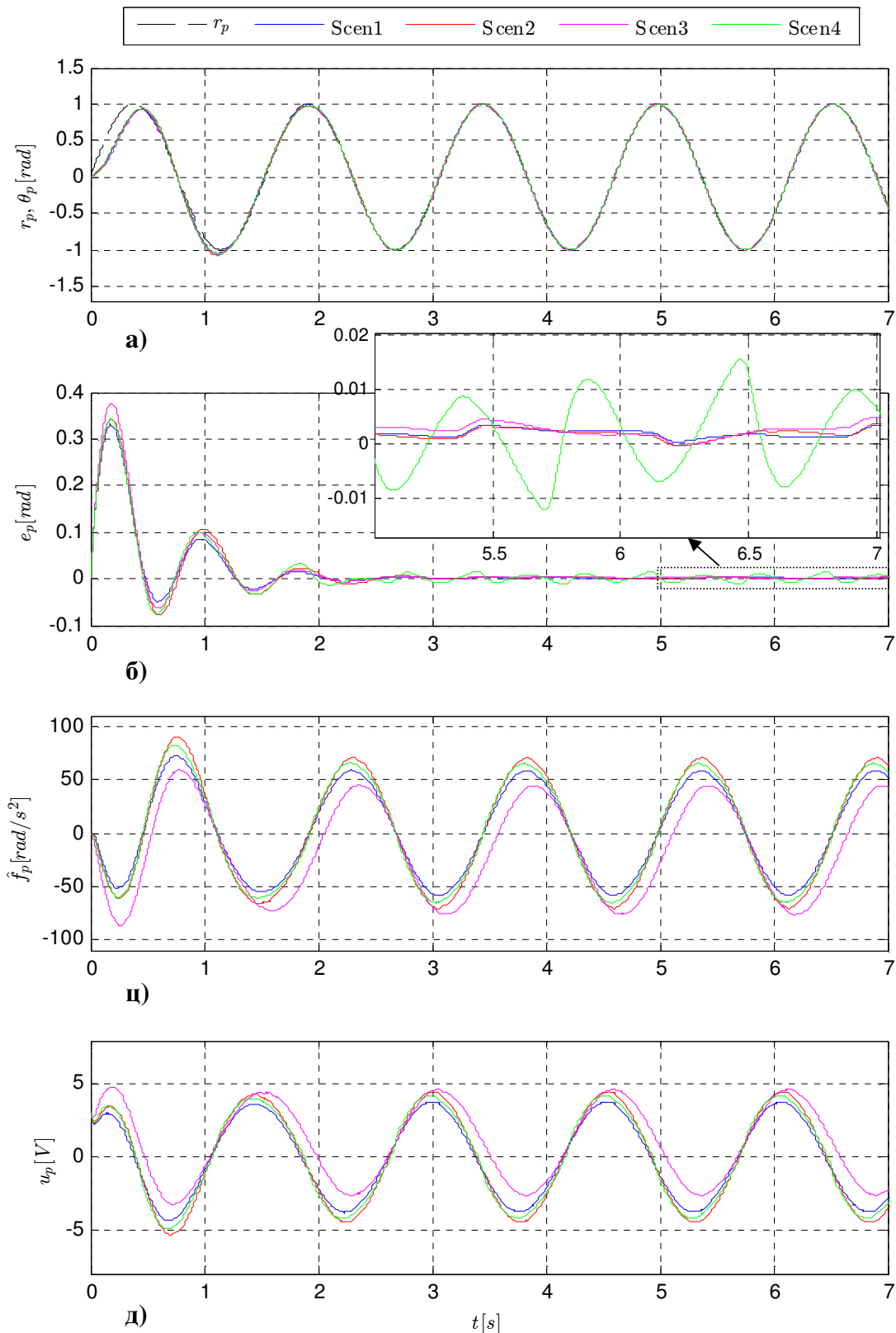


Слика 6.14 Карактеристике управљања по оси азимута за различите симулационе сценарије: а) одзиви система; б) грешке праћења; в) естимиране вредности тоталног поремећаја; д) управљачки сигнали

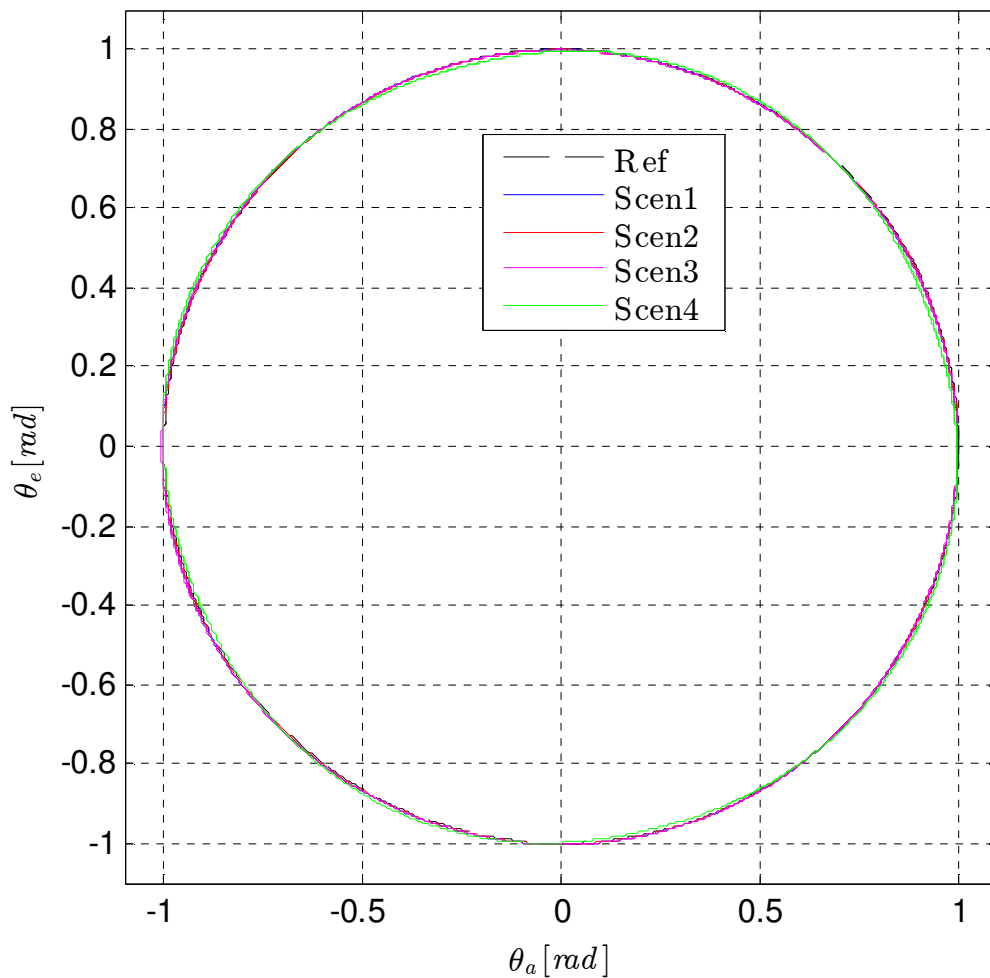


Слика 6.15 Карактеристике управљања по оси елевације за различите симулационе сценарије: а) одзиви система; б) грешке праћења; в) естимиране вредности тоталног поремећаја; д) управљачки сигнали

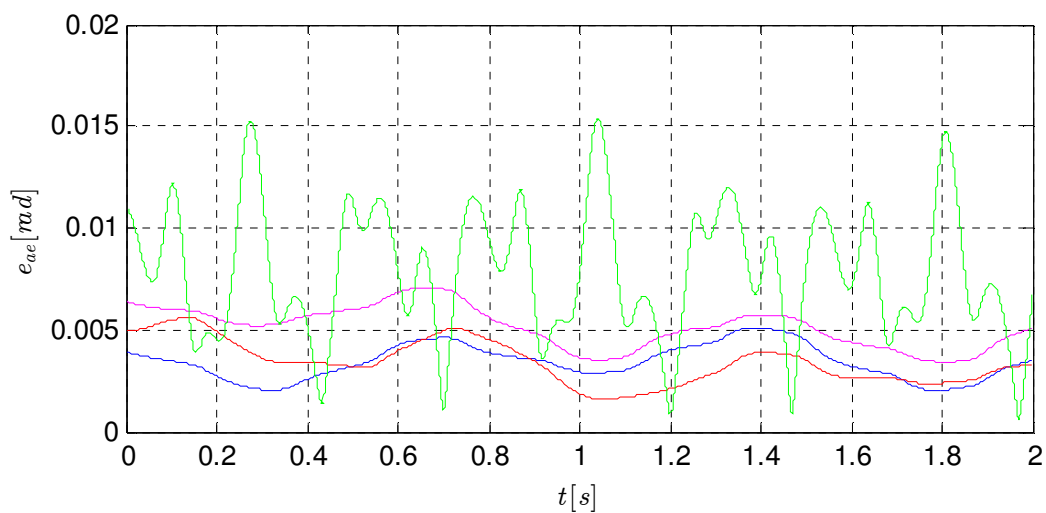




Слика 6.16 Карактеристике управљања по оси поларизације за различите симулационе сценарије: а) одзиви система; б) грешке праћења; ц) естимиране вредности тоталног поремећаја; д) управљачки сигнали



а)

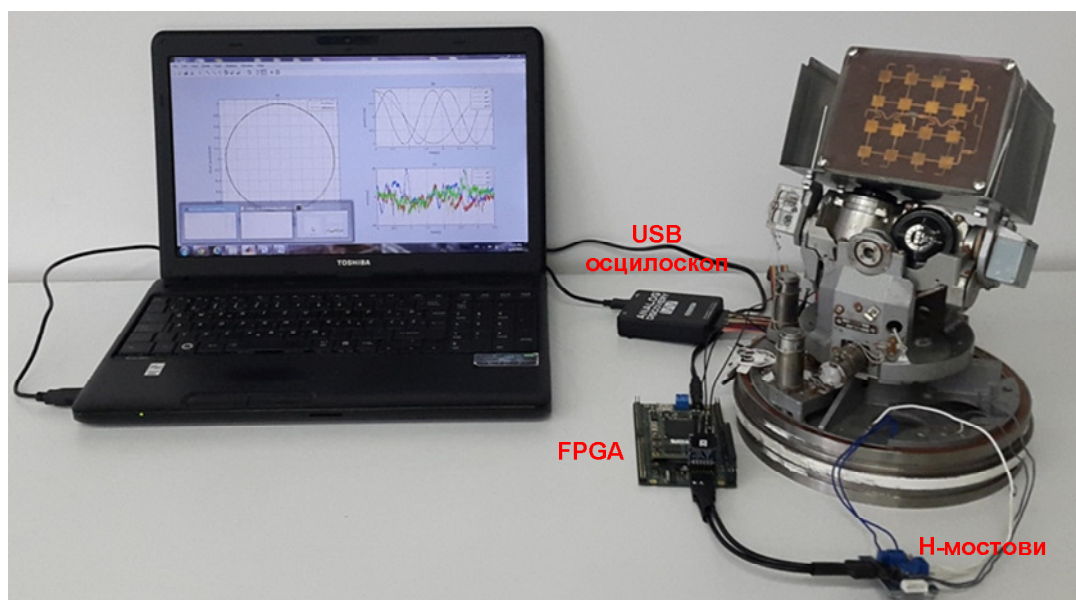


б)

Слика 6.17 Перформансе праћења кружне трајекторије у равни азимут-елевација за различите симулационе сценарије: а) одзиви система; б) грешке праћења у равни;

## 6.4 Експериментална верификација

Експериментална верификација пројектованог система управљања је реализована у лабораторијским условима на разматраној троосној платформи дидактичког радара. Изглед експерименталног окружења, формираног на основу предложене структуре система, приказан је на слици 6.18. Поред претходно описаних компоненти система, коришћени су и USB осцилоскоп *Analog Devices*, произвођача *Xilinx*, помоћу кога је вршена аквизиција података са потенциометарских сензора, док је за приказ и обраду резултата коришћен персонални рачунар и програмски пакет *MATLAB*<sup>®</sup>.



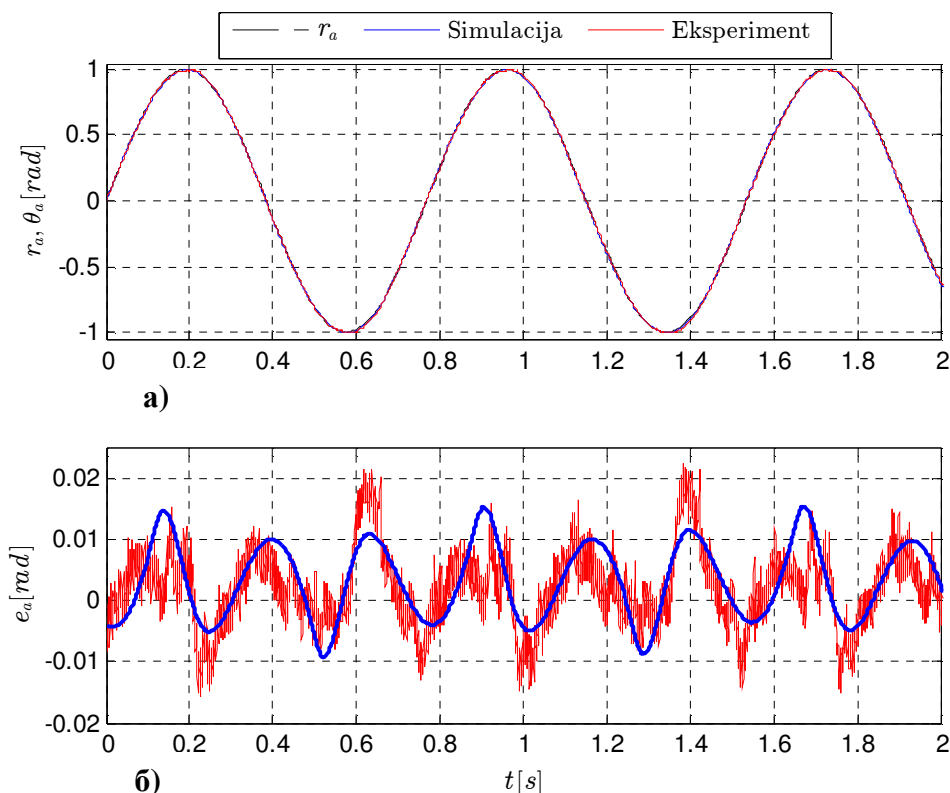
Слика 6.18 Експериментално окружење

Експеримент је постављен тако да се анализирају перформансе система управљања при симултаном кретању платформе по све три осе. Регулатори по осам су побуђени референтним сигнаlima као у симулационој анализи спроведеној у претходном поглављу. Добијени експериментални резултати праћења референтних трајекторија по осам су упоређени са симулационим (симулација са сценаријом *Scen4*) и приказани на сликама 6.19, 6.20 и 6.21 за осу азимута, елевације и поларизације, док су перформансе праћења у равни азуимут-елевација дате на слици 6.22.

Као што можемо приметити експериментално добијене перформансе праћења се у великој мери слажу са симулационим резултатима, чиме је извршена верификација предложеног решења. Делимична одступања вредности грешке праћења пре свега су

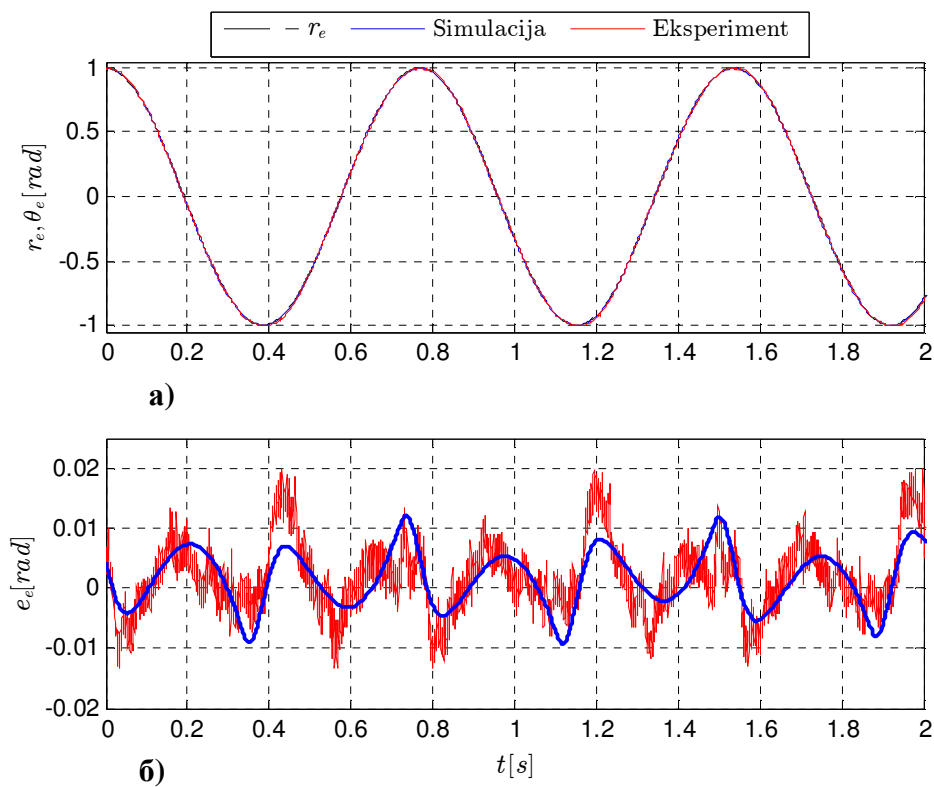
последица утицаја мерног шума потенциометарских сензора, као и међуосне динамике који нису узети у обзир при симулационој анализи због тешкоће њиховог прецизног моделовања. Наиме, можемо закључити да је применом ADRC алгоритма, утицај међуосне динамике, који је врло изражен при симултаном кретању платформе по све три осе, скоро у потпуности потиснут. Што се тиче мерног шума, видимо да је уочљив у експериментално измереним одзивима система, али такође је јасно да није имао утицаја на стабилност пројектованог система. Поред тога, јасно је да је реализација целокупног система коришћењем FPGA хардвера омогућила несметано паралелно извршење три независна управљачка алгоритама, без проблема везаног за поделу временских ресурса хардвера, који би постојао у случају софтверске DSP реализације.

У поређењу са експерименталним резултатима приказаним у [Stanković, 2016a], где је за управљање истом троосном платформом коришћен ADRC алгоритам са класичном структуром ESO-a, видимо да предложени систем управљања остварује мању грешку праћења и то у случајевима када су осе побуђене референтним сигналимa са више него душло већом фреквенцијом.

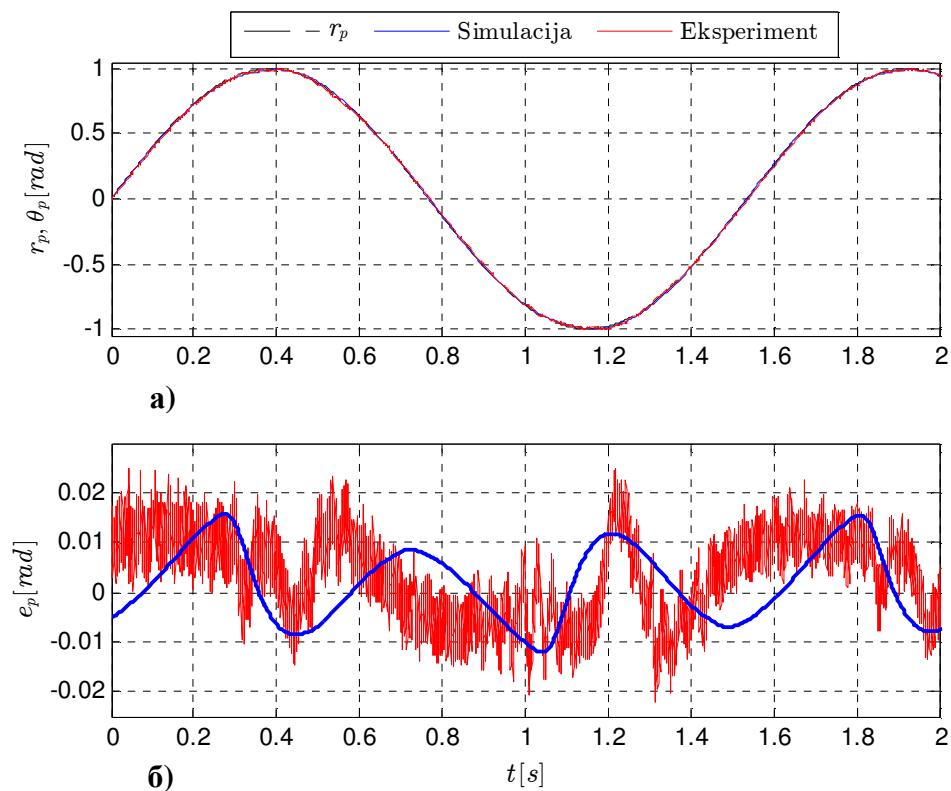


Слика 6.19 Експерименталне и симулационе перформансе праћења референтне трајекторије по оси азимута: а) одзиви система; б) грешке праћења

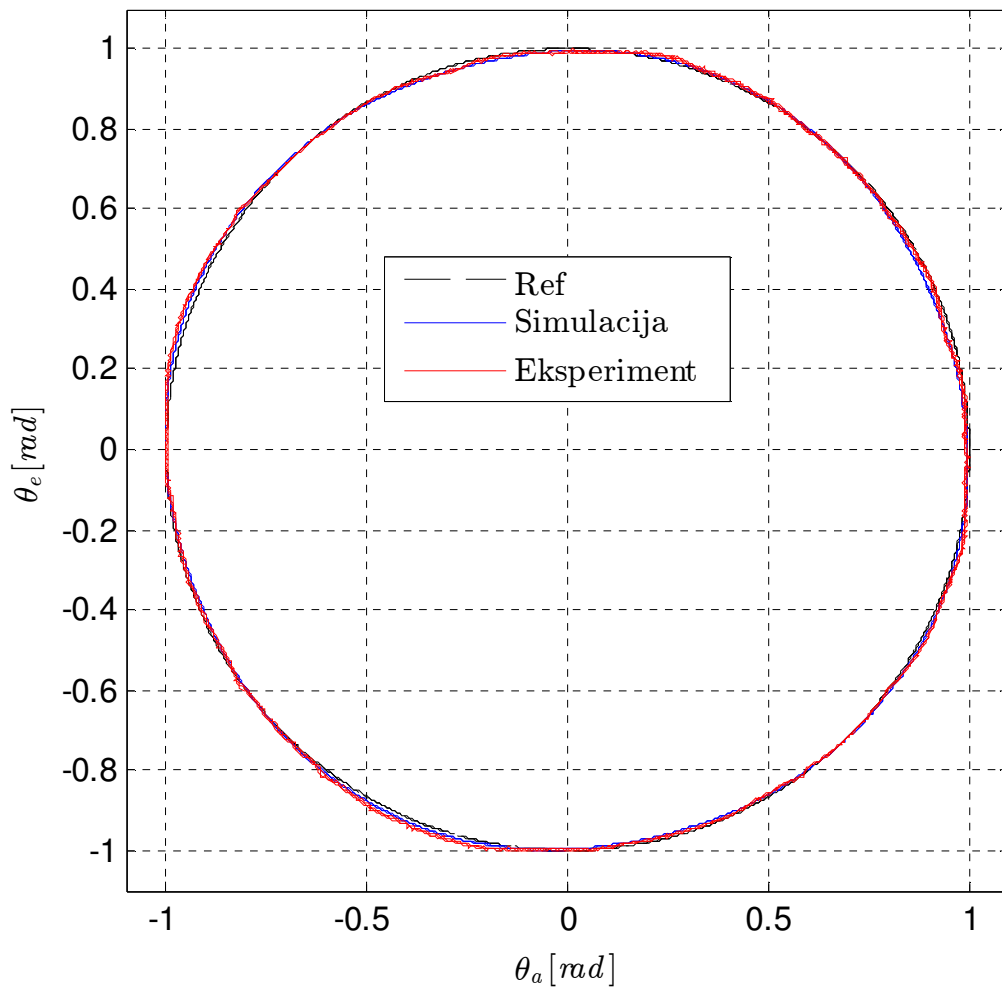
6. Пројектовање и реализација ADRC система за управљање троосном платформом лабораторијског дидактичког радара



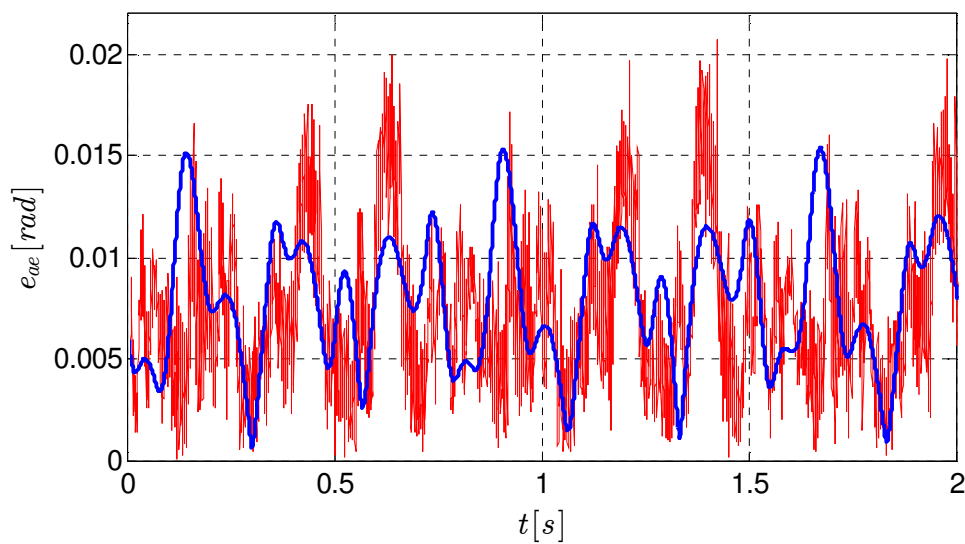
Слика 6.20 Експерименталне и симулационе перформансе праћења референтне трајекторије по оси елевације: а) одзиви система; б) грешке праћења



Слика 6.21 Експерименталне и симулационе перформансе праћења референтне трајекторије по оси поларизације: а) одзиви система; б) грешке праћења



а)



б)

Слика 6.22 Експерименталне и симулационе перформансе праћења кружне трајекторије у равни азимут-елевација а) одзиви система; б) грешке праћења у равни;

## 7. Закључак

У дисертацији је разматрана проблематика пројектовања, модификације, оптималног подешавања параметара и хардверске реализације ADRC управљачких система. Анализом ADRC регулатора показано је да кључну компоненту алгоритма представља проширени опсервер стања (ESO), односно генерализовани проширени опсервер стања (GESO), и да од његовог структуре умногоме зависе перформансе и робусност пројектованог система управљања. Сходно томе, а у циљу ефикасног потискивања простопериодичних поремећаја и праћења простопериодичних рефернци, развијене су модификоване форме ADRC-а, базиране на GESO-у са уграђеним резонатним моделом (RGESO). Спроведена фреквенцијска анализа перформанси је показала да предложени регулатори остварују потпуно потискивање простопериодичних поремећаја и идељано праћење простопериодичних референтних сигнала резонатне фреквенције. У поређењу са стандардним формама ADRC-а, показано је да предложени алгоритми омогућују ефикасније управљање у реалативно широком фреквенцијском опсегу око пројектоване резонантне фреквенције, док робусност система остаје приближно једнака.

Разматрајући проблем подешавања ADRC регулатора, предложена је метода за оптимално подешавање појачања регулатора и опсервера. Оптимизациони проблем је постављен тако да се његовим решењем постигну максималне перформансе система у прелазном процесу при задатим индексима робусности и осетљивости на шум мерења. За решење оптимизационог проблема примењен је генетски алгоритам у оквиру алата *Optimization toolbox* програмског пакета MATLAB<sup>®</sup>. Упоредна симулациона анализа одзива система са конвенционално и оптимално подешеним параметрима показала је да оптимално подешени систем остварује значајно боље перформансе при истим вредностима индекса робусности и осетљивости на шум мерења.

Резултати истраживања у вези практичне имплементације система управљања истакли су предности примене FPGA технологије у односу на DSP и ASIC реализације. Предлагањем поједностављене методологије имплементације управљачких система на FPGA, применом XSG графичког софтверског алата у радном окружењу програмског пакета MATLAB/Simulink, дат је допринос већој употреби FPGA технологије у реализацији система аутоматског управљања. Показано је да одговарајући избор

---

хардверске структуре система и формата битске дужине речи имају кључну улогу у постизању најбољег компромиса између перформанси реализованог система и заузећа ресурса FPGA чипа.

Резултати експерименталне верификације у лабораторијским условима, на троосној платформи дидактичког радара су показали да предложени управљачки системи могу бити погодно решење за примену у различитим индустријским системима аутоматског управљања, пре свега због минималне потребе за познавањем тачног модела објекта управљања, као и могућности релативно једноставне практичне реализације на ниско буџетним FPGA хардверским платформама.

Треба напоменути да су у овом раду првенствено разматране линеарне структуре ADRC регулатора, док ће будућа истраживања бити оријентисана на пројектовање и хардверску реализацију нелинераних алгоритама, који би додатно унапредили перформансе управљања. У том контексту тежиште ће бити стављено на оптимално подешавање параметара нелинеарног ADRC регулатора, као и на ефикасну хардверску реализацију уведених нелинераности.



## Литература

- [Astarloa, 2009] Astarloa, A., Lázaro, J., Bidarte, U., Jiménez, J., & Zuloaga, A., 2009. FPGA technology for multi-axis control systems. *Mechatronics*, 19(2), pp. 258-268.
- [Astrom, 2010] Astrom, K.J. and Murray, R.M., 2010. *Feedback systems: an introduction for scientists and engineers*. Princeton university press.
- [Bode, 1940] Bode, H.W., 1940. Relations between attenuation and phase in feedback amplifier design. *Bell Labs Technical Journal*, 19(3), pp.421-454.
- [Chang, 2015] Chang, X., Li, Y., Zhang, W., Wang, N. and Xue, W., 2015. Active disturbance rejection control for a flywheel energy storage system. *IEEE Transactions on Industrial Electronics*, 62(2), pp.991-1001.
- [Chou, 2013] Chou, H.H., Kung, Y.S., Quynh, N.V. and Cheng, S., 2013. Optimized FPGA design, verification and implementation of a neuro-fuzzy controller for PMSM drives. *Mathematics and Computers in Simulation*, 90, pp.28-44.
- [Constantinides, 2007] Constantinides, G., Cheung, P.Y. and Luk, W., 2007. *Synthesis and optimization of DSP algorithms*. Springer Science & Business Media.
- [Dorigo, 2006] Dorigo, M., Birattari, M. and Stutzle, T., 2006. Ant colony optimization. *IEEE computational intelligence magazine*, 1(4), pp.28-39.
- [Dubey, 2008] Dubey, R., 2008. *Introduction to embedded system design using field programmable gate arrays*. Springer Science & Business Media.
- [Ewans, 1950] Evans, W.R., 1950. Control system synthesis by root locus method. *Transactions of the American Institute of Electrical Engineers*, 69(1), pp.66-69.
- [Fang, 2005] Fang, Z., Carletta, J.E. and Veillette, R.J., 2005. A methodology for FPGA-based control implementation. *IEEE Transactions on Control Systems Technology*, 13(6), pp.977-987.
- [Feng, 2004] Feng, G., Liu, Y.F. and Huang, L., 2004. A new robust algorithm to improve the dynamic performance on the speed control of induction motor drive. *IEEE Transactions on Power Electronics*, 19(6), pp.1614-1627.

- [Franklin, 1998] Franklin, G.F., Powell, J.D. and Workman, M.L., 1998. *Digital control of dynamic systems* (Vol. 3). Menlo Park, CA: Addison-wesley.
- [Gao, 2001] Gao, Z., Huang, Y. and Han, J., 2001. An alternative paradigm for control system design. In *Decision and Control, 2001. Proceedings of the 40th IEEE Conference on* (Vol. 5, pp. 4578-4585). IEEE.
- [Gao, 2006a] Gao, Z., 2006, June. Active disturbance rejection control: a paradigm shift in feedback control system design. In *American Control Conference, 2006* (pp. 7-pp). IEEE.
- [Gao, 2006b] Gao, Z., 2006, June. Scaling and bandwidth-parameterization based controller tuning. In *Proceedings of the American control conference* (Vol. 6, pp. 4989-4996).
- [Gao, 2012] Gao, Q., Sun, Z., Yang, G., Hou, R., Wang, L. and Hou, Y., 2012. A novel active disturbance rejection-based control strategy for a gun control system. *Journal of mechanical science and technology*, 26(12), pp.4141-4148.
- [Garcia, 2005] García-Gil, R., Espi, J.M., Dede, E.J. and Sanchis-Kilders, E., 2005. A bidirectional and isolated three-phase rectifier with soft-switching operation. *IEEE Transactions on Industrial Electronics*, 52(3), pp.765-773.
- [Godbole, 2013] Godbole, A.A., Kolhe, J.P. and Talole, S.E., 2013. Performance analysis of generalized extended state observer in tackling sinusoidal disturbances. *IEEE Transactions on Control Systems Technology*, 21(6), pp. 2212-2223.
- [Green, 1988] Green, B.D.O. and Turner, L.E., 1988. New limit cycle bounds for digital filters. *IEEE Transactions on Circuits and Systems*, 35(4), pp.365-374.
- [Grefenstette, 2013] Grefenstette, J.J. ed., 2013. *Genetic algorithms and their applications: proceedings of the second international conference on genetic algorithms*. Psychology Press.
- [Gupta, 1993] Gupta, D., 1993. An overview of artificial immune systems and their applications. In *Artificial immune systems and their applications* (pp. 3-21). Springer Berlin Heidelberg.
- [Han, 1989] Han, J., 1989. Control theory: Is it a theory of model or control?. *Systems Science and Mathematical Sciences*, 9(4), pp.328-335. (на кинеском)
- [Han, 1998] Han, J., 1998. Auto-Disturbance Rejection Control and Its applications. *Control and Decison*, 10(1), pp.19-23. (на кинеском)

- [Han, 2009] Han, J., 2009. From PID to active disturbance rejection control. *IEEE transactions on Industrial Electronics*, 56(3), pp.900-906.
- [Holland, 1975] Holland, J.H., 1992. *Adaptation in natural and artificial systems: an introductory analysis with applications to biology, control, and artificial intelligence*. MIT press.
- [Howard, 1990] Howard, D. D., 1990, Tracking radar. *Radar Handbook*, 18-10.
- [Hou, 2001] Hou, Y., Gao, Z., Jiang, F. and Boulter, B.T., 2001. Active disturbance rejection control for web tension regulation. In *Decision and Control, 2001. Proceedings of the 40th IEEE Conference on* (Vol. 5, pp. 4974-4979). IEEE.
- [Huang, 2014] Huang, Y. and Xue, W., 2014. Active disturbance rejection control: methodology and theoretical analysis. *ISA transactions*, 53(4), pp.963-976.
- [Hurwitz, 1895] Hurwitz, A., 1895. Ueber die Bedingungen, unter welchen eine Gleichung nur Wurzeln mit negativen reellen Theilen besitzt. *Mathematische Annalen*, 46(2), pp.273-284.
- [Johnson, 1976] Johnson, C.D., 1976. Theory of disturbance-accommodating controllers. *Control and Dynamic Systems*, 12, pp.387-489.
- [Jong, 1975] Jong, K. A. D., 1975, . An Analysis of the Behavior of a Class of Genetic Algorithm Adaptive System (Doctoral dissertation, Ann Arbor, USA: University of Michigan).
- [Kaźmierkowski, 2002] Kaźmierkowski, M.P. and Krishnan, R., 2002. *Control in power electronics: selected problems*. Academic press.
- [Kowalski, 2010] Kowalski, C.T. and Lis, J.D., 2010. Speed sensorless DTC control of the induction motor using FPGA implementation. *COMPEL-The international journal for computation and mathematics in electrical and electronic engineering*, 29(1), pp.109-125.
- [Kristiansson, 2006] Kristiansson, B. and Lennartson, B., 2006. Evaluation and simple tuning of PID controllers with high-frequency robustness. *Journal of Process Control*, 16(2), pp.91-102.
- [Kung, 2008] Kung, Y.S. and Chen, C.S., 2008. FPGA-Realization of a Motion Control IC for Robot Manipulator. In *Robot Manipulators*. InTech.
- [Kwon, 2003] Kwon, S. and Chung, W.K., 2003. A discrete-time design and analysis of perturbation observer for motion control applications. *IEEE Transactions on control systems technology*, 11(3), pp.399-407.

- [LineStreme] [www.linestream.com](http://www.linestream.com)
- [Lyapunov, 1892] Lyapunov, A.M., 1892. The general problem of motion stability. *Annals of Mathematics Studies*, 17.
- [Madonski, 2012] Madonski, R. and Herman, P., 2012, November. Method of sensor noise attenuation in high-gain observers— Experimental verification on two laboratory systems. In *Robotic and Sensors Environments (ROSE), 2012 IEEE International Symposium on* (pp. 121-126). IEEE.
- [Madoński, 2015] Madoński, R. and Herman, P., 2015. Survey on methods of increasing the efficiency of extended state disturbance observers. *ISA transactions*, 56, pp.18-27.
- [Manjarres, 2013] Manjarres, D., Landa-Torres, I., Gil-Lopez, S., Del Ser, J., Bilbao, M.N., Salcedo-Sanz, S. and Geem, Z.W., 2013. A survey on applications of the harmony search algorithm. *Engineering Applications of Artificial Intelligence*, 26(8), pp.1818-1831.
- [Manojlović, 2016] Манојловић, С. Синтеза робусног управљања ласерског система праћења са квадрантном фотодиодом. Докторска дисертација, 2016. Војна академија, Универзитет одбране у Београду.
- [Martin, 2013] Martín, P., Bueno, E., Rodríguez, F.J., Machado, O. and Vuksanovic, B., 2013. An FPGA-based approach to the automatic generation of VHDL code for industrial control systems applications: A case study of MSOGIs implementation. *Mathematics and Computers in Simulation*, 91, pp.178-192.
- [Martinez, 2009] Martinez-Vazquez, D.L., Rodriguez-Angeles, A. and Sira-Ramirez, H., 2009, January. Robust GPI observer under noisy measurements. In *Electrical Engineering, Computing Science and Automatic Control, CCE, 2009 6th International Conference on* (pp. 1-5). IEEE.
- [Martinez, 2013] Martinez-Prado, M., Franco-Gasca, A., Herrera-Ruiz, G. and Soto-Dorantes, O., 2013. Multi-axis motion controller for robotic applications implemented on an FPGA. *International Journal of Advanced Manufacturing Technology*, 67.
- [Maxwell, 1868] Maxwell, J.C., 1867. On governors. *Proceedings of the Royal Society of London*, 16, pp.270-283.
- [Miklosovic, 2006] Miklosovic, R., Radke, A. and Gao, Z., 2006, June. Discrete implementation and generalization of the extended state observer. In *American Control Conference, 2006* (pp.

6-pp). IEEE.

- [Monmasson, 2007] Monmasson, E. and Cirstea, M.N., 2007. FPGA design methodology for industrial control systems—A review. *IEEE transactions on industrial electronics*, 54(4), pp.1824-1842.
- [Monmasson, 2011] Monmasson, E., Idkhajine, L., Cirstea, M.N., Bahri, I., Tisan, A. and Naouar, M.W., 2011. FPGAs in industrial control applications. *IEEE Transactions on Industrial Informatics*, 7(2), pp.224-243.
- [Nof, 2009] Nof, S.Y. ed., 2009. *Springer handbook of automation*. Springer Science & Business Media
- [Nyquist, 1932] Nyquist, H., 1932. Regeneration theory. *Bell Labs Technical Journal*, 11(1), pp.126-147.
- [Pan, 2013] Pan, W., Li, Y. and Xiao, H., 2013. Fuzzy Active Disturbance Rejection Electronic Governor for Marine Diesel Engine and Hardware-in-loop Simulation. *JOURNAL OF INFORMATION & COMPUTATIONAL SCIENCE*, 10(4), pp.1187-1194.
- [Pan, 2015] Pan, F., Liu, Q., Sun, L., Li, D. and Tan, W., 2015, July. A novel design of active disturbance rejection controller and its application in the Circulating Fluidized Bed Boiler combustion system. In *American Control Conference (ACC), 2015* (pp. 3950-3955). IEEE.
- [Przybyła, 2012] Przybyła, M., Kordasz, M., Madoński, R., Herman, P. and Sauer, P., 2012. Active Disturbance Rejection Control of a 2DOF manipulator with significant modeling uncertainty. *Bulletin of the Polish Academy of Sciences: Technical Sciences*, 60(3), pp.509-520.
- [Ramírez, 2015] Ramírez-Neria, M., Sira-Ramírez, H., Luviano-Juárez, A. and Rodríguez-Ángeles, A., 2015. Active disturbance rejection control applied to a delta parallel robot in trajectory tracking tasks. *Asian Journal of Control*, 17(2), pp.636-647.
- [Rapaic, 2013] Rapaic, M., Jelačić, Z. Projektovanje linearnih regulatora i estimatora u prostoru stanja, 2013.
- [Routh, 1877] Routh, E.J., 1877. *A treatise on the stability of a given state of motion: particularly steady motion*. Macmillan and Company.
- [Schrijver, 2002] Schrijver, E. and Van Dijk, J., 2002. Disturbance observers for rigid mechanical systems: equivalence, stability, and

- design. *TRANSACTIONS-AMERICAN SOCIETY OF MECHANICAL ENGINEERS JOURNAL OF DYNAMIC SYSTEMS MEASUREMENT AND CONTROL*, 124(4), pp.539-548.
- [Simić, 2013a] Симић, С. Пројектовање, имплементација и оцена перформанси компресионих радарских филтера на FPGA платформи, 2013, Докторска дисертација, Факултет техничких наука у Новом Саду, Универзитет у Новом Саду
- [Simić, 2013b] Simić, S., Andrić, M., Lekić, N., Zrnić, B. Laboratorijski model didaktičkog radara. *ETTRAN*, 2013, TE2.6, Zlatibor.
- [Skogestad, 2007] Skogestad, S. and Postlethwaite, I., 2007. *Multivariable feedback control: analysis and design* (Vol. 2, pp. 458-459). New York: Wiley.
- [Slacic, 2006] Salcic, Z., Cao, J. and Nguang, S.K., 2006. A floating-point FPGA-based self-tuning regulator. *IEEE Transactions on Industrial Electronics*, 53(2), pp.693-704.
- [Stanković, 2015] Stankovic, M., Manojlovic, S., Simic, S., Naumovic, M. An FPGA-Based Design of Antenna Subsystem Control Unit for Didactic Radar. *IC ETRAN*, 2015, AUI3.4, Srebrno jezero.
- [Stanković, 2016a] Stanković, M.R., Manojlović, S.M., Simić, S.M., Mitrović, S.T. and Naumović, M.B., 2016. FPGA system-level based design of multi-axis ADRC controller. *Mechatronics*, 40, pp.146-155.
- [Stanković, 2016b] Stankovic, M., Naumovic, M., Manojlovic, S. and Simic, S., 2016. Optimized pure hardware FPGA-based implementation of active disturbance rejection control. *Electrical Engineering*, pp.1-11.
- [Stanković, 2016c] Momir Stanković, Milica Naumović, Stojadin Manojlović, Srđan Mitrović, Goran Dikić. Analiza metode smanjenja uticaja šuma merenja kod upravljanja sa aktivnim potiskivanjem poremećaja", *INFOTEH*, 2016, Vol.15, SUP 1.3, Jahorina.
- [Stanković, 2016d] Stankovic, M., Manojlovic, S., Simic, S., Mitrovic, S. and Naumovic, M., 2016, October. FPGA-based system level design of control systems: A case study of three-axis positioning controller implementation. In *New Trends in Signal Processing (NTSP)* (pp. 1-7). IEEE.
- [Stojić, 1985] Stojić, M., "Kontinualni sistemi automatskog upravljanja", Naučna Knjiga, Beograd, 1985.
- [Sun, 2005] Sun, B. and Gao, Z., 2005. A DSP-based active disturbance

- rejection control design for a 1-kW H-bridge DC-DC power converter. *IEEE Transactions on Industrial Electronics*, 52(5), pp.1271-1277.
- [Sun, 2016] Sun, L., Li, D., Hu, K., Lee, K.Y. and Pan, F., 2016. On tuning and practical implementation of active disturbance rejection controller: a case study from a regenerative heater in a 1000 MW power plant. *Industrial & Engineering Chemistry Research*, 55(23), pp.6686-6695.
- [Thiele, 2009] Thiele, L., Miettinen, K., Korhonen, P.J. and Molina, J., 2009. A preference-based evolutionary algorithm for multi-objective optimization. *Evolutionary computation*, 17(3), pp.411-436.
- [Tian, 2007] Tian, G. and Gao, Z., 2007, October. Frequency response analysis of active disturbance rejection based control system. In *Control Applications, 2007. CCA 2007. IEEE International Conference on* (pp. 1595-1599). IEEE.
- [Tian, 2009a] Tian, G. and Gao, Z., 2009, June. From poncelet's invariance principle to active disturbance rejection. In *American Control Conference, 2009. ACC'09.*(pp. 2451-2457). IEEE.
- [Tian, 2009b] Tian, G. and Gao, Z., 2009, June. Benchmark tests of active disturbance rejection control on an industrial motion control platform. In *American Control Conference, 2009. ACC'09.* (pp. 5552-5557). IEEE.
- [Trelea, 2003] Trelea, I.C., 2003. The particle swarm optimization algorithm: convergence analysis and parameter selection. *Information processing letters*, 85(6), pp.317-325.
- [TrenzElectronic] [www.trenz-electronics.de](http://www.trenz-electronics.de)
- [Trimergier, 2007] Trimberg S., FPGA futures: Trends, challenges and roadmap, IEEE Int. Conf. On Field Programmable Logic.,2007.
- [Urosevic, 1996] Urošević, D., Končarević, V. Algoritmi u programskom jeziku C. 1996, Mikro knjiga.
- [Vladimirova, 1998] Vladimirova T, Tiggeler H . FPGA implementation of sine and cosine generators using the cordic algorithm. In: *Military and aerospace applications of programmable devices and technologies conference*; 1998. p. 28–30.
- [Wang, 2003] Wang, W. and Gao, Z., 2003, June. A comparison study of advanced state observer design techniques. In *American*

- Control Conference, 2003. Proceedings of the 2003* (Vol. 6, pp. 4754-4759). IEEE.
- [Wang, 2015] Wang, X., Kong, W., Zhang, D. and Shen, L., 2015, August. Active disturbance rejection controller for small fixed-wing uavs with model uncertainty. In *Information and Automation, 2015 IEEE International Conference on* (pp. 2299-2304). IEEE.
- [Xia, 2007] Xia, Y., Shi, P., Liu, G.P., Rees, D. and Han, J., 2007. Active disturbance rejection control for uncertain multivariable systems with time-delay. *IET Control Theory & Applications*, 1(1), pp.75-81.
- [Xia, 2014] Xia, Y., Dai, L., Fu, M., Li, C. and Wang, C., 2014. Application of active disturbance rejection control in tank gun control system. *Journal of the Franklin Institute*, 351(4), pp.2299-2314.
- [Xiong, 2011] Xiong, H., Yuan, R., Yi, J., Fan, G. and Jing, F., 2011, July. Disturbance Rejection in UAV's velocity and attitude control: Problems and solutions. In *Control Conference (CCC), 2011 30th Chinese* (pp. 6293-6298). IEEE.
- [Yoo, 2006] Yoo, D., Yau, S.S.T. and Gao, Z., 2006, October. On convergence of the linear extended state observer. In *Computer Aided Control System Design, 2006 IEEE International Conference on Control Applications, 2006 IEEE International Symposium on Intelligent Control, 2006 IEEE* (pp. 1645-1650). IEEE.
- [Yue, 2001] Yue, X., Vilathgamuwa, M., Tseng, K.J. and Nagarajan, N., 2001, September. Modeling and robust adaptive control of a 3-axis motion simulator. In *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE* (Vol. 1, pp. 553-560). IEEE.
- [Yue, 2005] Yue, X., Vilathgamuwa, D.M. and Tseng, K.J., 2005. Robust adaptive control of a three-axis motion simulator with state observers. *IEEE/ASME Transactions on mechatronics*, 10(4), pp.437-448.
- [Zhang, 2011] Zhang, Y., Jiao, L. and Liu, J., 2011, August. Optimization design of ADRC for oxygen content in flue gas based on chaos particle swarm optimization algorithm. In *Electronic and Mechanical Engineering and Information Technology (EMEIT), 2011 International Conference on* (Vol. 9, pp. 4832-4837). IEEE.
- [Zhang, 2014] Zhang, Y., Fan, C., Zhao, F., Ai, Z. and Gong, Z., 2014. Parameter tuning of ADRC and its application based on



CCCSA. *Nonlinear dynamics*, 76(2), pp.1185-1194.

- [Zhao, 2012] Zhao, S., Zheng, Q. and Gao, Z., 2012, July. On model-free accommodation of actuator nonlinearities. In *Intelligent Control and Automation (WCICA), 2012 10th World Congress on* (pp. 2897-2902). IEEE.
- [Zhao, 2013] Zhao, S., Usher, N., Morris, D. and Vincent, J., 2013, June. Fixed-point implementation of active disturbance rejection control for superconducting radio frequency cavities. In *American Control Conference (ACC), 2013* (pp. 2693-2698). IEEE.
- [Zhao, 2014] Zhao, S. and Gao, Z., 2014. Modified active disturbance rejection control for time-delay systems. *ISA transactions*, 53(4), pp.882-888.
- [Zheng, 2005] Zheng, Q. and Gao, Z., 2005. Motion control design optimization: Problem and solutions. *International Journal of Intelligent Control and Systems*, 10(4), pp.269-276.
- [Zheng, 2007] Zheng, Q., Gaol, L.Q. and Gao, Z., 2007, December. On stability analysis of active disturbance rejection control for nonlinear time-varying plants with unknown dynamics. In *Decision and Control, 2007 46th IEEE Conference on*(pp. 3501-3506). IEEE.
- [Zheng, 2008] Zheng, Q., Dong, L., Lee, D.H. and Gao, Z., 2008, June. Active disturbance rejection control for MEMS gyroscopes. In *American Control Conference, 2008* (pp. 4425-4430). IEEE.
- [Zheng, 2009] Zheng, Q., Chen, Z. and Gao, Z., 2009. A practical approach to disturbance decoupling control. *Control Engineering Practice*, 17(9), pp.1016-1025.

## Списак слика

Слика 2.1	Структурни блок дијаграм ADRC алгоритма.....	16
Слика 2.2	Канаонична форма система са моделом поремећаја .....	19
Слика 3.1	Канаонична форма система са моделом полиномијалног и простопериодичног поремећаја .....	24
Слика 3.2	Амплитудно-фреквенцијска карактеристика функције преноса $\tilde{e}_{obs3}(s)/f(s)$ .....	30
Слика 3.3	Амплитудно-фреквенцијска карактеристика функције преноса $\tilde{e}_{obs2}(s)/f(s)$ .....	30
Слика 3.4	Амплитудно-фреквенцијска карактеристика функције преноса $\tilde{e}_{obs1}(s)/f(s)$ .....	31
Слика 3.5	ADRC алгоритам у форми функција преноса .....	31
Слика 3.6	Амплитудно-фреквенцијске карактеристике функција потискивања спољашњег поремећаја и грешке праћења референтног сигнала за систем са процесом $G_{p1}(s)$ .....	36
Слика 3.7	Амплитудно-фреквенцијске карактеристике функција потискивања спољашњег поремећаја и грешке праћења референтног сигнала за систем са процесом $G_{p2}(s)$ .....	37
Слика 3.8	Амплитудно фреквенцијске карактеристике функција $G_{in}(s)$ .....	43
Слика 4.1	Одзиви RGESO <sub>0</sub> система на поремећај $D_0(s)$ , са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија).....	55
Слика 4.2	Одзиви RGESO <sub>0</sub> система на референтни сигнал $R_0(s)$ (црна испрекидана линија), са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија) .....	55
Слика 4.3	Одзиви RGESO <sub>1</sub> система на поремећај $D_1(s)$ , са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија).....	56

<b>Слика 4.4</b> Одзиви RGESO <sub>1</sub> система на референтни сигнал $R_1(s)$ (црна испрекидана линија), са конвенционално подешеним параметрима (плава линија) и оптимално подешеним параметрима (црвена линија) .....	56
<b>Слика 5.1</b> Структура FPGA чипа .....	61
<b>Слика 5.2</b> Поступак реализације управљачког система на FPGA хардверу применог алата за графичко пројектовање на системском нивоу.....	64
<b>Слика 5.3</b> Примери модификација структуре алгоритма .....	67
<b>Слика 6.1</b> Троосна платформа лабораторијског дидактичког радара .....	72
<b>Слика 6.2</b> Блок шема ADRC система за управљање кретањем троосне платформе.....	79
<b>Слика 6.3</b> TE0320 хардверска платформа са FPGA чипом XC3SD3400а .....	84
<b>Слика 6.4</b> а) А/Д конвертор $P_{modAD1}$ б) H-мостови $P_{modDHB1}$ .....	84
<b>Слика 6.5</b> Хардверски блок дијаграм система управљања троосном платформом .....	86
<b>Слика 6.6</b> XSG модел ADRC регулатора.....	88
<b>Слика 6.7</b> XSG модел а) подмодула за прорачун естимираног стања $\hat{x}_i(k)$ б) подмодула закона управљања $u_i(k)$ .....	89
<b>Слика 6.8</b> Симулационе карактеристике праћења референтног сигнала код система са Simulink и XSG модела регулатора за <b><i>trunct</i></b> мод квантизације, при различитим вредностима $WL_i$ .....	92
<b>Слика 6.9</b> Симулационе карактеристике праћења референтног сигнала код система са Simulink и XSG модела регулатора за <b><i>round</i></b> мод квантизације, при различитим вредностима $WL_i$ .....	92
<b>Слика 6.10</b> XSG модел модула за генерисање референци.....	95
<b>Слика 6.11</b> а) улазни сигнал CORDIC блока; б) излазни сигнали CORDIC блока.....	97
<b>Слика 6.12</b> XSG модел PWM модула .....	98
<b>Слика 6.13</b> XSG модел пројектованог система управљања.....	99
<b>Слика 6.14</b> Карактеристике управљања по оси азимута за различите симулационе сценарије .....	102
<b>Слика 6.15</b> Карактеристике управљања по оси елевације за различите симулационе сценарије .....	103
<b>Слика 6.16</b> Карактеристике управљања по оси поларизације за различите симулационе сценарије .....	104
<b>Слика 6.17</b> Перформансе праћења кружне трајекторије у равни азимут-елевација за различите симулационе сценарије.....	105

<b>Слика 6.18</b> Експериментално окружење .....	106
<b>Слика 6.19</b> Експерименталне и симулационе перформансе праћења референтне трајекторије по оси азимута.....	107
<b>Слика 6.20</b> Експерименталне и симулационе перформансе праћења референтне трајекторије по оси елевације .....	108
<b>Слика 6.21</b> Експерименталне и симулационе перформансе праћења референтне трајекторије по оси поларизације .....	108
<b>Слика 6.22</b> Експерименталне и симулационе перформансе праћења кружне трајекторије у равни азимут-елевација.....	109

## Списак табела

<b>Табела 3.1</b> Утицај вредности $k$ и $a$ на ширину фреквенцијског опсега у коме систем са $RGESO_0$ постиже боље перформансе у односу на $GESO_2$ , за процес $G_{p1}(s)$ .....	38
<b>Табела 3.2</b> Утицај избора вредности $k$ и $a$ на ширину фреквенцијског опсега у коме систем са $RGESO_1$ постиже боље перформансе у односу на $GESO_3$ , за процес $G_{p1}(s)$ .....	38
<b>Табела 3.3</b> Утицај избора вредности $k$ и $a$ на ширину фреквенцијског опсега у коме систем са $RGESO_0$ постиже боље перформансе у односу на $GESO_2$ , за процес $G_{p2}(s)$ .....	38
<b>Табела 3.4</b> Утицај избора вредности $k$ и $a$ на ширину фреквенцијског опсега у коме систем са $RGESO_1$ постиже боље перформансе у односу на $GESO_3$ , за процес $G_{p2}(s)$ .....	39
<b>Табела 3.5</b> Вредности индекса робусности $M_s$ за ADRC системе са процесом $G_{p1}(s)$ .	41
<b>Табела 3.6</b> Вредности индекса робусности $M_s$ за ADRC системе са процесом $G_{p2}(s)$ .	41
<b>Табела 3.7</b> Утицај избора параметра $k$ на вредност индекса $K_{un}$ .....	44
<b>Табела 4.1</b> Вредности оптимално подешених параметара $RGESO_0$ регулатора за системе са процесима $G_{p1}(s)$ и $G_{p2}(s)$ .....	54
<b>Табела 4.2</b> Вредности оптимално подешених параметара $RGESO_1$ регулатора за системе са процесима $G_{p1}(s)$ и $G_{p2}(s)$ .....	54
<b>Табела 5.1</b> Хардверски ресурси Xilinx-ових фамилија FPGA .....	62
<b>Табела 6.1</b> Вредности оптимално подешених параметара ADRC регулатора пројектованих за управљање троосном платформом дидактичког радара.....	80
<b>Табела 6.2</b> Појачања дискретних опсервера пројектованих ADRC регулатора.....	83
<b>Табела 6.3</b> Вредности IWL сигнала ADRC регулатора.....	91
<b>Табела 6.4</b> Преглед заузећа ресурса чипа XC3SD3400a за реализацију модула ADRC регулатора са различитим вредностима $WL_i$ и различитим модovima квантизације.....	94

<b>Табела 6.5</b> Преглед заузећа најкритичнијих ресурса FPGA чипа XC3SD3400а за имплементацију система управљања .....	101
---	-----

## Регистар скраћеница

<b>ADRC</b>	-	<i>Active Disturbance Rejection Control</i>
<b>ASIC</b>	-	<i>Application Specific Integrated Circuit</i>
<b>A/Д</b>	-	<i>Аналого/Дигитални</i>
<b>CLB</b>	-	<i>Configurable Logic Blocks</i>
<b>CORDIC</b>	-	<i>COordinate Rotation Digital Computer</i>
<b>CPLD</b>	-	<i>Complex Programmable Logic Device</i>
<b>DCM</b>	-	<i>Digital Clock Manager</i>
<b>DSP</b>	-	<i>Digital Signal Processing</i>
<b>ESO</b>	-	<i>Extended State Observer</i>
<b>FF</b>	-	<i>flip-flop</i>
<b>FPGA</b>	-	<i>Field Programmable Gate Array</i>
<b>FWL</b>	-	<i>Fractional Word Length</i>
<b>GESO</b>	-	<i>Generalized Extended State Observer</i>
<b>GPP</b>	-	<i>General Purposes Processor</i>
<b>HDL</b>	-	<i>Hardware Description Language</i>
<b>HGO</b>	-	<i>High Gain Observer</i>
<b>IAE</b>	-	<i>Integral of Absolute Error</i>
<b>IE</b>	-	<i>Integral of Error</i>
<b>IOB</b>	-	<i>Input/Output Block</i>
<b>IWL</b>	-	<i>Integer Word Length</i>
<b>LUT</b>	-	<i>Look Up Table</i>
<b>MAC</b>	-	<i>multiply-accumulate</i>
<b>MIMO</b>	-	<i>Multi-Input Multi-Output</i>
<b>MEMS</b>		<i>micro-electro-mechanical system</i>
<b>PLD</b>	-	<i>Programmable Logic Device</i>
<b>PAL</b>	-	<i>Programmable Array Logic</i>
<b>PLA</b>	-	<i>Programmable Logic Array</i>
<b>PWM</b>	-	<i>Pulse Width Modulation</i>
<b>RGESO</b>	-	<i>Resonant Generalized Extended State Observer</i>
<b>SMO</b>	-	<i>Sliding Mode Observer</i>

---

<b>TD</b>	-	<i>Tracking Differentiator</i>
<b>TTL</b>	-	<i>Transistor Transistor Logic</i>
<b>ПИД</b>	-	<i>Пропорционално Интегрално Диференцијални</i>
<b>VHDL</b>	-	<i>Very high speed integrated circuit Hardware Description Language</i>
<b>WL</b>	-	<i>Word Length</i>
<b>XSG</b>	-	<i>Xilinx System Generator</i>
<b>ZOH</b>	-	<i>Zero Order Hold</i>



## Биографија аутора

Момир Станковић је рођен 01.05.1985 године у Београду, где је завршио основну и средњу електротехничку школу. Студије на Војној акедмији, смер Техничка служба, специјалност Ракетни системи, је уписао 2004. године. Дипломски рад под називом "Анализа карактеристика позиционог сервосистема помоћу аквизиционе картице DT9812" је одбранио у августу 2009. године. Студије је завршио са просечном оценом 9,37 и проглашен је најбољим студентом батаљона логистике. Обављао је више различитих дужности у јединицама и установама Војске Србије и Министарства Одбране Републике Србије, а од новембра 2015. године ради као сарадник у Групи наставника за радарске системе Катедре Војноелектронског инжењерства Војне академије. У звање асистента је изабран у јулу 2016. године.

Докторске студије на Електронском факултету у Нишу, студијски програм Управљање системима, је уписао 2012. године. Успешно је положио све испите на студијском програму са просечном оценом 10,00. У склопу научноистраживачког рада објавио је 15 научних радова, од тога два у међународним часописима са SCI (*Science Citation Index*) листе. Домен научног интересовања Момира Станковића су пројектовање и реализација система аутоматског управљања.

Ожењен је супругом Јованом и има ћерку Дуњу.

**ИЗЈАВА О ИСТОВЕТНОСТИ ЕЛЕКТРОНСКОГ И ШТАМПАНОГ ОБЛИКА  
ДОКТОРСКЕ ДИСЕРТАЦИЈЕ**

Наслов дисертације:

**Пројектовање и реализација управљачких система са  
активним потискивањем поремећаја**

Изјављујем да је електронски облик моје докторске дисертације, коју сам предао за уношење у **Дигитални репозиторијум Универзитета у Нишу**, истоветан штампаном облику.

У Нишу, 22.09.2017. године

Потпис аутора дисертације:



(Момир Р. Станковић)

## ИЗЈАВА О АУТОРСТВУ

Изјављујем да је докторска дисертација, под насловом:

### **Пројектовање и реализација управљачких система са активним потискивањем поремећаја**

која је одбрањена на Електронском факултету Универзитета у Нишу:

- резултат сопственог истраживачког рада;
- да ову дисертацију, ни у целини, нити у деловима, нисам пријављивао на другим факултетима, нити универзитетима;
- да нисам повредио ауторска права, нити злоупотребио/ла интелектуалну својину других лица.

Дозвољавам да се објаве моји лични подаци, који су у вези са ауторством и добијањем академског звања доктора наука, као што су име и презиме, година и место рођења и датум одбране рада, и то у каталогу Библиотеке, Дигиталном репозиторијуму Универзитета у Нишу, као и у публикацијама Универзитета у Нишу.

У Нишу, 22.09.2017. године

Потпис аутора дисертације:



(Момир Р. Станковић)

## ИЗЈАВА О КОРИШЋЕЊУ

Овлашћујем Универзитетску библиотеку „Никола Тесла“ да у Дигитални репозиторијум Универзитета у Нишу унесе моју докторску дисертацију, под насловом:

### **Пројектовање и реализација управљачких система са активним потискивањем поремећаја**


Дисертацију са свим прилозима предао/ла сам у електронском облику, погодном за трајно архивирање.

Моју докторску дисертацију, унету у Дигитални репозиторијум Универзитета у Нишу, могу користити сви који поштују одредбе садржане у одабраном типу лиценце Креативне заједнице (Creative Commons), за коју сам се одлучио.

1. Ауторство (CC BY)
2. Ауторство – некомерцијално (CC BY-NC)
- 3. Ауторство – некомерцијално – без прераде (CC BY-NC-ND)**
4. Ауторство – некомерцијално – делити под истим условима (CC BY-NC-SA)
5. Ауторство – без прераде (CC BY-ND)
6. Ауторство – делити под истим условима (CC BY-SA)

У Нишу, 22.09.2017. године

Потпис аутора дисертације:

  
(Момир Р. Станковић)