



УНИВЕРЗИТЕТ У НИШУ,
ЕЛЕКТРОНСКИ ФАКУЛТЕТ У
НИШУ



Никола И. Митровић

**Моделовање промена напона прага
р-каналних VDMOS транзистора
снаге изазваних различитим
типовима напрезања**

ДОКТОРСКА ДИСЕРТАЦИЈА

Ниш, 2025.



UNIVERSITY OF NIŠ,
FACULTY OF ELECTRONIC
ENGINEERING



Nikola I. Mitrović

**Modelling of threshold voltage shift of
p-channel power VDMOS transistors
induced with different types of
stressing**

DOCTORAL DISSERTATION

Niš, 2025.

Подаци о докторској дисертацији

- Ментор: др Данијел Данковић, редовни професор,
Универзитет у Нишу, Електронски факултет у Нишу
- Наслов: Моделовање промена напона прага р-каналних VDMOS транзистора снаге изазваних различитим типовима напрезања
- Резиме: У овој дисертацији је приказана анализа и развој модела промене напона прага р-каналних VDMOS транзистора снаге, настале под утицајем различитих типова напрезања. Типови напрезања обухватају статичко напонско температурно напрезање, импулсно напонско температурно напрезање, утицај зрачења и утицај магнетног поља. За сваки од типова напрезања приказано је неколико еквивалентних електричних кола за моделовање промена напона прага при различитим експерименталним условима. Вредности елемената кола за моделовање повезани су са експерименталним условима преко одговарајућих математичких релација које су детаљно објашњене. Потврда моделовања еквивалентним колима вршена је израчунавањем апсолутне и релативне грешке модела у односу на експерименталне резултате. Анализа у одређеним деловима обухвата и примену предложених модела на друге типове р-каналних транзистора. Развијеним еквивалентним електричним колима омогућено је одређивање вредности напона прага током рада при различитим експерименталним условима, па је могуће једноставно одредити и време поузданог рада компоненте. Анализа и закључци засновани су на експерименталним мерењима, аутоматизованим *Python* скриптама за обраду података, нумеричким симулацијама и резултатима симулација помоћу софтвера *LTspice*.
- Научна област: Електротехничко и рачунарско инжењерство
- Научна дисциплина: Микроелектроника и микросистеми

Кључне речи: моделовање, напон прага, VDMOSFET, еквивалентно ко-
ло, симулација

UDK: (621.382.3Љ621.3.049.77):004.414.23

CERIF класификација: T171 Микроелектроника

Тип лиценце креативне заједнице: CC BY-NC-ND

Data on Doctoral Dissertation

Doctoral Supervisor: PhD Danijel Danković
University of Niš, Faculty of Electronic Engineering

Title: Modelling of threshold voltage shift of p-channel power VDMOS transistors induced with different types of stressing

Abstract: In this dissertation, the analysis and development of the model of the threshold voltage shift of p-channel power VDMOS transistors induced with different types of stressing is presented. Types of stresses include static negative bias temperature stressing, pulsed negative bias temperature stressing, irradiation and magnetic field. For each type of stressing, under different experiment conditions, several equivalent electrical circuits for modelling of threshold voltage shift are presented. Values of the elements of the electrical circuits are related to the experimental conditions through in detail explained mathematical relations. Validation of the equivalent circuit models is performed through calculation of absolute and relative error between experimental and modelled results. The analysis in certain parts also includes the application of the proposed models to other types of p-channel transistors. The developed models will enable the assessment of the value of the threshold voltage during operation, thereby enabling prediction of device lifetime. Analysis and conclusions are based on experimental measurements, automated data processing *Python* scripts, numerical simulations and simulation results using the *LTspice* software.

Scientific Field: Electrical and Computer Engineering

Scientific Discipline: Microelectronics and Microsystems

Keywords: modelling, threshold voltage, VDMOSFET, equivalent circuit, simulation

UDC: (621.382.3+621.3.049.77):004.414.23

CERIF Classification: T171 Microelectronics

Creative Commons License Type: CC BY-NC-ND

Захвалница

Због вишегодишњег студирања, истраживања, одрађивања експеримената, дискусија, писања и преправљања, докторске дисертације би требало да садрже више од једне стране за захвалност. Ова дисертација настала је свакодневним доприносом јако великог броја људи, свакога у свом правцу, где би набрајање свих тих доприноса захтевало додатни простор.

Ипак, незамењив допринос, као и најширу захвалност за израду ове дисертације, дугујем свом ментору, професору Електронског факултета, доктору Данијелу Данковићу, на вишегодишњој подршци, стручном усмеравању и неуморном подстицању. Његов огроман труд и залагање, као и велико разумевање, имају пресудан значај и додатни мотив за израду ове докторске дисертације.

Значајну захвалност дугујем и проф. др Зорану Пријићу, на указаној помоћи приликом техничке обраде низа различитих докумената, закључно са овом докторском дисертацијом.

Незаобилазну захвалност дугујем и проф. др Горану Ристићу за укључење у пројекат ELICSIR, омогућавање професионалног усавршавања у Гранади, у Шпанији, као и проф. др Мигелу Анхелу Карвахалу са којим сам тамо радио. Рад на пројекту ELICSIR допринео је великом броју резултата који су саставни део ове дисертације.

Велику захвалност дугујем и колегама са Катедре за микроелектронику, поготово подмлатку, са којима сам делио велики број истраживања, мерења, дискусија и писања. Овом приликом захваљујем се, пре свега, колегиници маг. инж. Сандри Вељковић на разумевању, истрајности и подршци. Такође, захваљујем се колеги доц. др Милошу Марјановићу и проф. др Емилији Живановић за подршку као и за немерљиву помоћ у истраживачком раду и дискусијама. Захваљујем се и доц. др Војкану Давидовићу на драгоценим дискусијама и анализама.

Напоследку, али никако најмање, штавише, поприлично важно, јако велику захвалност дугујем својој породици и пријатељима, на вишедеценијској духовној, моралној и финансијској подршци у студирању, као и на великим одрицањима, огромном поверењу и на правременом разумевању.

Хвала!

Садржај

Списак слика	10
Списак табела	16
Списак ознака, величина и скраћеница	17
1 Увод	20
1.1 Нестабилности услед напонско температурног напрезања	21
1.2 Типови моделовања параметара електронских компонената	23
1.3 Развој изучавања NBTI ефеката	24
1.4 Преглед литературе	26
2 Моделовање промене напона прага настале под утицајем статичког NBT напрезања	31
2.1 Експериментална поставка и мерење резултата	31
2.1.1 Експериментални узорци	32
2.1.2 Поступак мерења струјно-напонских карактеристика	34
2.1.3 Одређивање напона прага	38
2.2 Моделовање промене напона прага	39
2.2.1 <i>Stretch Exponential</i> модел	40
2.3 Приступ моделовању промене напона прага	42
2.4 Резултати моделовања промене напона прага	47
3 Моделовање промене напона прага настале под утицајем импулсног NBT напрезања	52
3.1 Експериментална поставка	53
3.1.1 Реверзибилна компонента деградације промене напона прага	59
3.2 Приступ моделовању промене напона прага	60
3.2.1 Еквивалентно електрично коло	60
3.2.2 Резултати моделовања промене напона прага	66
3.2.3 Прорачун елемената еквивалентног електричног кола коришћењем Лагранжове теореме	70
3.3 Приступ моделовању коришћењем отпорника променљиве отпорности	75
3.4 Примена модела на анализу промене напона прага р-каналних VDMOS транзистора снаге у реалним условима рада	81

4	Моделовање промене напона прага под утицајем зрачења	87
4.1	Експериментална поставка	88
4.2	Приступ моделовању промене напона прага	90
4.2.1	Промена напона прага услед зрачења	90
4.2.2	Утицај озрачивања на касније NBT напрезање	91
4.2.3	Еквивалентна електрична кола	92
4.2.4	Резултати моделовања промене напона прага	97
4.3	Поређење ефеката уочених код VDMOS транзистора са ефектима уоченим код других компонената	99
4.3.1	Температурна компензација	102
4.3.2	Експериментални узорци	103
4.3.3	Експериментална поставка	104
4.3.4	Одређивање напона прага	106
4.3.5	Анализа резултата	112
4.3.6	Приступ моделовању промене напона прага приликом термичког оджаривања	116
4.3.7	Практична примена у дозиметрији	120
5	Моделовање промене напона прага изазване утицајем магнетног поља	122
5.1	Експериментална поставка	122
5.1.1	Генерисање магнетног поља	123
5.2	Приступ моделовању промене напона прага еквивалентним електричним колом	128
5.3	Утицај магнетног поља у практичним применама	129
5.4	Моделовање промене напона прага изазване истовременим дејством различитих типова напрезања	134
6	Закључак	137
	Литература	140
	Биографија аутора	158
	Списак објављених научних радова	159

Списак слика

1.1	Број радова са импакт фактором на тему NBTI ефеката кроз године двадесет првог века, закључно са 2023. годином	25
2.1	а) Комерцијални узорак IRF9520 у ТО-220 кућишту; б) Илустрација попречног пресека две полућелије р-каналног VDMOS транзистора снаге.	33
2.2	Илустрација дела шестоугаоне ћелијске структуре р-каналног транзистора снаге која омогућава високу струју дрејна.	33
2.3	а) Напајање искоришћено за напонско напрезање Agilent 6645А; б) Шема напонско температурног напрезања.	35
2.4	а) <i>Source Measure Unit</i> B2901А искоришћен за мерење преносних карактеристика; б) Повезивање SMU са узорком приликом мерења струјно-напонских карактеристика.	35
2.5	Интерфејс апликације која се користи за мерење струјно-напонских карактеристика преко SMU са подешавањима граничних вредности за мерење.	36
2.6	Резултат мерења преносне струјно-напонске карактеристике у опсегу постављеном подешавањима граничних вредности.	36
2.7	Преносне карактеристике у различитим фазама статичког NBT напрезања ($T = 175^\circ\text{C}$ и $V_G = -50\text{ V}$).	37
2.8	Пертинакс плоча са три DIP14 кућишта која омогућава истовремено напрезање 12 узорака и садржи две везе за повезивање са опремом за напрезање: а) Горња страна; б) Доња страна.	37
2.9	Промена напона прага изазвана NBT напрезањем р-каналних VDMOS транзистора снаге IRF9520 при означеним напонима и температурама напрезања.	39
2.10	Фазна расподела промене напона прага у времену (раст различитим вредностима експонената).	42
2.11	Прорачун вредности параметра n током прве и почетка друге фазе експеримента.	43
2.12	Основно еквивалентно електрично коло за моделовање промене ΔV_T током NBT напрезања.	45
2.13	Проширено еквивалентно електрично коло за моделовање NBT напрезања: а) Остварено паралелном везом отпорника; б) Остварено редном везом отпорника.	46
2.14	Резултати моделовања за напон напрезања $V_G = -45\text{ V}$ на температурама $T = 150^\circ\text{C}$ и $T = 175^\circ\text{C}$: а) Коришћењем основног еквивалентног електричног кола; б) Коришћењем проширеног еквивалентног електричног кола.	49

2.15	Апсолутна грешка приликом моделовања основним и проширеним еквивалентним колом за напон напрезања $V_G = -45\text{ V}$: а) На $T = 150^\circ\text{C}$; б) На $T = 175^\circ\text{C}$	49
2.16	Релативна грешка приликом моделовања основним и проширеним еквивалентним колом за напон напрезања $V_G = -45\text{ V}$: а) На $T = 150^\circ\text{C}$; б) На $T = 175^\circ\text{C}$	49
3.1	Електрична шема експерименталне поставке помоћу које може да врши и импулсно и статичко убрзано напонско температурно напрезање.	54
3.2	Експериментална поставка у лабораторији: 1) <i>Source Measure Unit</i> B2901A са контролишућим лаптопом; 2) Сигнал генератор Agilent 33521A; 3) Узорак који се мери; 4) Напајање Agilent 6645A заједно са транзистором T_{SW} и хладњаком; 5) Температурна комора.	55
3.3	Пертинакс плоча са два DIP14 кућишта која омогућава истовремено статичко напрезање 4 узорка и импулсно напрезање 4 узорка и садржи три везе за повезивање са опремом за напрезање: а) Горња страна; б) Доња страна.	56
3.4	Преносне $I-V$ карактеристике мерене пре и након 24 сата статичког односно импулсног NBT напрезања ($V_G = -50\text{ V}$, $T = 175^\circ\text{C}$, и за импулсно $f = 10\text{ kHz}$ и $\text{DTC} = 50\%$).	57
3.5	Промена напона прага изазвана статичким и импулсним ($f = 10\text{ kHz}$) NBT напрезањем са различитим факторима испуне при: а) $V_G = -45\text{ V}$ и $T = 150^\circ\text{C}$; б) $V_G = -45\text{ V}$ и $T = 175^\circ\text{C}$; в) $V_G = -50\text{ V}$ и $T = 175^\circ\text{C}$	58
3.6	Илустрације импулса примењених за импулсна NBT напрезања у две описане групе експеримената.	59
3.7	Облик једног периода сигнала за напрезање током импулсног NBT напрезања напрезања ($f = 10\text{ kHz}$, $\text{DTC} = 50\%$) и њиме настала промена напона прага.	61
3.8	Еквивалентно електрично коло за моделовање импулсног NBT напрезања.	62
3.9	Илустрација активних делова еквивалентног електричног кола за моделовање импулсног NBT напрезања током трајања једног импулса: а) Пуњење кондензатора; б) Пражњење кондензатора; в) Задржавање напона на кондензатору.	63
3.10	Вредност параметра n током статичког и импулсног NBT напрезања.	65
3.11	Резултати моделовања промене напона прага током импулсног NBT напрезања група узорака Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.	67
3.12	Апсолутна грешка моделовања промене напона прага током импулсног NBT напрезања група узорака Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.	67
3.13	Релативна грешка моделовања промене напона прага током импулсног NBT напрезања група узорака Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.	67
3.14	Резултати моделовања промене напона прага током импулсног NBT напрезања група узорака Г10 и Г15: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.	69

3.15	Апсолутна грешка моделовања промене напона прага током импулсног NBT напрезања група узорака Г10 и Г15: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.	69
3.16	Релативна грешка моделовања промене напона прага током импулсног NBT напрезања група узорака Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.	69
3.17	Графичка илустрација промене прираштаја ΔV_T по времену при импулсном NBT напрезању.	71
3.18	Графичка илустрација одређивања тачке у којој прираштај ΔV_T по импулсу има средњу вредност за цео интервал (V_{T0}).	72
3.19	Анализа одмерка промене ΔV_T при импулсу који има средњу вредност за цео развој промене напона прага.	72
3.20	Поређење експерименталних и моделованих резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520.	74
3.21	Апсолутна грешка приликом моделовања резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520.	74
3.22	Релативна грешка приликом моделовања резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520.	74
3.23	Еквивалентно електрично коло за моделовање импулсног NBT напрезања са JFET-ом и означеном омском облашћу.	76
3.24	Илустрација активних делова еквивалентног електричног кола са JFET компонентом за моделовање импулсног NBT напрезања током трајања једног импулса: а) Пуњење кондензатора; б) Пажњење кондензатора; в) Задржавање напона на кондензатору.	77
3.25	Еквивалентно електрично коло коришћењем JFETа у <i>LTspice</i> симулатору.	78
3.26	Различити облици промене напона на кондензатору којим се моделује прираштај ΔV_T током различитих фаза импулсног NBT напрезања.	79
3.27	Резултати моделовања ΔV_T током статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520 коришћењем кола са слике 3.25.	80
3.28	Апсолутна грешка при моделовању резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520 коришћењем кола са слике 3.25.	80
3.29	Релативна грешка при моделовању резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520 коришћењем кола са слике 3.25.	80
3.30	Пример елементарног кола за контролу DC мотора коришћењем р-каналног транзистора.	82
3.31	Облици сигнала за импулсно напрезање и одговарајуће индуктивно оптерећење: а) Статичко напрезање; б) Импулсно напрезање ($f = 10 \text{ kHz}$); в) Импулсно напрезање ($f = 1 \text{ Hz}$); г) Мешовито импулсно напрезање ($0,5 \text{ s}$ импулсно напрезање ($f = 10 \text{ kHz}$), $0,5 \text{ s}$ неактивно стање).	82
3.32	Илустрација утицаја промене напона прага на облик сигнала који долази до мотора, односно индуктивног оптерећења услед NBT напрезања.	83
3.33	Промена напона прага током трајања експеримента за четири карактеристична импулсна сигнала на узорцима IRF9520.	84

3.34	Резултати моделовања ΔV_T током NBT напрезања сигнаlima в) и г) са слике 3.31: а) Коришћењем приступа из 3.2.3; б) Коришћењем приступа из 3.3.	85
3.35	Апсолутна грешка моделовања ΔV_T током NBT напрезања сигнаlima в) и г) са слике 3.31: а) Коришћењем приступа из 3.2.3; б) Коришћењем приступа из 3.3.	85
3.36	Релативна грешка моделовања ΔV_T током NBT напрезања сигнаlima в) и г) са слике 3.31: а) Коришћењем приступа из 3.2.3; б) Коришћењем приступа из 3.3.	85
4.1	Окружење за гама зрачење у просторијама лабораторије Института нуклеарних наука „Винча“, у Београду.	88
4.2	Промена напона прага озрачених и неозрачених узорака током импулсног NBT напрезања напрезаних сигналом б) и г) са слике 3.31 ($T = 175^\circ\text{C}$, $V_G = -50\text{ V}$).	89
4.3	Коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге коришћењем основног кола за пуњење кондензатора, уз пратеће илустрације.	92
4.4	Проширено коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване зрачењем.	93
4.5	Коло за моделовање промене напона прага током NBT напрезања након озрачивања.	94
4.6	Примена метода суперпозиције на еквивалентно електрично коло приказано на слици 4.5 за случај када је прекидач S_1 затворен: а) V_{ANN} представљен кратким спојем; б) V_S представљен кратким спојем.	96
4.7	Резултати моделовања промене напона прага изазване импулсним NBT напрезањем након озрачивања за сигнал 3.31 г).	98
4.8	Апсолутна грешка приликом моделовања промене напона прага изазване импулсним NBT напрезањем након озрачивања за сигнал 3.31 г).	98
4.9	Релативна грешка приликом моделовања промене напона прага изазване импулсним NBT напрезањем након озрачивања за сигнал 3.31 г).	98
4.10	а) Шема кола CD4007 која приказује шест MOS транзистора, три р-канална (T_1 , T_2 и T_3) и три п-канална (T_4 , T_5 и T_6), као и пинова кола на које су повезани њихови изводи; б) Интегрисано коло CD4007 у кућишту DIP-14.	100
4.11	а) Илустрација попречног пресека код CMOS кола CD4007; б) Илустрација попречног пресека две полућелије р-каналног VDMOS транзистора.	101
4.12	а) Диода у структури р-каналног MOS транзистора који је део интегрисаног кола CD4007; б) Диода у структури р-каналног VDMOS транзистора.	101
4.13	Илустрација мерења у MOSFET области и у диодној области.	102
4.14	Пројектоване штампане плоче са узорцима.	104
4.15	Коришћена опрема у овом експерименту: а) Клима комора VCL4006 (1) и полупроводнички анализатор B1500 са <i>test fixture</i> наставком (2); б) Линеарни акцелератор (LINAC) <i>Siemens Artiste</i> и позиција узорака током зрачења.	105
4.16	Илустрација облика карактеристике струје дрејна добијене мерењем.	107
4.17	Илустрација карактеристике квадратног корена струје дрејна добијене на основу измерених резултата.	108

4.18	Тачка највећег нагиба односно стрмине и део криве који подлеже линеарној регресији.	109
4.19	Екстраполација на x -осу и одређивање вредности напона прага.	109
4.20	Алгоритам рада скрипте заједно са одговарајућим <i>Python</i> модулима искоришћеним у одговарајућим корацима.	110
4.21	Примена скрипте коришћењем софтверског алата <i>Spyder</i> , са приказаним излазним мониторима за приказ резултата.	111
4.22	Пример реалног случаја приликом мерења: а) Очигледна грешка приликом мерења; б) Облик кривих са којим пројектована скрипта наставља прорачун и заобилази грешку.	112
4.23	Преносне карактеристике у MOSFET и диодној области MOS транзистора из групе узорака Г5 током различитих фаза експеримента.	113
4.24	Термалне карактеристике група узорака са одговарајућим параметрима за фитовање (a, b, c и d у табели 4.5) и коефицијентима детерминације (R^2): а) Г1; б) Г3.	113
4.25	Термалне карактеристике група узорака са одговарајућим параметрима за фитовање (a, b, c и d у табели 4.5) и коефицијентима детерминације (R^2): а) Г5; б) Г7.	113
4.26	Температурно компензоване вредности промене напона прага узорака на повишеној температури (168 h).	115
4.27	Промена напона прага узорака задржаних на собној температури (168 h).	115
4.28	Елементарно еквивалентно електрично коло за моделовање промене напона прага током термичког оджаривања.	117
4.29	Проширено еквивалентно електрично коло за моделовање промене напона прага током термичког оджаривања.	117
4.30	Резултати моделовања промене напона прага изазване термичким оджаривањем након озрачивања код узорака Г1 и Г5.	119
4.31	Апсолутна грешка приликом моделовања промене напона прага изазване термичким оджаривањем након озрачивања код узорака Г1 и Г5.	119
4.32	Релативна грешка приликом моделовања промене напона прага изазване термичким оджаривањем након озрачивања код узорака Г1 и Г5.	119
4.33	Илустрација примера примене p -каналних MOS транзистора у дозиметрији.	120
5.1	Илустрације генерисања униформног магнетног поља коришћењем магнета: а) Линије магнетног поља; б) Зависност јачине поља од позиције код два блиска магнета.	123
5.2	Пројектовање и израда штампане плоче за потребе експеримента: а) Распоред компонената и веза на плочи; б) 3Д модел штампане плоче; в) Израђена штампана плоча; г) Израђена штампана плоча са залемљеним конекторима.	124
5.3	Оријентације деловања магнетног поља на узорке у кућишту ТО-220.	124
5.4	Позиција узорка IRF9520 и магнета на пројектованој штампаној плочи за оријентацију z магнетног поља: а) Г1 z ; б) Г2 z (са одстојницима).	125
5.5	Позиција узорка IRF9520 и магнета на пројектованој штампаној плочи за оријентацију x магнетног поља: а) Г1 x ; б) Г2 x (са одстојницима).	125
5.6	Преносне карактеристике групе узорака Г1 z пре, након 18 h и након 168 h изложености магнетном пољу, мерене у магнетном пољу.	126

5.7	Апсолутне вредности напона прага р-каналних VDMOS транзистора снаге IRF9520 при изложености магнетном пољу оријентације z : а) Мерене ван магнетног поља; б) Мерене у магнетном пољу.	127
5.8	Апсолутне вредности напона прага р-каналних VDMOS транзистора снаге IRF9520 при изложености магнетном пољу оријентације x : а) Мерене ван магнетног поља; б) Мерене у магнетном пољу.	127
5.9	Еквивалентно електрично коло за моделовање промене вредности напона прага р-каналних VDMOS транзистора снаге приликом изложености магнетном пољу описаних оријентација.	128
5.10	Илустрација Хелмхолцових калемова са означеним величинама које се разматрају при прорачуну вредности магнетне индукције у тачки M . . .	130
5.11	Елементи за реализацију Хелмхолцових калемова: а) Изглед једног од калемских тела са бочне стране; б) Изглед два калемска тела на међусобном растојању од 5 cm; в) Склопљен систем са намотаном жицом.	131
5.12	Тестирање и додатна калибрација реализованог система: 1) Извор напајања Gwinstek PSP-2010; 2) Активно оптерећење RIGOL DL3021A; 3) Осцилоскоп RIGOL DS1102Z; 4) Хелмхолцови калемови; 5) Комерцијални магнетометар BMM150 искоришћен за додатну калибрацију генерисаног магнетног поља.	132
5.13	а) Позиционирање узорка у центар Хелмхолцових калемова; б) Илустрација деловања линија магнетног поља.	133
5.14	Апсолутне вредности напона прага р-каналног VDMOS транзистора снаге IRF9520 при изложености магнетном пољу оријентације x вредности магнетне индукције $B = 150 \mu\text{T}$	133
5.15	Еквивалентно електрично коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване различитим типовима напрезања.	134
5.16	Илустрација слоја улазних параметара, скривених слојева где се примењује алгоритам за машинско учење и излазни слој, где је једини излазни параметар промена напона прага.	136

Списак табела

2.1	Вредности V_S за различите услове напрезања одређене SE моделом. . . .	41
2.2	Израчунате вредности параметара A и B за различите услове NBT напрезања.	45
2.3	Вредности параметара $A_1 - A_3$, $B_1 - B_3$ и отпорности $R_1 - R_3$ за различите услове напрезања	48
3.1	Експериментални услови NBT напрезања р-каналних VDMOSFET транзистора IRF9520	56
3.2	Вредности ΔV_{Tmax} добијене SE моделом за испитиване групе узорака ($\Gamma 1 - \Gamma 15$)	64
3.3	Вредности отпорности отпорника R_C и R_D и капацитивности кондензатора C (R_{D1} за $\Gamma 8$ и $\Gamma 13$, R_{D2} за $\Gamma 10$ и $\Gamma 15$ и R_{D3} за $\Gamma 5$).	66
3.4	Вредности карактеристичних елемената кола за моделовање.	73
3.5	Вредности прираштаја промена напона прага по карактеристичним импулсима током импулсног NBT напрезања	73
4.1	Вредности параметара еквивалентних кола са слика 4.3 и 4.4.	94
4.2	Вредности параметара еквивалентних кола са слике 4.5.	97
4.3	Групе и параметри тестираних узорака.	104
4.4	Ток експеримента за различите групе узорака	106
4.5	Израчунати термални параметри	114
4.6	Еволуција $ V_T $ кроз различите фазе експеримента мереног на собној температури ($T = 25^\circ\text{C}$)	116
5.1	Услови експеримента за групе тестираних узорака на собној температури ($T = 25^\circ\text{C}$)	124

Списак ознака, величина и скраћеница

MOS	<i>Metal Oxide Semiconductor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
CMOS	<i>Complementary MOS</i>
VMOS	<i>Vertical MOS</i>
DMOS	<i>Double-diffused MOS</i>
HEXFET	<i>Hexagonal MOSFET</i>
VDMOS	<i>Vertical Double-Diffused Metal Oxide Semiconductor</i>
VDMOSFET	<i>Vertical Double-Diffused Metal Oxide Semiconductor Field Effect Transistor</i>
NBTI	<i>Negative Bias Temperature Instabilities</i>
HCI	<i>Hot Carrier Injection</i>
SHE	<i>Self-Heating Effects</i>
TID	<i>Total Absorbed Dose</i>
g_m	Транскондуктанса
I_D	Струја дрејна
I_{Dsat}	Апсолутна струја дрејна
V_T	Напон прага
ΔV_T	Промена напона прага
t_{ox}	Дебљина оксида
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
PBTI	<i>Positive Bias Temperature Instabilities</i>
TCAD	<i>Technology Computer Aided Design</i>
FinFET	<i>Fin Field Effect Transistor</i>
VLSI	<i>Very Large Scale of Integration</i>
SRAM	<i>Static Random Access Memory</i>
V_{T0}	Почетна вредност напона прага
V_{GS}	Напон између гејта и сорса

NBT	<i>Negative Bias Temperature</i>
V_G	Напон на гејту
SMU	<i>Source Measure Unit</i>
DIP	<i>Dual In-line Packaging</i>
V_C	Напон на кондензатору
V_S	Напон до кога се пуни кондензатор
C	Капацитивност кондензатора
R	Отпорност отпорника
τ	Временска константа
SE	<i>Stretch Exponential</i>
β	Ширина расподеле SE модела
τ_0	Временска константа расподеле SE модела
ΔV_{Tmax}	Вредност засићења промене напона прага
n	Параметар који описује промену NBTI ефеката у времену
LSM	<i>Least Square Method</i>
y	Експериментално измерена величина
y^*	Функција моделовања методом најмањих квадрата
ϵ	Грешка LSM коју треба минимизовати
R^2	Коефицијент детерминације
E_{abs}	Апсолутна грешка приликом моделовања
δ_{V_T}	Релативна грешка приликом моделовања
$R_{DS(on)}$	Отпорност укључења
DTC	Фактор испуне
t_{on}	Интервал током периоде током кога је транзистор у активном стању
t_{off}	Интервал током периоде током кога транзистор није у активном стању
SMS	<i>Stress Measure Stress</i>
ΔV_{Timp}	Промена напона при појединачном импулсу
ΔV_{Tchar}	Промена напона на кондензатору приликом пуњења
ΔV_{Tdis}	Промена напона на кондензатору приликом пражењења
JFET	<i>Junction Field Effect Transistor</i>
SOA	<i>Safe Operating Area</i>
V_L	Напон на индуктивном оптерећењу
RADFET	<i>Radiation Sensitive Field Effect Transistor</i>
TA	<i>Turn-around effect</i>

RF	<i>Radio Frequency</i>
I_S	Инверзна струја засићења
V_D	Напон вођења диоде
U_T	Термички напон
α_{V_T}	Параметар температурног дрефта вредности напона прага
α_{V_D}	Параметар температурног дрефта вредности напона вођења
MCU	<i>Microcontroller Unit</i>
B	Магнетна индукција
μ_0	Магнетна пермеабилност средине
N	Број намотаја жице на калемском телу
ANN	<i>Artificial Neural Networks</i>
ML	<i>Machine Learning</i>
SVM	<i>Support Vector Machines</i>
k-NN	<i>k-Nearest Neighbors</i>
AI	<i>Artificial Intelligence</i>

Поглавље 1

Увод

Од како је 1959. године први пут реализован MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) у просторијама компаније *Bell Labs* у Њу Џерсију, направљен је темељ из кога је проистекао масовни развој електронике у другој половини двадесетог века [1]. Два америчка научника, египатског и корејског порекла, Мохамед М. Атала и Давон Кахнг, дугогодишњи радници *Bell* лабораторије, реализовали су електронску компоненту која је првобитно била доста спорија него већ постојећи и актуелни биполарни транзистори, али за разлику од биполарног транзистора, код кога је све време неопходна релативно велика струја базе да би компоненту одржала у проводном стању, струја у улазном колу MOS транзистора (струја гејта) тече само приликом промене стања. Ово достигнуће није моментално препознато и није добило одговарајућу пажњу, али је у годинама које следе полако прво кренуло са серијском производњом, а онда су почетком седамдесетих MOS транзистори освојили тржиште. Деценијама касније, CMOS (*Complementary MOS*) технологија је постала доминантна светска технологија и данас представља основу технолошког развоја [1, 2].

Први тип MOS транзистора развијен је са латералним, односно хоризонталним каналом који у хоризонталној равни спаја дрејн и сорс. Развитком компоненте, развијани су и MOS транзистори који имају одређене модификације у односу на првобитну структуру. Тако су развијени VMOS (*Vertical MOSFET*), DMOS (*Double-Diffused MOSFET*), HEXFET (*Hexagonal MOSFET*) и многи други типови. Крајем осамдесетих година развијен је и VDMOSFET (*Vertical Double Diffused Metal Oxide Semiconductor Field Effect Transistor*). Овај тип компоненте развијан је претежно са циљем да буде компонента снаге, са већом дебљином оксида и са могућношћу рада са вишим вредностима напона и струја [3].

Масовна серијска производња компонената, поред нагласка на развој и примену компоненте, захтевала је посвећивање посебне пажње и исправности односно поузданости компонената [4–6]. Ширење спектра примена свих компонената, па и VDMOS транзистора међу њима, довело је до тога да се ове компоненте користе при различитим условима и у различитим срединама (од екстремно ниских до екстремно високих температура, у присуству различитих врста зрачења, магнетног поља и слично). Са становишта примене отворен је низ тема за истраживање везан за теорију отказа компоненте, период поузданог рада и критичне радне услове. Самим тим, било је потребно реструктурирати и поновно утврдити процес развоја компоненте, као и начин примене, ради евентуалних промена које би у одређеном скупу радних услова дале оптималне резултате.

Истраживање и развој електронске компоненте пролази кроз неколико фаза: фаза дефиниције и дизајна, фазе технолошких процеса и фаза паковања и енкапсулације.

Фаза која долази на крају развоја је тестирање компоненте и анализа поузданости компоненте. Поузданост се може испитивати на више начина и у зависности од различитих услова. Поуздани рад компоненте је дефинисан као рад у оквиру постављених опсега параметара, при одређеним условима за одређени период времена [6, 7]. Приликом рада компоненте при одређеним условима, параметри се могу мењати у неком одређеном опсегу. Док је параметар у оквиру предвиђеног опсега, сматра се да компонента функционише поуздано. Онога тренутка када, под утицајем неких спољашњих услова или дуге изложености одређеним појавама, параметар компоненте изађе ван предвиђеног опсега, закључује се да је дошло до параметарског отказа компоненте и да компонента више не функционише поуздано. Велики број експерименталних резултата при различитим условима и режимима рада је потребан како би се утврдили критични услови који доводе до параметарског отказа. Процес испитивање поузданости компоненте завршава се развијањем модела поузданости. Задатак овог модела је да за одговарајуће режиме и услове рада пружи увид у период поузданог рада, што представља један од главних параметара истраживања поузданости.

1.1 Нестабилности услед напонско температурног напрезања

Модерне тенденције развоја технологије електронских компонената иду у правцу константног смањивања величине компонената и уређаја. Минијатуризација компонената, поготово MOS компонената доводи до појављивања нових препрека и проблема који у првим фазама развоја нису били значајно изражени или довољно наглашени. Овај развој подстакао је научну заједницу да у последње две деценије посвети више пажње самој анализи ових феномена у склопу различитих струкутра, као и њиховом утицају на различите режиме рада компонената. Од већег интереса су они ефекти који могу да доведу до значајне деградације карактеристика компоненте, а самим тим и до параметарског отказа компоненте. Због тога, стављен је већи акценат на критеријуме отказа, период поузданог рада, као и на целокупну анализу поузданости компонената. Број научних радова који се баве овом научном облашћу је у последњим годинама вишеструко повећан [8].

Главни физички феномени који значајно утичу на промену карактеристика MOS компонената и на скраћивање периода поузданог рада су нестабилности које настају услед напонско температурних напрезања са негативном поларизацијом гејта (скр. NBTI, од енг. *Negative Bias Temperature Instability*), инјекција врућих носилаца (скр. HCI од енг. *Hot Carrier Injection*), ефекти самозагревања (скр. SHE од енг. *Self-Heating Effects*) и тоталне апсорбоване дозе зрачења (скр. TID од енг. *Total Irradiation Dose*) [9, 10]. Од наведених феномена, у оквиру ове докторске дисертације, највећа пажња ће бити посвећена NBTI ефектима, који су посебно изражени код р-каналних VDMOS транзистора снаге.

NBTI се јављају при напрезању негативним напонима на гејту који одговарају пољима у оксиду гејта од $2\text{--}6\text{ MV cm}^{-1}$, а на повишеним температурама у опсегу од 100 до 250°C . Нестабилности доводе до више различитих ефеката који мењају параметре MOS транзистора, и самим тим, директно утичу на рад компоненте. Иако се ове нестабилности могу јавити и код п-каналних и код р-каналних компонената, NBTI ефекти су доста израженији код р-каналних MOS транзистора [11–17].

Упркос томе што физички механизми који представљају узрок ових нестабилности и даље нису до краја разјашњени, познато је да се нестабилности испољавају пре свега кроз промену напона прага (ΔV_T), смањење транскондуктансе (g_m) и смањење апсолутне струје дрејна (I_{Dsat}) [11–16]. Промена напона прага изазвана NBTI ефектима је параметар који је најзначајнији са становишта практичне примене јер је одређен као критичан ограничавајући фактор који директно утиче на период поузданог рада MOS транзистора.

У претходним годинама извршена су бројна истраживања како би се проучили суштински механизми NBTI ефеката на MOS транзисторе, како би се развиле нове мерне методе за карактеризацију ових ефеката и како би се разложиле појединачне компоненте деградације. Истраживања су довела до креирања неких модела деградације и промена напона прага, али су у експериментима углавном анализирани нестабилности које настају приликом константног, односно статичког, напонског напрезања. Изузетно важна примена MOS транзистора је у прекидачким колима, где се на гејт MOS транзистора доводе сигнали импулсног облика. Са овог становишта поготово су додатно интересантни VDMOS транзистори снаге, јер се могу користити у колима са струјама реда величине неколико ампера. Ове компоненте се истичу квалитетним прекидачким карактеристикама због чега налазе широку примену као елементи прекидачких извора напајања, али и у разним гранама индустрије, као што је аутоиндустрија или авиоиндустрија.

Развијање модела подразумева пројектовање одговарајућег електричног кола које на излазу опонаша промену која настаје као последица NBTI ефеката. На основу великог, али ограниченог броја експерименталних резултата, насталих карактеризацијом већег броја транзистора подвргнутих различитим условима напрезања потребно је дефинисати математичке и аналитичке релације које повезују параметре електричног кола за моделовање са условима напрезања транзистора. Тим релацијама је потребно омогућити моделовање што ширег опсега услова напрезања.

Упркос повећању интересовања за моделовање ових нестабилности, где се издваја моделовање промене напона прага транзистора као кључног параметра, моделовање услед импулсног напрезања, али и других типова напрезања и даље остаје изазован задатак. Дуготрајни експерименти показали су да модели који су развијени да опишу промене параметара изазване NBTI ефектима приликом статичког напрезања не описују адекватно ефекте који настају приликом импулсног напрезања. Првобитно развијени модели праве погрешну процену поузданости транзистора у односу на стварну деградацију која настаје услед импулсног напрезања, а које је доста заступљеније у практичним применама.

Због тога се јавља потреба за развијањем модела који адекватно описује нестабилности које настају приликом импулсног напрезања [18]. Поред вредности напона и температуре који врше напрезање MOS транзистора, NBTI ефекти зависе од фреквенције и фактора испуне импулсног сигнала напона за напрезање, али и од других спољних параметара као што је изложеност јонизујућем зрачењу или присуство магнетног поља. Предмет истраживања у предложеној докторској дисертацији је развијање, симулација и имплементација модела који приказују промену напона прага VDMOS транзистора услед различитих врста напрезања. Истраживање је обухватитило низ дуготрајних експеримената који су обезбедили довољно експерименталних резултата за концептуално, аналитичко и математичко моделовање. Принцип рада електричних кола за моделовање је потврђен математичким релацијама и резултатима симулација.

1.2 Типови моделовања параметара електронских компонената

У литератури је забележено више покушаја и приступа моделовању промене напона прага MOS транзистора [18–20]. У зависности од типа и обима промене, различите моделе одликује већа или мања прецизност, опсег и скалабилност. Поред тога, потребно је разликовати неколико типова моделовања.

Моделовање параметара електронских компонената може се начелно поделити у две велике групе: физичко, односно аналитичко моделовање (*Physics Based Modeling*) и такозвано компактно или емпиријско моделовање (*Compact Modeling*) [18, 19]. Физички модели су модели којима се у потпуности описује физички или физичко-хемијски феномен. Овакви модели обухватају велики број хемијских реакција и рачунају промену струје, напона или неке друге електричне величине кроз низ реакција које се дешавају. Са повећањем броја феномена који се испитују и са повећањем броја ефеката који утичу на промене ових величина, математичка интерпретација ових процеса постаје јако компликована. Када се на то дода да неке од компонената раде при јако високим фреквенцијама, решавање диференцијалних једначина модела постаје изузетно компликовано и са становишта рачунара који треба да изврше прорачун, јако захтевно. У тим случајевима, нумеричке могућности машине на којима се покреће одговарајућа симулација са одговарајућим моделом најчешће нису довољно брзе да на одговарајући начин испрате промене електричних параметара који се описују. Због тога, приликом анализе модела и приступа моделовању временом је осмишљен нови приступ, назван компактно моделовање.

Компактно моделовање је тип моделовања који је више прилагођен модерним софтверским алатима за симулације који у основи користе SPICE (*Simulation Program with Integrated Circuit Emphasis*), као што је *LTspice* и сличне платформе [21]. Приликом оваквог типа моделовања, нагласак је стављен на само један, или на само неколико електричних параметара који се моделују, а нема описа и прорачуна читавог скупа електрохемијских чинилаца. Ово омогућава да се смањи комплексност и нумеричка захтевност модела, па и да самим тим модел буде компактнији (отуд и порекло имена). За одређене величине приликом оваквог процеса моделовања узимају се одговарајући параметри за фитовање, што доводи до одређене толеранције у резултатима, која најчешће јесте већа код компактних модела него код физичко аналитичких [20]. Овакве моделе најчешће карактерише одговарајуће еквивалентно електрично коло које има улогу да опонаша одговарајући електрични параметар или скуп параметара.

Оно што је заједничка карактеристика за оба типа моделовања, као и за моделе који на тај начин настају, то је да имају одговарајућу математичку основу као и одговарајућу логичку нит која их повезује са физичким појавама (ово је поготово важно код компактног моделовања). Потврда и једног и другог модела врши се упоређивањем моделованих са експерименталним резултатима, где се до моделованих резултата долази одговарајућим софтверским алатима. У оквиру ове дисертације ће доминантно бити анализирани компактни модели промене напона прага р-каналних VDMOS транзистора снаге.

Главни циљ моделовања је развијање модела који за различите радне услове могу предвидети вредност одређеног параметра и дати дугорочну процену свеукупне поузданости компоненте, где се као вид поузданости издваја период поузданог рада. Подаци који настају као излазни параметри модела од највећег интереса су за фазу пројектовања

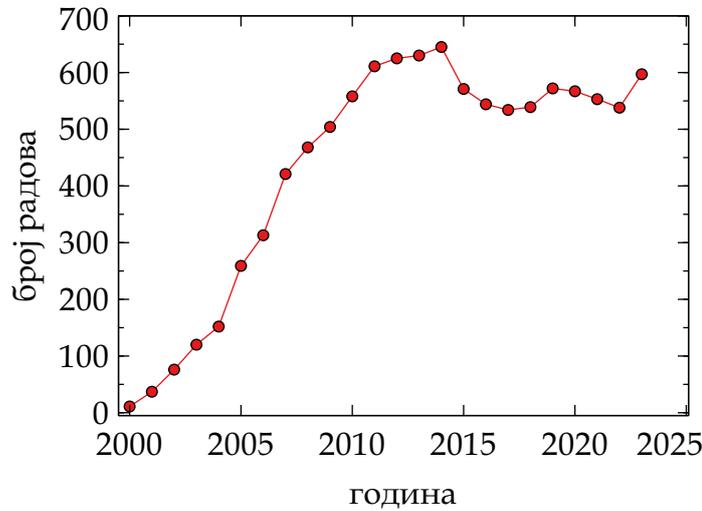
електричног кола или система јер могу указати на критичне радне области и омогућити прилагођење радних услова у циљу трајнијег искоришћења MOS транзистора. Потребно је осмислити решење које би омогућило инжењерима да приликом фазе пројектовања система могу да, за одређени скуп услова, имају увид у кретање вредности критичних параметара и период позданог рада компоненте. На пример, уколико ће пројектовано коло радити у окружењу где се очекују температуре које су драстично изнад собне, или у окружењу где се очекује изражено присуство неке врсте зрачења, процене периода позданог рада засноване на стандардним условима могу дати погрешне закључке.

1.3 Развој изучавања NBTI ефеката

Прво појављивање појма нестабилности услед негативне поларизације гејта и повећане температуре забележено је недуго након самог патентирања MOS транзистора. Истраживачи Миура и Матакура су 1966. године изучавали дефекте у оксидима MOS компонената и навели NBTI ефекте као потенцијални узрок деградације карактеристика [11]. Деценију касније, тачније 1977. године, Јепсон и Свенсон су први дали свеобухватну студију ових ефеката [12]. Такође, они су први предложили модел који описује промене енергетских нивоа и електрохемијске реакције које доводе до промена карактеристика транзистора, који је назван *Reaction-Diffusion* модел (у литератури се среће и као R-D модел). Узевши у обзир ниво скалирања компонената тог времена, NBTI ефекти који могу направити разлику промене напона прага MOS компонената од неколико десетина милivolти нису били окарактерисани као критична препрека за даљи технолошки развој. Због тога, наредних двадесетак година, ови ефекти нису привлачили превише пажње истраживача. Ипак, даљим скалирањем компонената, описане промене су постајале све значајније, што је довело до потребе за консолидацијом и сублимацијом доступних знања. Већ 1995. године, тим истраживача предвођен Огавом описује електрохемијске реакције које се при одређеним условима дешавају на међуповршини између полупроводника и оксида, где се испитује утицај наелектрисања уграђеног у оксид и површинских стања [13].

Почетком двадесет и првог века, 2003. године, Статис и Зафар, односно Шредер и Бабкок објављују студије које као један од битнијих феномена који може довести до деградације компонената, а самим тим и до отказа, одређују баш нестабилности које настају као последица NBTI напрезања [14, 16]. Промена напона прага MOS транзистора која се дешава је у значајној мери последица деградације оксида, односно формирања наелектрисања у оксиду и на међуповршини између оксида и силицијума. Сви ови закључци довели су до тога да су NBTI ефекти означени као један од главних ограничавајућих фактора даље минијатуризације компонената. Такође, ови ефекти јако су изражени код компонената чија структура, упркос смањењу димензија, задржава релативно велику дебљину оксида (*oxide thickness*). Наведена разматрања довела су до великог пораста интересовања за NBTI ефекте у научним круговима. Поред самих ефеката, теме истраживања обухватају и одговорне механизме, утицај на друге параметре и различите структуре MOS транзистора, начине могућих смањења негативних утицаја ових ефеката, као и одговарајуће моделе процеса и параметара [22–27]. Пораст интересовања довео је и до наглог пораста броја радова објављених на наведене теме. На слици 1.1 приказан је број радова у часописима са импакт фактором кроз године двадесет првог века на тему NBTI ефеката. Подаци су преузети према претраживању стриктно термина *Negative Bias Temperature Instabilities* преко *Google Scholar* базе. Треба имати у

виду да, када се у обзир узму и докторске дисертације, мастер радови, конференцијски радови и слично, али и другачије формулације термина, овај број је вишеструко већи.



Слика 1.1: Број радова у часописима са импакт фактором на тему NBTI ефеката кроз године двадесет првог века, закључно са 2023. годином [28].

Једна од компонената која налази широку примену, а чија структура испуњава захтеве везане за дебљину оксида је VDMOS транзистор. Почевши од почетка овог века, више истраживачких група креће да се интензивно бави NBT нестабилностима код VDMOS транзистора снаге, са доста већим фокусом на р-каналне транзисторе [15, 29, 30]. Истраживани NBTI ефекти су присутни и код п-каналних компонената (довођење негативног напона на гејт ради бржег искључења транзистора или присуство негативног напона услед поскакивања сигнала и слично), али случајеви приликом којих долази до ових ефеката представљају значајније мањи удео у укупној примени п-каналних компонената [17, 27]. Присуство PBTI (*Positive Bias Temperature Instabilities*) ефеката је карактеристичније за овај тип компонената, али такви ефекти изазивају мање деградације [27].

Велики допринос анализи одговорних механизма који описују NBT нестабилности код VDMOS транзистора дала је група аутора са Електронског факултета у Нишу предвођена Нинославом Стојадиновићем [15, 31–39]. Истраживања ове групе аутора фокусирана су на комерцијални модел р-каналног VDMOS транзистора снаге IRF9520. Поред одговорних механизма, група аутора је утврдила и постојање фаза приликом деградације и експоненцијалну промену вредности напона прага која настаје напрезањем. Током низа година рада, из истраживачке групе је произашло неколико доктората на тему електричног напрезања VDMOS транзистора снаге [40], нестабилности комерцијалних VDMOS транзистора снаге услед напонско температурних напрезања оксида гејта [41], анализа техника за раздвајање ефеката наелектрисања у оксиду гејта и површинских стања код VDMOS транзистора снаге [42], као и утицаја тестова поузданости на ефекте зрачења код VDMOS транзистора снаге [43].

Разноврсна примена р-каналних MOS компонената, па и VDMOS транзистора међу њима, довела је до већег интересовања за NBTI ефекте који настају као последица импулсног напрезања [44]. Анализа ефеката при импулсном напрезању као и потенцијалног опоравка међу првима је запажена у групи аутора окупљене око Тибора Грасера [22, 45].

Уз радове Алама и Махапатре, односно Аоноа, направљени су први кораци ка моделовању NBTI деградације [46, 47]. Забележена су за почетак унапређења *reaction-diffusion* модела, затим TCAD моделовање [48], а први покушај компактног моделовања, односно моделовања еквивалентним електричним колом забележен је у раду Грасера и Рајзингера из 2010. године [22]. Вишегодишњи допринос ових истраживачких група довео је до значајне публикације *Bias Temperature Instabilities* у издању издавачке куће *Springer*, 2013. године која је окупила доприносе већине истраживачких група тог времена са циљем консолидације резултата и пресека закључака [49]. Ова истраживачка група такође је дала свој допринос моделовању и развојем отворене платформе за моделовање различитих типова деградације под насловом *Comphy* [50].

Моделовање промене напона прага и других параметара р-каналних MOS транзистора забележено је у истраживачкој групи окупљеној око Алама, Махапатре и Парихара [46, 51–56]. Како је промена напона прага последица, између осталог, дефеката који настају у оксиду и наелектрисања које се уграђује у оксид, ова истраживачка група развија неколико различитих модела у зависности од састава оксида. Различито деловање параметара код различитих материјала који чине компоненте доводи до потребе за ре-евалуацијом постојећих модела и подстицаја за осмишљавање универзалног или барем ширег модела промене напона прага, примењивог, уз одговарајућу параметризацију, на различите структуре и материјале [57].

Многобројна истраживања, узорци и мерне методе доводе до резултата који нису увек усаглашени, па је и прегледни рад из 2018. године Статиса, Махапатре и Грасера, неких од водећих стручњака у пољу објављен под насловом „Контроверзни проблеми NBT нестабилности“ (*Controversial issues in negative bias temperature instability*) [58]. Да неки од суштинских ефеката и њихови узроци и даље нису до танчина објашњени, показано је још једним карактеристичним насловом прегледног рада Џима Статиса неколико месеци касније „Физика NBTI ефеката: Шта заправо знамо?“ (*The physics of NBTI: What do we really know?*) [8]. Неки од закључака ових прегледних радова су, поред тога да универзални модел још увек није направљен, и ти да је приликом пројектовања модела, поготово оних компактних, потребно ограничити се на неке стандардне или комерцијалне моделе компонената, развити низ модела за фиксне вредности, а затим направити неки нови тип пресека и анализе. Баш те смернице биле су основа за креирање теме ове докторске дисертације.

1.4 Преглед литературе

Од како је 1977. године представљен аналитички *Reaction-Diffusion* модел, он је, ако се изузме период слабијег изучавања NBTI ефеката, био централна тема проучавања моделовања на овај начин изазваних ефеката и деградације. Ипак, нове технологије, материјали и структуре довели су до тога да овај модел прво добије извесна проширења, а онда и да буде преиспитан.

Убрзаним квантитавним повећањем производње компонената индустрија је, како за креирање техничких спецификација компонената, тако и за преиспитивање њихових потенцијалних примена у одређеним колима, довела до тога да се аналитички модел преиспита, а затим и замени еквивалентним компактним моделима. Радови Грасера и Махапатре [22, 50, 51] упућују на компактније моделе и на њихову ужу примену (уместо анализе целокупног процеса, анализирају се само делови који директно утичу на циљани параметар), па и први предлажу одређене конфигурације еквивалентних електричних

кола за моделовање циљаног параметра (промена напона прага, промена транскондуктансе и слично). Приликом овог приступа не врши се негирање и оспоравање *Reaction-Diffusion* модела, већ приступ представља својеврсни начин прилагођења модела и моделовања на форму која више одговара растућој индустрији, софтверским алатима и повећаној продукцији електронских компонената.

Од појаве наведених радова Грасера и Махапатре [22, 50, 51], у литератури је забележен низ предложених еквивалентних електричних кола и компактних модела који имају за циљ моделовање одређених параметара који се мењају услед NBT напрезања [53, 54, 59–83]. Марицау представља модел еквивалентног електричног кола заснован на RC колима [60]. Изучава краћа времена напрезања. Ма предлаже имплементирање модела и импулсног напрезања [63]. Кроз неколико радова, Парихар предлаже еквивалентна електрична кола која би требало да моделују различите парамете р-каналних MOS транзистора [53, 54, 65]. Његови модели дају резултате и за статичко и за импулсно NBT напрезање. Пракаш је сличне принципе применио на *nanowire* FET [64]. Његов модел функционише по итеративној методи са временски променљивим коефицијентима кола. Херера-Морено принцип је применио на FinFET структуре и модел тестирао у SPICE окружењу [66]. Према експерименталним резултатима, Ли пројектује модел фокусиран на промену напона прага приликом импулсног NBT напрезања [67]. Такође, даје предлог за модификације кола за могућности моделовања промена услед импулсног напрезања произвољним сигналом. Моделовање ефеката импулсног напрезања је циљ модела који је предложио и Геринг [69, 84]. Овај модел ставља акценат на опоравак који се дешава приликом импулсног напрезања. Свами је идентичан приступ применио на папо FinFET структуре [70]. Хосака предлаже ново еквивалентно коло за моделовање промене напона прага [71]. Параметризација кола омогућава његову имплементацију у различите софтверске алате. Бхатачарје предлаже нумерички модел на примеру кола једноставног прстенастог осцилатора, али са великим скупом експериментално мерених података [77, 85]. Предлаже и коришћење *look-up* табела за процену вредности недостајућих параметара. Жанг примењује коло за моделовање промене напона прага код р-каналних MOS транзистора са кратким каналом [79]. Промену вредности параметара, која настаје под утицајем експерименталних услова, моделује додавањем напонских и струјних генератора у основно коло рада транзистора. Пружа детаљан увид у поступак рачунања елемената еквивалентног кола и упоређује резултата моделовања са експерименталним резултатима.

Као што се може видети, у литератури су доступни различити покушаји моделовања промене напона прага услед NBT напрезања. Нека од предложених кола моделују само промене параметара, а нека од предложених кола узроковане промене усаглашавају са фиксним параметрима постојећих модела [86]. Део предложених еквивалентних кола заснован је на RC колима, док је део предложених еквивалентних кола заснован на додавању одговарајућих генератора у основна кола са транзистором. Оно што је заједничко већини предложених модела је то да су углавном ограничени на одређени тип MOS транзистора (VDMOSFET, FinFET, SiC MOSFET), јер се, у зависности од типа MOS транзистора и утицај NBTI ефеката на промену параметара разликује.

Моделовање ефеката који настају NBT напрезањем, пре свега њиме изазване промене напона прага, била је тема и великог броја докторских дисертација у претходним годинама [61, 68, 73, 76, 80, 87–91]. Тако Веламала у својој дисертацији описује компактне моделе за различите феномене који утичу на скраћивање периода поузданог рада, односно старење (*aging*) [61]. Као најзаступљенији феномен означио је NBT нестабил-

ности. Предложени модели се анализирају пре свега са становишта имплементација р-каналних MOS транзистора у кола већег степена интеграције (VLSI - *Very Large Scale of Integration*). Гао своју дисертацију фокусира на период поузданог рада и његово скраћивање услед NBT напрезања [68]. Као узорке користи р-каналне напо MOS транзисторе. Предлаже низ модела, међу којима и неке компактне моделе за одређивање периода поузданог рада при различитим условима када је познат само део параметара узорка. Зањи се бави моделовањем промене карактеристика MOS транзистора које су од интереса за имплементацију ових компонената у меморије [73]. Узорци су InGaAs транзистори. Ефекти који доминантно утичу на промену карактеристика су ВТИ ефекти (NBT и PBT нестабилности). Игараши у својој тези ставља фокус на ВТИ и НСИ ефекте који доводе до промена карактеристика прстенастих осцилатора [76]. Поред тога, предлаже моделе за праћење оба ефекта, са становишта примене у SRAM (*Static Random Access Memory*) компонентама. Тран у дисертацији описује низ компактних модела са еквивалентним електричним колима на примеру 180 nm MOS транзистора [80]. Анализира и п-каналне и р-каналне узорке, као и CMOS кола са њима. Даје моделе за *aging*, као и предлоге њихове имплементације у софтверске алате.

Компактно моделовање промене напона прага изазване NBT напрезањем, коришћењем еквивалентних електричних кола, али на конкретном примеру р-каналних VDMOS транзистора снаге први пут је у литератури показао Данковић [92]. Коришћење RC кола са више прекидача, са кондензатором као централним елементом, представља основу за модел. Експериментално мерени резултати се упоређују са резултатима модела. Сличан концепт примењен је и у каснијим радовима, где је додацима у коло омогућено моделовање и статичког и импулсног NBT напрезања [72, 74, 75, 78]. Провера рада модела обавља се извршавањем низа симулација коришћењем SPICE окружења.

Разноврсност примена р-каналних VDMOS транзистора снаге довела је до тога да ове компоненте, као делови система, функционишу у различитим срединама. Показано је да могу бити изузетно осетљиве на јонизујуће зрачење [36, 93–95]. Ефекти зрачења који такође подразумевају формирање наелектрисања у оксиду доводе до промене напона прага, па постоје и истраживања о примени р-каналних VDMOS транзистора снаге као дозиметара [96–98]. Ипак, како је приликом анализе ових ефеката утврђено и да су резултати прилично зависни од температуре, коришћење ових компонената у дозиметрији захтева додатну температурну компензацију, што додатно компликује процес моделовања.

Такође, Тахи и Ђезар су показали да, поред описаних типова напрезања, р-канални VDMOS транзистори снаге такође функционишу на специфичан начин у присуству магнетног поља [30, 99–101]. У зависности од типа, јачине и оријентације магнетног поља, оно може на карактеристике узорака, тачније на наелектрисање уграђено у оксид, деловати позитивно (енергија магнетног поља омогућава ослобађање наелектрисања, на тај начин смањује дефекте) или негативно (енергија магнетног поља помера наелектрисања дубље у оксид, на тај начин повећава и учвршћује дефекте). Разноврсност ових ефеката представља додатне захтеве модела промене напона прага ових компонената.

Може се констатовати да током последње деценије број истраживања на тему NBT нестабилности, механизма, ефеката и моделовања и даље значајно расте. Приликом пројектовања брзих меморија, промена напона прага реда величине неколико милivolти може довести до ланчаног кашњења сигнала у дигиталним колима и у релативно кратком временском интервалу довести до параметарског отказа компоненте. Због тога, поред анализе ових нестабилности на примеру компонената са већом дебљином окси-

да (као што су VDMOS транзистори), значајан део растућег интересовања представља и анализа ових нестабилности у компонентама са мањом дебљином оксида. Тема ове дисертације фокусирана је на р-каналне VDMOS транзисторе снаге, али ће на неким местима бити прављена паралела и са другим компонентама.

VDMOS транзистори снаге представљају предмет вишедеценијског истраживања истраживачког тима са Катедре за микроелектронику Електронског факултета у Нишу. Кроз овај период, област истраживања обухватала је технолошке процесе израде, температурна и напонска напрезања, испитивање одзива на различите врсте зрачења, испитивање поузданости при различитим експерименталним условима и на послетку, моделовање уочених ефеката. Сходно томе, како је циљ дисертације моделовање промене напона прага р-каналних VDMOS транзистора снаге, раније показани физичко-хемијски феномени који доводе до одређених промена неће бити детаљније анализирани, већ само у мери потребној за предвиђено моделовање.

Дисертација се састоји од увода, четири поглавља, закључка и пописа коришћене литературе. У уводном поглављу описан је предмет истраживања и приказани су различити типови моделовања. Такође, дат је преглед литературе и опис досадашњих проучавања са циљем бољег позиционирања предмета истраживања приказаног у оквиру докторске дисертације у актуелне токове истраживања.

Друго поглавље описује моделовање промене напона прага р-каналних VDMOS транзистора снаге настале под утицајем статичког NBT напрезања. Поглавље садржи детаљан опис експерименталне поставке за убрзано статичко NBT напрезање, експерименталних узорака, као и процедуру мерења током експеримента. Предложена су два различита еквивалентна електрична кола која врше компактно моделовање, где је коришћењем методе најмањих квадрата направљена математичка веза између вредности елемената кола за моделовање и експерименталних резултата. Приказано је поређење експерименталних и моделованих резултата.

У оквиру трећег поглавља описано је моделовање промене напона прага р-каналних VDMOS транзистора снаге настале под утицајем импулсног NBT напрезања. Приказано је проширење експерименталне поставке из другог поглавља како би се извршили експерименти са убрзаним импулсним NBT напрезањем. Узевши у обзир реверзибилну компоненту деградације која је присутна приликом импулсног NBT напрезања, осмишљено је неколико еквивалентних електричних кола. За израчунавање вредности елемената еквивалентних електричних кола према експерименталним резултатима искоришћена је Лагранжова теорема. Посебна пажња посвећена је облицима импулсних сигнала који се срећу у практичним применама.

Четврто поглавље садржи опис моделовања промене напона прага р-каналних VDMOS транзистора снаге под утицајем зрачења. Предложена су еквивалентна кола која моделују промену насталу озрачивањем, као и промену насталу потоњим третманима експерименталних узорака. Такође, посебан осврт је дат на поређење ефеката уочених код VDMOS транзистора са ефектима уоченим код других компонената, као и на аутоматизацију мерне методе и методе за одређивање вредности напона прага коришћењем *Python* скрипти.

У склопу петог поглавља приказано је моделовање промене напона прага р-каналних VDMOS транзистора снаге настале под утицајем магнетног поља. Описана је експериментална поставка и дат је предлог еквивалентног електричног кола за моделовање. Анализирани су и утицај оријентација и вредности магнетних индукција какве се срећу у практичним применама р-каналних VDMOS транзистора снаге. Приказано је еквива-

лентно коло које може да врши моделовање промене напона прага p-каналних VDMOS транзистора снаге изазваних различитим типовима напрезања. Дата је основна блок шема неуронске мреже која се може искористити за даље унапређивање модела.

У закључку је извршено сумирање приказаних резултата истраживања. Наведени су резултати остварени у сваком од поглавља и предложени су неки од могућих даљих праваца истраживања.

Поглавље 2

Моделовање промене напона прага настале под утицајем статичког NBT напрезања

Приликом развоја компоненте и иницијалне анализе поузданости првобитно се испитују једноставнији услови. Примена VDMOS транзистора првобитно је била у континуалном односно статичком режиму рада. Транзистор снаге се укључује и у колу дрејна се активира мотор или друго оптерећење које захтева високу вредност струје. Предвиђено је да транзистор ради континуално, што дуже, без прекидања, односно без учесталог укључивања и искључивања. Овакав тип рада је у наставку дисертације назван статичко напрезање. Самим тим, анализа поузданости у оваквом случају подразумева дискусију континуалног рада односно статичког напрезања испитиваних компонената и процене утицаја NBTI ефеката на овај начин.

Аналитички модели статичког NBT напрезања били су тема великог броја различитих истраживања кроз године [63, 92, 102–106]. Становиште већине приступа моделовању се заснива на увођењу или пројектовању одговарајућег еквивалентног електричног кола или другачијем увођењу RC константи у коло. Промена напона прага р-каналних VDMOS транзистора снаге има експоненцијални облик који подсећа на криву пуњења односно пражњења кондензатора. У овом поглављу представљен је модел промене напона прага који претпоставља континуално, односно статичко напрезање р-каналних VDMOS транзистора снаге.

2.1 Експериментална поставка и мерење резултата

Како би се извршило моделовање промене напона прага и испитивање тачности модела, прво је потребно осмислити и реализовати одговарајуће експерименте који ће довести до неопходних експерименталних резултата. Валидност и тачност модела се онда утврђује упоређивањем експерименталних резултата са резултатима моделовања и анализом апсолутних и релативних грешака моделованих резултата.

Постоји више приступа планирању експеримената који за циљ имају анализу учених ефеката, моделовање експерименталних резултата, као и испитивање поузданости компонената. Један од главних параметара у анализи поузданости је период поузданог рада компоненте. Циљ моделовања најчешће и јесте одређивање периода поузданог рада за конкретну примену, одређену специфичним условима рада. У литератури је забеле-

жено неколико начина поставки експеримента који за циљ имају добијање баш овог параметра [34, 77, 107, 108]. Најједноставнији приступ је анализа рада при нормалним радним условима. Ови типови експеримената су најчешће веома временски захтевни али могу довести до валидних резултата за процену периода поузданог рада. Ипак, уколико произвођач тврди да је ред величине периода поузданог рада неколико година, и ови експерименти могу онда потрајати исто толико. Такав приступ начелно није практичан, али мерење карактеристика компоненте у различитим временским интервалима на дужем временском опсегу ипак може довести до великог броја резултата који могу бити погодни за креирање неуронских мрежа и других сличних алгоритама за анализу поузданости компоненте [77].

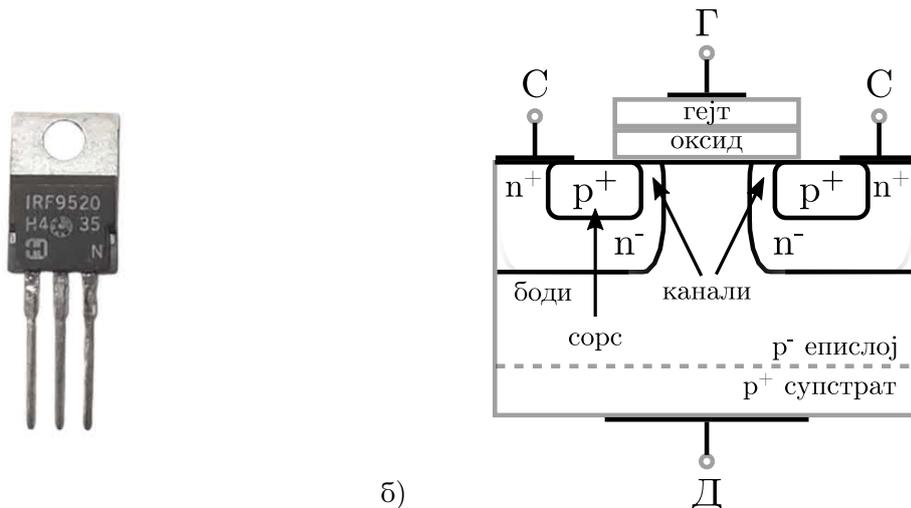
Хронолошки, наредни развијен приступ је анализа отказа. Коришћењем овог приступа одређени параметар за напрезање компоненте се повећава од минималне вредности до виших вредности, све док не дође до параметарског отказа компоненте (највише карактеристично за термичка тестирања) [108]. За различите критичне вредности мери се промена параметара, па се на основу тих промена процењује рад и при осталим условима. Овај приступ може да доведе до резултата, али такође и може да доведе до непрецизних опсега радних услова и могућих девијација вредности које могу створити проблеме у анализи.

Због тога, временом је осмишљен и трећи приступ који је уједно и најзаступљенији, а то је метода убрзаног напрезања при поштреним условима (од енг. *accelerated stress conditions*) [34, 109]. Овај метод је јако користан када је иницијална процена периода поузданог рада компоненте реда величине неколико година или више. Убрзани услови напрезања подразумевају услове који су значајније строжији у односу на нормалне радне услове за компоненту, али је приликом ових експеримената компонента изложена овим условима у ограниченом временском интервалу (неколико дана или неколико недеља), а не током целокупног радног века. При овим поштреним условима карактеристике компоненте се мењају на одређени начин. Измерене параметре при поштреним условима потребно је, одговарајућим алгоритмима, применити на нормалне или на очекиване радне услове. На овај начин може се направити основана процена вредности параметара при тим условима, самим тим и процена периода поузданог рада. Овакав приступ је потврђен и нашироко коришћен у литератури [74, 110]. Већина експеримената у овој докторској дисертацији реализована је коришћењем овог приступа.

2.1.1 Експериментални узорци

Као узорци у већини експеримената приказаних у оквиру ове докторске дисертација искоришћени су комерцијални примерци р-каналног VDMOS транзистора снаге IRF9520 [111]. Узорци су енкапсулирани у ТО-220 пластична кућишта. Изглед узорка, као и илустрација његове унутрашње структуре приказани су на слици 2.1. Ови транзистори су развијени у стандардној полисилицијумској технологији, са дебљином оксида од око 100 nm, што их класификује у транзисторе са већом дебљином оксида [112, 113].

Као што се може видети у техничкој спецификацији, једна од карактеристика по којој се IRF9520 истиче је струја дрејна (I_D), где максимална вредност I_D износи чак 6,8 А. Овако висока струја дрејна постигнута је одговарајућом хексагоналном ћелијском структуром, односно, шестоугаоним облицима структуре са слике 2.1 б). Транзистор IRF9520 састоји се од чак 1650 ћелија. Део шестоугаоне ћелијске структуре приказан је на слици 2.2.

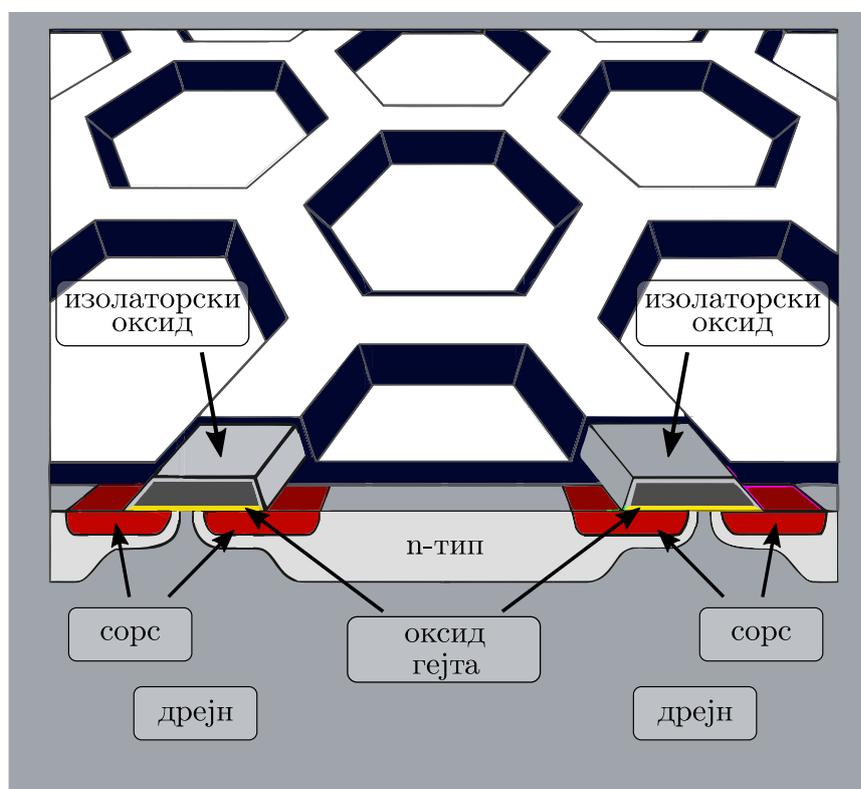


а)

б)

Слика 2.1: а) Комерцијални узорак IRF9520 у TO-220 кућишту; б) Илустрација попречног пресека две полућелије р-каналног VDMOS транзистора снаге.

С друге стране, максимални напон између гејта и сорса је $\pm 20 \text{ V}$, а максимална радна температура је 175°C . Као што је напоменуто у претходном поглављу, нестабилности које настају услед напонско температурног напрезања са негативном поларизацијом гејта постају наглашене када се у оксиду достигне електрично поље од $2 - 6 \text{ MV cm}^{-1}$ и повишена температура у опсегу од 100 до 250°C .



Слика 2.2: Илустрација дела шестоугаоне ћелијске структуре р-каналног транзистора снаге која омогућава високу струју дрејна [114].

Како је процењена дебљина оксида компоненте р-каналног VDMOS транзистора IRF9520 око 100 nm, за остваривање овог ефекта потребно је довести напон у опсегу од -40 V до -50 V на гејт, па су експерименти рађени при напону на гејту од -40 V , -45 V и -50 V . Такође, експерименти су рађени при температурама од $150\text{ }^\circ\text{C}$ и $175\text{ }^\circ\text{C}$. Имајући у виду напред наведено, јасно је да код ових узорака NBT ефекти могу да се уоче чак и при реалним радним условима. Експериментални резултати доступни у литератури показују коришћење више десетина различитих комбинација напона и температура код ових компонената [15, 101, 115–117].

Најбитнији параметар за моделовање MOS транзистора је напон прага MOS транзистора V_T (енг. *threshold voltage*). Техничка документација указује на то да је вредност напона прага овог модела транзистора између -2 V и -4 V . Код већине анализираних узорака, почетна вредност напона на почетку експеримената ($V_{Tinitial}$, у даљем тексту дисертације означена као V_{T0}) износила је око $-3,6\text{ V}$.

Треба напоменути да, иако је највећи део експеримената реализован коришћењем транзистора IRF9520, експерименти су реализовани и са другачијим узорцима, односно другим транзисторима. Опис тих компонената биће представљен у оквиру експеримената где се искоришћене.

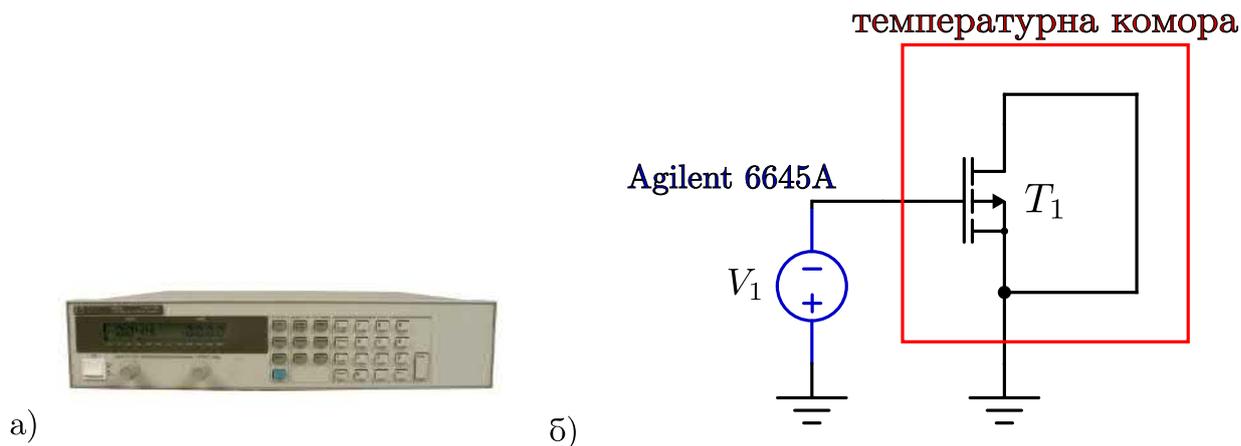
2.1.2 Поступак мерења струјно-напонских карактеристика

Анализа експерименталних резултата вршена је на основу преносних струјно-напонских (I - V) карактеристика $I_D = f(V_{GS})$ истраживаних MOS компонената. Преносне карактеристике су мерене у области засићења, при чему су гејт и дрејн били краткоспојени.

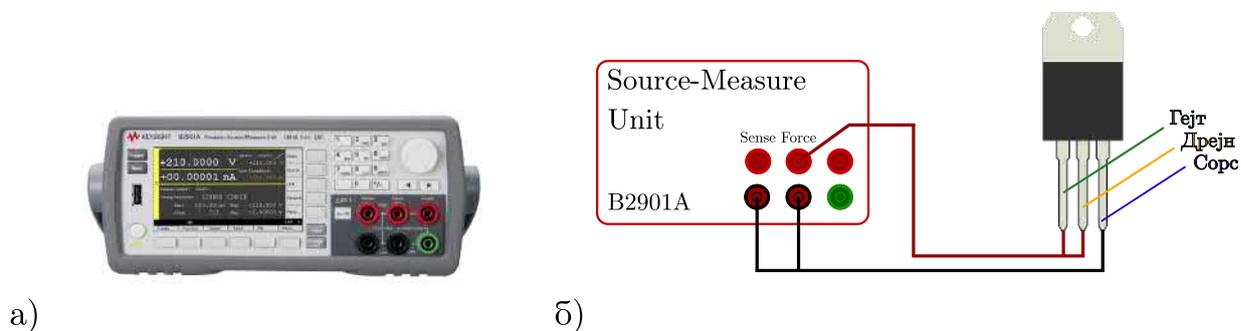
Реализација експеримената са убрзаним условима напрезања изискује мало компликованију експерименталну поставку и поступак мерења. Величине које је потребно достићи приликом оваквог типа експеримента најчешће превазилазе могућности стандардне лабораторијске опреме. На пример, вредности напона које је у овом случају потребно довести на гејт, односно између гејта и сорса прелазе вредност од 40 V , што представља високу вредност напона, чак и за лабораторијске услове. За многе стандардне лабораторијске инструменте ова вредност напона представља граничну вредност при којој ови инструменти могу да се користе, па је због тога потребно користити неке специфичне инструменте. Због тога, део опреме који врши овакво напрезање потребно је одвојити од дела за мерење карактеристика узорка. Приликом напрезања, изводи сорса и дрејна су краткоспојени на масу, док је напон напрезања повезан између гејта и сорса, као што је приказано на слици 2.3. За генерисање ових вредности напона искоришћен је извор напајања Agilent 6645A који може генерисати напоне вредности до 120 V [118]. Висока температура, од $150\text{ }^\circ\text{C}$ и $175\text{ }^\circ\text{C}$ остварена је подешавањем температуре у унутрашњости лабораторијске пећнице и постављањем компонената у лабораторијску пећницу.

С друге стране, мерење преносне карактеристике врши се у опсегу не ширем од 0 V до -10 V , па се тај опсег вредности, у овом случају, може сматрати ниским опсегом вредности. За мерење искоришћен је *Source Measure Unit* (SMU) Keysight B2901A, као што је приказано на слици 2.4 [119]. Приликом мерења, гејт и дрејн су краткоспојени, како би се обезбедило мерење преносне карактеристике у засићењу.

Овај уређај је рачунарски контролисан посебно развијеном апликацијом. Програм омогућава промену напона између гејта и сорса од почетне вредности (у оквиру реализованих експеримената то је -2 V) до крајње вредности (у оквиру реализованих



Слика 2.3: а) Напајање искоришћено за напонско напрезање Agilent 6645A [118]; б) Шема напонско температурног напрезања.



Слика 2.4: а) *Source Measure Unit* B2901A искоришћен за мерење преносних карактеристика [119]; б) Повезивање SMU са узорком приликом мерења струјно-напонских карактеристика.

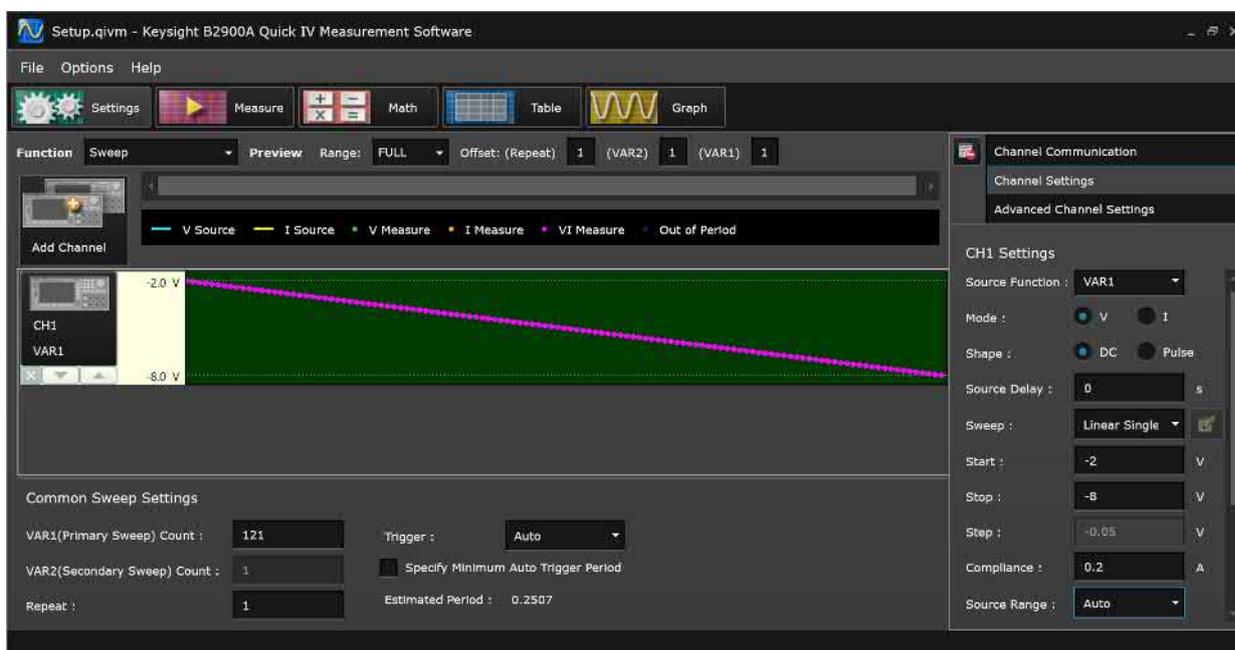
експеримента то је -8 V), са фиксно одређеним кораком (у оквиру овог експеримента то је 50 mV). Интерфејс апликације приказан је на слици 2.5.

При сваком кораку, мери се струја кроз транзистор и добијају се парови вредности струја-напон за цртање преносне струјно-напонске карактеристике. Пример овако добијене преносне карактеристике приказан је на слици 2.6.

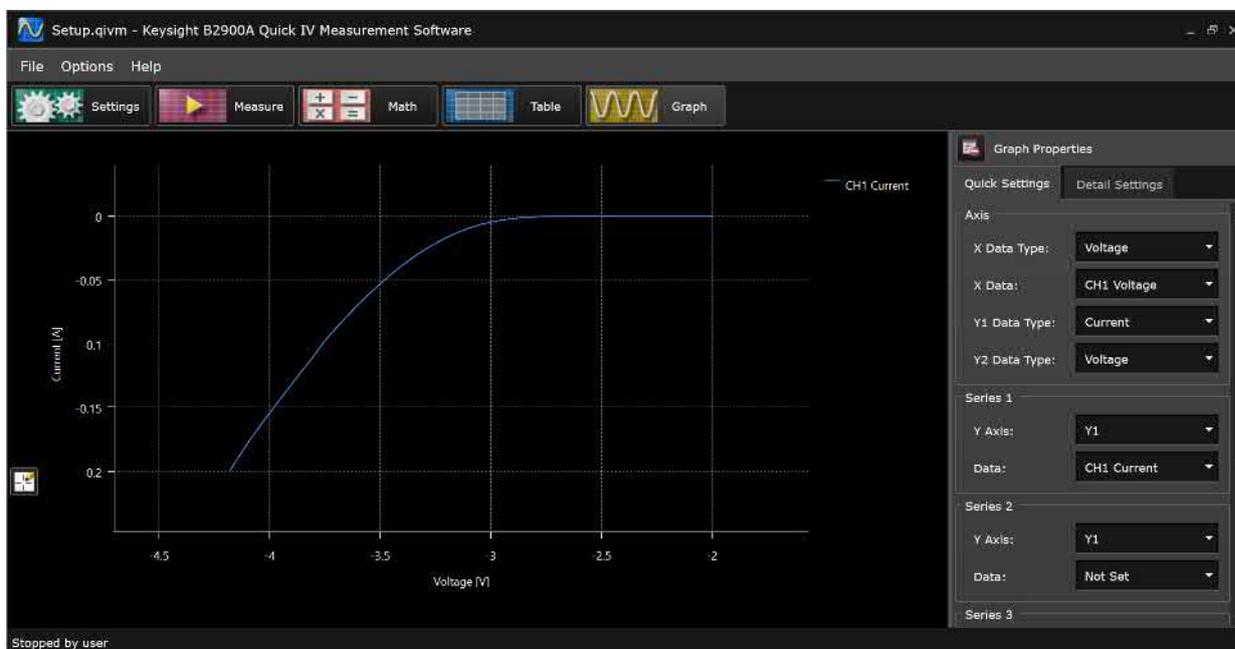
Развијена апликација такође омогућава и извоз вредности мерних тачака, што омогућава цртање графика коришћењем софтверских алата намењених за то. На овај начин, резултати су представљени на репрезентативнији начин. Више измерених преносних карактеристика једног истог узорка у различитим временским интервалима током експеримента статичког NBT напрезања приказано је на слици 2.7.

Како се за напрезање и мерење користе различита лабораторијска опрема, није могуће истовремено вршити и напрезање и мерење. Због тога, поступак мерења подразумева искључивање дела опреме за напонско температурно напрезање, вађење узорка из температурне коморе и хлађење узорка до собне температуре, извршавање мерења а онда, уколико је експериментом предвиђено, враћање узорка у температурну комору и поновно укључивање дела опреме за напрезање. Овај шестостепени циклус се понавља приликом сваког од мерења. Како би се паралелно вршило напрезање више узорка, а и олакшало смештање узорка под напоном у температурну комору, направљена је плочица на коју су налемљена одговарајућа кућишта, као што је приказано на слици 2.8.

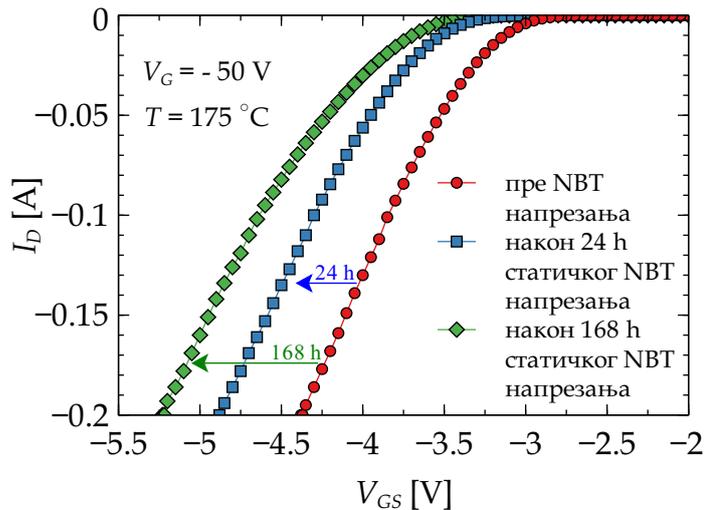
На овај начин, читава плоча се смешта у комору, што значајно олакшава процес вађења и поновног смештања компонената, односно саму реализацију експеримената.



Слика 2.5: Интерфејс апликације која се користи за мерење струјно-напонских карактеристика преко SMU са подешавањима граничних вредности за мерење.

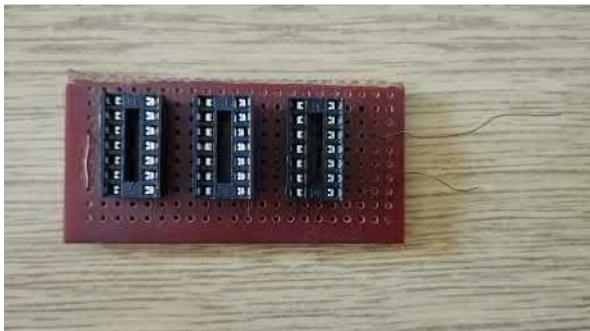


Слика 2.6: Резултат мерења преносне струјно-напонске карактеристике у опсегу постављеном подешавањима граничних вредности.

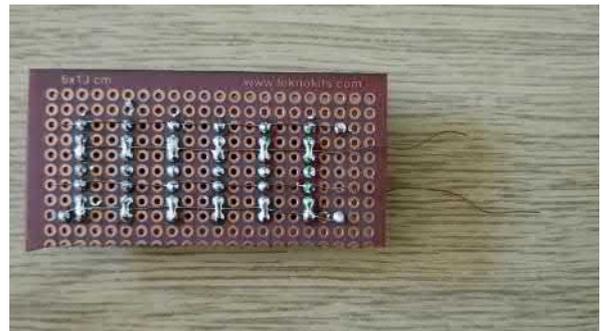


Слика 2.7: Преносне карактеристике у различитим фазама статичког NBT напрезања ($T = 175\text{ }^{\circ}\text{C}$ и $V_G = -50\text{ V}$).

У оквиру овог експеримента, извршено је напонско температурно напрезање узорака на две температуре ($150\text{ }^{\circ}\text{C}$ и $175\text{ }^{\circ}\text{C}$) и две различите вредности напона на гејту (-45 V и -50 V). Експерименти су имали различито трајање, односно период напрезања. Део експеримената трајао је 24 сата, односно један дан, а део експеримената је трајао 168 сати, односно седам дана. Током експеримената који су трајали 24 сата, период између два мерења био је краћи (од 30 до 60 минута), а током експеримената који су трајали 168 сати, период између два мерења износио је 24 сата. Утицај напонско температурног напрезања на преносне карактеристике р-каналног VDMOS транзистора снаге IRF9520 видљив је на слици 2.7. NBT напрезање доводи до померања преносне карактеристике на графику улево, где дуже време напрезања доводи до наглашеније промене.



а) Горња страна.



б) Доња страна.

Слика 2.8: Пертинакс плоча са три DIP14 кућишта која омогућава истовремено напрезање 12 узорака и садржи две везе за повезивање са опремом за напрезање: а) Горња страна; б) Доња страна.

Две описане групе експеримената имале су различите циљеве. Краћи експеримент (трајање од 24 сата) реализован је са циљем да се што прецизније одреди динамика промене напона прага у ранијим фазама напрезања. Претходна истраживања јасно су показала да се најнаглашенији део промена и са највећом брзином одвија у самом почетку NBT напрезања [15, 109]. Због тога је приликом реализације ових експеримената

период између два мерења 30 минута или један сат. Како је утврђено да након одређеног времена долази до засићења или значајније мање промене напона прага, друга група експеримената има дуже трајање (168 сати, односно 7 дана) и дужи период између два мерења, односно један дан. У даљим разматрањима у овом поглављу анализираће се резултати добијени реализацијом експеримента краћег трајања, што уопште не умањује опшност закључака приказаних у докторској дисертацији. Током периода од 24 сата, извршено је 36 циклуса мерења и добијено је, по узорку, 36 различитих преносних карактеристика.

2.1.3 Одређивање напона прага

Излазни параметар мерења у оквиру експеримента је преносна карактеристика транзистора, али је за анализу и процену поузданости рада VDMOS транзистора потребно одредити додатне параметре. Најважнији параметар који директно одређује период поузданог рада компоненте је напон прага (V_T), па је, коришћењем добијене преносне карактеристике, потребно одредити вредност напона прага. Постоји неколико метода за одређивање вредности напона прага са преносне карактеристике [120–122]. У оквиру овог експеримента искоришћен је метод другог извода [120].

Метод другог извода подразумева одређивање напона прага као напона на гејту при коме је вредност извода транскондуктансе највећа [120, 121]. Транскондуктанса MOS транзистора (g_m) се дефинише као промена струје дрејна са променом напона на гејту:

$$g_m = \frac{dI_D}{dV_G}. \quad (2.1)$$

Самим тим, вредност извода транскондуктансе по напону на гејту (dg_m/dV_G) уз помоћ израза (2.1) одређује се као:

$$\frac{dg_m}{dV_G} = \frac{d\left(\frac{dI_D}{dV_G}\right)}{dV_G} = \frac{d^2 I_D}{dV_G^2}. \quad (2.2)$$

Израз (2.2) дефинисан је за линеарну област MOS транзистора. Током експеримената, преносне карактеристике мерене су у засићењу, па је у изразу (2.2) потребно користити квадратни корен струје дрејна. Израз онда има облик:

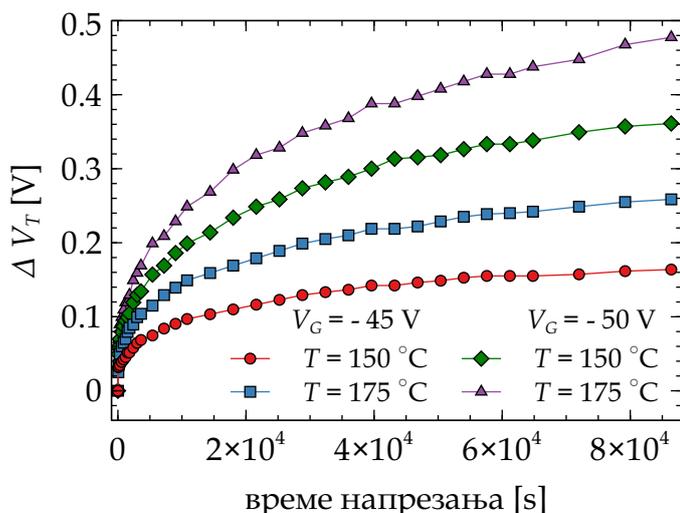
$$\frac{dg_m}{dV_G} = \frac{d^2 I_D^{0.5}}{dV_G^2}. \quad (2.3)$$

Вредност напона прага (V_T) добија се применом десне стране израза (2.3) на измерене преносне струјно-напонске карактеристике у засићењу. Вредност V_G за коју израз (2.3) има максималну вредност представља вредност напона прага добијену коришћењем метода другог извода.

Различити методи за прорачун вредности V_T дају резултате који нису увек у потпуности идентични. Ипак, приликом оваквог типа анализе поузданости, та разлика не представља критичну вредност. Деградација компоненте током експеримента NBT напрезања доводи до промене напона прага. Разликом између почетне вредности напона прага (V_{T0} , на почетку експеримента) и вредности напона прага током експеримента ($V_{Tmeasured}$) могуће је дефинисати величину промене напона прага (ΔV_T). Ова величина

представља кључну везу између услова напрезања (одређеним условима рада компоненте) и моделованих величина као што су период поузданог рада и други. За само одређивање ΔV_T , односно иницијалне и мерене вредности V_T , равноправно се може користити више метода, али је потребно примењивати исти метод током целог експеримента. Такође, приликом поређења експерименталних резултата требало би користити резултате добијене истом методом.

За прорачун вредности напона прага у скупу мерених резултата развијен је програм ради аутоматизације прорачуна. Вредност напона прага израчуната је за сваку измерену преносну карактеристику. Промена напона прага током трајања експеримента приказана је графички на слици 2.9.



Слика 2.9: Промена напона прага изазвана NBT напрезањем р-каналних VDMOS транзистора снаге IRF9520 при означеним напонима и температурама напрезања.

Као што је могуће видети са слике 2.9, за сваки од експерименталних услова (комбинацију напона и температуре), вредност ΔV_T има експоненцијални облик. Промена је наглашенија за више температуре напрезања и за више апсолутне вредности напона напрезања. Битно је напоменути да код р-каналних компонента, па тако и код р-каналних VDMOS транзистора снаге, напонско температурно напрезање доводи до тога да негативна вредност напона прага постане још негативнија. Нпр. уколико је почетна вредност напона прага $-3,6 V$, након одређеног времена NBT напрезања вредност напона прага ће бити $-3,7 V$, $-3,8 V$ и тако даље. Због тога, како би се избегла двострука негација, а и као што је приказано на слици 2.9, често је вредност промене напона прага дата са апсолутном вредношћу. На овај начин, задржана је математичка тачност, а и омогућен је једноставан увид у промену, као и приказивање у логаритамским размерама.

2.2 Моделовање промене напона прага

Модел је пројектован тако да излазни параметар модела представља промену напона прага током напонско температурног напрезања. С обзиром да је ΔV_T током времена представљена степеном функцијом t^n [15, 109], као централна компонента еквивалент-

ног кола за моделовање одабран је кондензатор капацитивности C , који се пуни преко отпорника отпорности R . Једначина пуњења кондензатора дата је као:

$$V_C = V_S \left(1 - e^{-\frac{t}{\tau}} \right), \quad (2.4)$$

где је:

$$\tau = C \cdot R. \quad (2.5)$$

Кондензатор је одабран за централни елемент еквивалентног кола за моделовање јер је промена напона на кондензатору у времену описана експоненцијалном функцијом, која је по математичкој форми најсличнија степеној функцији. Дакле, у овом еквивалентном колу, промена напона прага моделује се напоном на кондензатору. Пораст ΔV_T у времену треба да одговара пуњењу кондензатора за идентичну вредност напона. Како би се овај принцип омогућио, потребна је врло прецизна контрола напона на кондензатору. Потребно је израчунати вредност временске константе τ , а онда и извршити фитовање вредности капацитивности кондензатора C и отпорности отпорника R , преко које се пуни кондензатор. У једначини (2.4), вредност V_S представља вредност напона на кондензатору када је он у потпуности напуњен, односно, вредност коју достиже у бесконачности. Ова вредност израчуната је коришћењем *Stretch Exponential* модела [15, 16, 109, 123].

2.2.1 *Stretch Exponential* модел

Stretch Exponential модел (скр. SE модел) је једна од основа за примену овог приступа моделовању. Почетком 21. века кренуо се користити као метод за опис промене напона прага MOS компонената који описује физику процеса, па је, уз одговарајуће додатке, примењив и на VDMOS транзисторе [123–127]. SE модел је погодан избор за процесе где је промена напона прага последица два или више независних физичких механизма који се активирају у различитим тренуцима. Математичке пројекције SE вредности приказане у наведеној литератури [123, 126] полазе од претпоставке да ће у неком тренутку напрезања доћи до засићења вредности ΔV_T . На основу експерименталних резултата могуће је извршити пројекцију те вредности засићења. Модел на овај начин претпоставља вредност засићења ΔV_T , али не прати нужно динамику промене напона прага којом се до засићења долази. За случајеве када је потребно одредити време након кога ΔV_T достиже одређену вредност, а не потпуно засићење, динамика промене ΔV_T представља важан параметар. SE експоненцијална једначина дата је као:

$$\Delta V_T(t) = \Delta V_{Tmax} \cdot \left[1 - e^{-\left(\frac{t}{\tau_0}\right)^\beta} \right]. \quad (2.6)$$

У једначини (2.6), β , τ_0 и ΔV_{Tmax} су параметри за фитовање [123, 126]. Параметар β је дефинисан као ширина расподеле а τ_0 представља временску константу расподеле. Параметар ΔV_{Tmax} је вредност засићења промене напона прага, односно максимална вредност коју ΔV_T достиже. Самим тим, вредност V_S из једначине (2.4) добијена је према вредности ΔV_{Tmax} из једначине (2.6). Обе величине описују максималне вредности засићења одговарајућих експоненцијалних функција.

Према SE моделу, који моделује физику процеса, кроз вредност ΔV_{Tmax} из једначине (2.6), дата је зависност између експерименталних услова (напона и температуре напрезања транзистора) и промене напона прага. Због тога, различити услови напрезања директно одређују и различите вредности ΔV_{Tmax} , самим тим и V_S , која је саставни део прорачуна за моделовање. На овај начин, као што је и циљ компактног моделовања, математички релативно компликован и захтеван аналитички модел своди на једноставније RC моделовање, притом задржавајући везу између физичких механизма и моделованих вредности.

Битно је напоменути да свака различита комбинација температуре напрезања и напона напрезања доводи до нове вредности V_S . На први поглед, ова чињеница делује као озбиљан ограничавајући фактор за моделовање јер би требало омогућити јако велики број експериментално измерених података како би се одредили параметри за моделовање. Ипак, ранија истраживања показују да је довољно одрадити експерименте за ограничен број различитих вредности температуре напрезања и напона напрезања [47, 126, 128]. Након тога, једноставним пројекцијама могуће је одредити и вредности на ширем опсегу услова. Узевши у обзир да се до процене промене напона прага р-каналних VDMOS транзистора снаге може доћи уобразним тестовима напрезања и екстраполацијама на шири опсег услова, могуће је превазићи описано ограничење.

Решавањем описаних једначина долази се до вредности V_S , која представља вредност промене напона прага у засићењу, односно максималну достигнуту вредност промене напона прага током коришћења транзистора при дефинисаним условима рада. Примена описаних једначина и SE модела за добијање параметара за даље моделовање различитих структура и ефеката је широко заступљена у литератури [65, 129, 130].

Као и код свих модела, већи број улазних параметара доводи до прецизније моделоване вредности. Описани SE модел примењен је на експериментално добијене вредности из групе експеримената која је трајала 24 сата, као и на експериментално добијене вредности из групе узорака која је трајала 168 сати. Вредности засићења V_S за услове напрезања примењене у овом експерименту приказане су у табели 2.1. Поред SE модела,

Табела 2.1: Вредности V_S за различите услове напрезања одређене SE моделом.

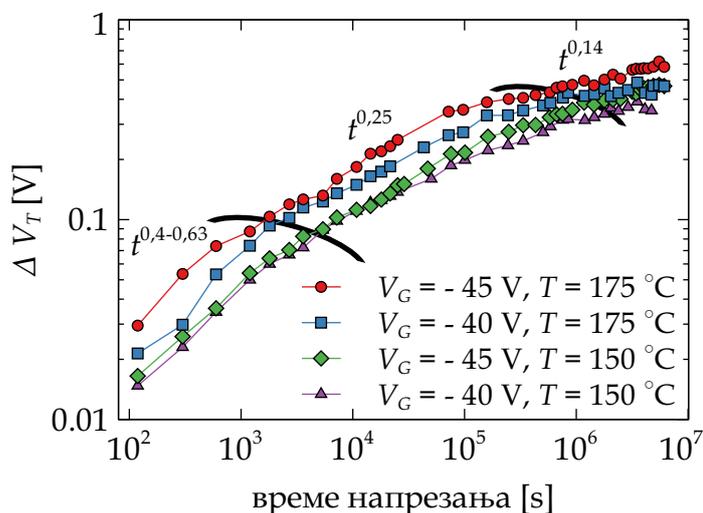
Температура напрезања [°C]	Напон напрезања [V]	Вредност V_S [V]
150	-45	0,182
	-50	0,395
175	-45	0,312
	-50	0,513

у литератури постоје и други модели који омогућавају одређивање вредности засићења промене напона прага MOS компонената. Најједноставнији модел је експоненцијални модел [131]. Међутим, овај модел предвиђа промену напона прага која настаје као последица једног механизма, па за напонско температурно напрезање не даје одговарајуће резултате, имајући у виду сложене процесе који се одвијају у овом случају. Због тога је развијен 2-тау експоненцијални модел, који моделује вредност засићења као последицу два механизма различитог типа [132]. Уз експоненцијалне, постоје и логаритамски модели [127, 133]. У тексту ове дисертације искоришћен је само описани SE модел.

2.3 Приступ моделовању промене напона прага

Како би се извршило моделовање према експериментално измереним подацима, потребно је прво познавати одговорне физичке механизме за одређену појаву. и одредити функције које описују експерименталне скупове података.

Ранија истраживања су показала да утицај који NBTI има на промену напона прага VDMOS транзистора снаге није константан у времену [15, 31, 41, 70]. Тачније, истраживања су показала да се промена $|\Delta V_T|$ може поделити у неколико фаза. У свакој од ових фаза примећен је експоненцијални раст промене напона прага, али са различитом динамиком. Како је раст променљив у времену, различите фазе су описане различитим експоненцијалним изразима. Резултати реализованих експеримената (вредност напона V_G од -40 V и -45 V и вредност температуре напрезања од $150\text{ }^\circ\text{C}$ и $175\text{ }^\circ\text{C}$), датих у логаритамској размери приказани су на слици 2.10. Потребно је напоменути да је трајање овог експеримента чак 2000 сати, а да су резултати добијени и приказани у ранијим истраживањима [15, 41, 134, 135].



Слика 2.10: Фазна расподела промене напона прага у времену (раст различитим вредностима експонента n) [15, 41, 134, 135].

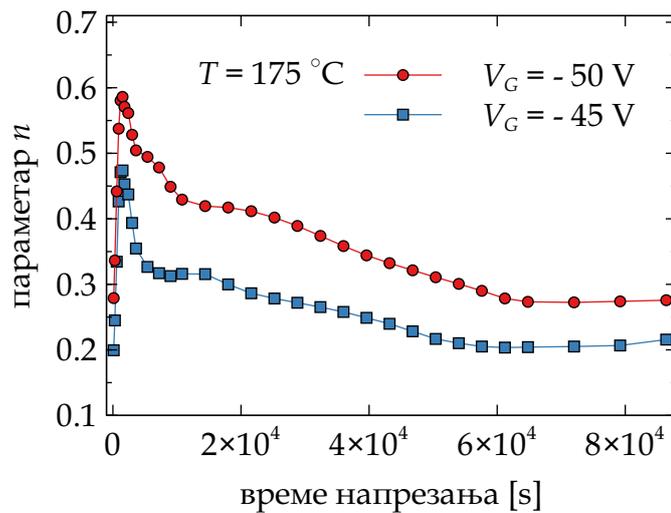
Као што се може видети, могуће је уочити три различите фазе промене $|\Delta V_T|$. Наведена истраживања, као што је већ напоменуто, указују на то да се утицај NBT напрезања на $|\Delta V_T|$ р-каналних VDMOS транзистора снаге може представити функцијом t^n [15, 41, 134, 135]. Самим тим, три различите фазе промене $|\Delta V_T|$ могу се описати различитом вредношћу параметра n .

У почетној фази, промена напона прага изазвана овим нестабилностима је најизраженија, за експерименталне услове приказане на слици 2.10. Вредност параметра n током трајања ове фазе је између 0,4 и 0,63. При убрзаним условима напрезања, ова фаза се дешава у првом сату експеримента и ово је фаза током које је $|\Delta V_T|$ најизраженије зависно од услова напрезања.

Након првих сат времена, $|\Delta V_T|$ и даље расте, али спорије са временом. Овај период означен је као друга фаза. Средња вредност експонента n током трајања ове фазе износи 0,25. Процена трајања ове фазе разликује се према различитим условима напрезања, где је примећено да за оштрије услове напрезања има краће трајање. Важна карактеристика ове фазе је да је вредност експонента n готово потпуно независна од услова напрезања.

После друге фазе промене напона прага при убрзаном NBT напрезању наступа трећа фаза, чије је трајање најдуже. Током ове фазе, раст $|\Delta V_T|$ је најмањи (средња вредност експонента n је око 0,14), и током трајања ове фазе наступа засићење промене напона прага, односно након неког времена, промене се могу занемарити.

Као што је већ речено, најинтензивније промене одвијају се током прве фазе. Детаљнији увид у прву фазу промене $|\Delta V_T|$ добија се када се за сваку експериментално измерену вредност израчуна вредност параметра n . Графички приказ ових вредности дат је на слици 2.11. Све ово указује на оправданост коришћења SE модела имајући у виду да постоји јасно изражена вишефазност, која указује на низ различитих механизма који доминирају у различитим фазама.



Слика 2.11: Прорачун вредности параметра n током прве и почетка друге фазе експеримента.

Са криве приказане на слици 2.11 може се још јасније уочити фазна расподела промене напона прага, односно деградација која настаје приликом убрзаног NBT напрезања. Ова фазна расподела представља један од елемената који треба да буду описани представљеним приступом моделовању.

Други део приступа моделовању састоји се из коришћења одговарајућих математичких релација за повезивање физичких механизма и елемената модела. Како је циљ моделовање еквивалентним електричним колом, централни задатак математичког дела моделовања везан је за поступак израчунавања вредности елемената еквивалентног кола за моделовање које на излазу генерише задату функцију, односно врши фитовање функције. Један од одговарајућих метода за фитовање који се може искористити на овом примеру је фитовање методом најмањих квадрата (*Least Square Method* (LSM)) [136–138]. Овај метод представља одговарајуће решење када је потребно пронаћи или одредити нумеричке вредности параметара за фитовање функције, али такође може бити искоришћен за карактеризацију статистичких својстава функције. LSM се огледа у проналажењу највише одговарајуће криве за задати сет тачака минимизацијом суме квадрата разлике у тачкама криве. Основни принцип LSM имплицира да је скуп од i парова података, дат као $(x_1, y_1), (x_2, y_2), \dots, (x_i, y_i)$, искоришћен за израчунавање функције за моделовање која показује зависност вредности променљиве y од вредности променљиве x . Крива која описује ту функцију описану према експериментално мереним подацима

може, у општем случају, бити приказана као:

$$y^* = A \cdot t^B. \quad (2.7)$$

У једначини (2.7), y^* представља функцију моделовања, док су A и B параметри за фитовање. Овај облик функције за моделовање је највише одговарајући јер је промена напона прага у времену такође описана степеном функцијом (t^n), која је карактеристична за NBTI. Параметри A и B директно одређују нагиб функције за моделовање и одређују линију регресије. LSM дефинише очекивани опсег ових параметара као вредност која минимизује суму квадрата између експериментално измерене величине (y) и моделоване величине (y^*). Ова премиса доводи до израза:

$$\epsilon = \sum_{i=1}^m (y_i - y_i^*)^2 = \sum_{i=1}^m (y_i - (A \cdot t^B))^2. \quad (2.8)$$

У једначини (2.8), ϵ представља вредност грешке коју је потребно минимизовати. Најпогоднији начин за израчунавање параметара A и B је увођење матричне нотације, као што је приказано у следећим једначинама:

$$\vec{a} = \begin{bmatrix} A \\ B \end{bmatrix}, \quad (2.9)$$

$$X = \begin{bmatrix} 1 & x_1 \\ 1 & x_2 \\ 1 & x_3 \\ \vdots & \vdots \\ 1 & x_i \end{bmatrix}, \quad (2.10)$$

$$G = \begin{bmatrix} \ln f(x_1) \\ \ln f(x_2) \\ \ln f(x_3) \\ \vdots \\ \ln f(x_i) \end{bmatrix}. \quad (2.11)$$

Вектор \vec{a} састоји се од параметара које је потребно израчунати. Матрица X је састављена од временских тачака мерења у склопу експеримента, а матрица G од логаритма измерених експерименталних вредности у тим тачкама. Израчунавање вектора \vec{a} дато је једначином:

$$\vec{a} = (X^T X)^{-1} X^T \cdot G. \quad (2.12)$$

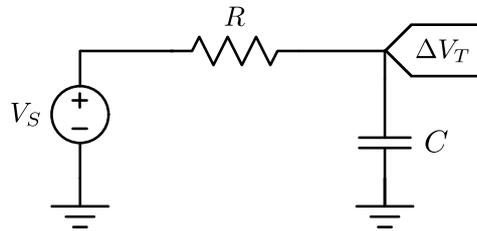
Приказаним поступком и матричним израчунавањем су одређени параметри A и B за раније постављене услове. Израчунати параметри приказани су у табели 2.2.

Након израчунавања параметара за фитовање A и B , потребно је изједначити једначину (2.7) са једначином која описује пуњење кондензатора, описано у једначини (2.4). Иако је на први поглед математички једноставније користити експоненцијални облик формуле за апроксимацију методом најмањих квадрата, знак минус у експоненту једначине пуњења кондензатора (негативни експонент) представља велики рачунски проблем. Обрнута конвексност захтева јако компликовано решење које доводи до неадекватних резултата за моделовање. Због тога, искоришћен је степени облик.

Табела 2.2: Израчунате вредности параметара A и B за различите услове NBT напрезања.

Температура напрезања [$^{\circ}\text{C}$]	Напон напрезања [V]	Параметар A	Параметар B
150	-45	0,00772	0,27032
	-50	0,01254	0,29692
175	-45	0,00798	0,31088
	-50	0,01453	0,30617

Након решавања једначина (2.7) - (2.12), вредност променљиве τ из једначине (2.5) је израчуната. Упркос прорачуну те вредности, постоји задатак израчунавања вредности отпорности R и капацитивности C које чине временску константу τ . У сврхе моделовања, вредност капацитивности је постављена на 1 mF . Приликом почетака моделовања, вредности се најчешће постављају на оне које су најлакше за израчунавање (па је капацитивност кондензатора C у овом случају због тога баш 1 mF). Такође, како је приликом пројектовања еквивалентног електричног кола, за даље проширење кола предвиђено повећање броја отпорника, као математички једноставније решење одабрано је да вредност капацитивности кондензатора, а не отпорности отпорника, има фиксну вредност. Елементарно коло за моделовање приказано је на слици 2.12.



Слика 2.12: Основно еквивалентно електрично коло за моделовање промене ΔV_T током NBT напрезања.

С обзиром да се промена напона прага током напрезања описује са више различитих временских константи, као што је и илустровано вредношћу параметра n који се континуално мења на слици 2.11, моделовање једном специфичном RC константом може довести до разумљивог неподударања између експериментално измерених и моделованих резултата. За почетак, параметри A и B су израчунати једнозначно за читав период напрезања који се моделује.

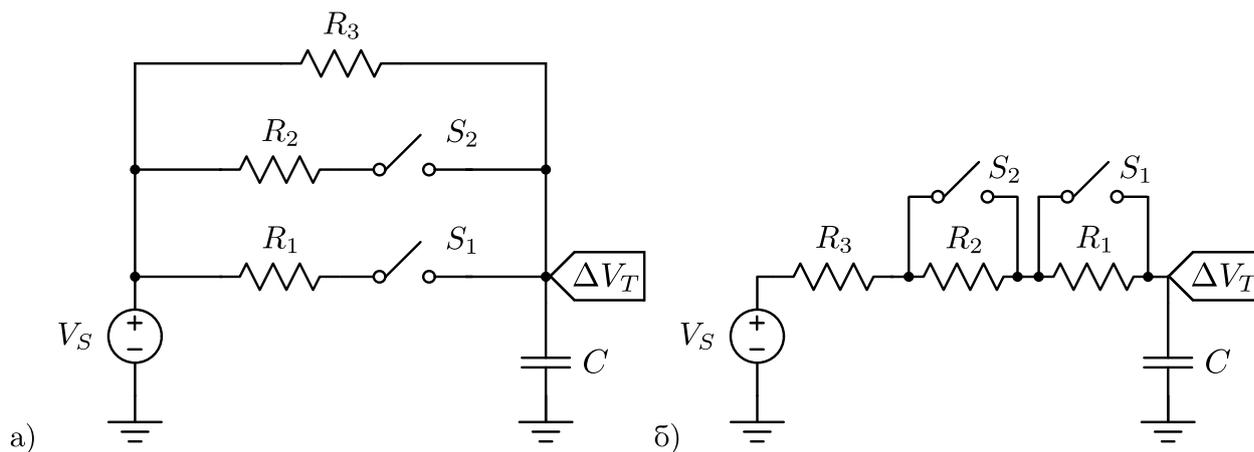
Концепт унапређеног моделовања огледа се у поступку посматрања криве експериментално мерених резултата као надовезивање више различитих делова. Основа за овакав поступак огледа се у физичким механизмима, односно у различитим фазама еволуције параметра n током напрезања (приказано на сликама 2.10 и 2.11). Независно посматрање фаза доводи до већег подударања резултата моделовања са експерименталним резултатима. Примена овог унапређења доводи до додатака и еквивалентном колу за моделовање.

Различите фазе промене ΔV_T захтевају различиту динамику пуњења кондензатора који је централни елемент еквивалентног кола за моделовање. Најједноставнији начин за омогућавање различитих динамика пуњења кондензатора је повећање броја RC

константи, односно повећање броја отпорника преко којих се пуни кондензатор. Низ отпорника који се у одговарајућим временским интервалима укључују, омогућава прецизнију контролу напона на кондензатору који се онда може прецизније приближити експерименталним вредностима ΔV_T . Додавање временски контролисаних прекидача за контролу грана са отпорницима преко којих се пуни кондензатор додатно одређују напон на кондензатору.

Већи број RC константи ипак може бити остварен на више начина, или додавањем различитих отпорника који пуне један кондензатор, или додавањем различитих кондензатора који се пуне преко једног отпорника, или додавањем и више различитих отпорника и више различитих кондензатора. Ипак, како је циљ да се ΔV_T моделује променом напона на кондензатору, број кондензатора је постављен на један. На овај начин је поступак сумирања напона на више кондензатора избегнут. Како број кондензатора остаје један, проширено еквивалентно коло се састоји од више отпорника који сачињавају више различитих RC константи.

Са циљем повезивања различите експериментално утврђене фазе развоја промене напона прага и броја RC константи, еквивалентно коло за моделовање је проширено са два додатна отпорника и два прекидача. На почетку пројектовања проширеног еквивалентног кола, размотрене су две опције, приказане на слици 2.13.



Слика 2.13: Проширено еквивалентно електрично коло за моделовање NBT напрезања: а) Остварено паралелном везом отпорника; б) Остварено редном везом отпорника.

Разлика између две разматране опције огледа се у томе да ли се основно еквивалентно коло, приказано на слици 2.12 проширује паралелно везаним или редно везаним отпорницима. Коло проширено паралелном везом отпорника у почетној фази омогућава пуњење кондензатора преко сва три отпорника, па се у каснијим фазама број RC константи смањује (кондензатор се у неком тренутку пуни преко два отпорника, па преко само једног). Коло проширено редном везом отпорника у почетној фази омогућава пуњење кондензатора преко једног отпорника, па се у каснијим фазама број RC константи повећава (пуњење преко два, па пуњење преко три отпорника). Како је циљ предложеног моделовања да омогући што прецизније резултате модела за касније фазе напрезања, за даљу дискусију одабрано је коло приказано на слици 2.13 а). Ово коло касније фазе напрезања моделује преко једне RC константе, а раније фазе прилагођава тој вредности.

На шеми приказаној на слици 2.13 а), у почетном тренутку, оба прекидача, S_1 и S_2 су затворена. Кондензатор C се пуни преко сва три отпорника. Пошто су отпорници

везани паралелно, еквивалентна отпорност је нижа од отпорника са најмањом вредношћу отпорности. Раст $|\Delta V_T|$ је највећи у почетној фази напрезања. Како би резултати моделовања били у складу са експериментално добијеним резултатима, раст напона на кондензатору C у оквиру ове фазе такође треба да буде највећи. Овакав резултат постиже се повезивањем најмање еквивалентне отпорности, остварене затварањем прекидача на слици 2.13 а).

Како би се дошло до одговарајућих резултата и како би се моделовањем испратила промена $|\Delta V_T|$, важно је да важи $R_3 > R_2 > R_1$. На овај начин, еквивалентна отпорност паралелне везе отпорника R_2 и R_3 је већа од еквивалентне отпорности паралелне везе сва три отпорника. Након отварања прекидача S_1 , кондензатор се пуни преко веће отпорности него пре отварања прекидача. Због тога, пуни се спорије, па је и нагиб криве пуњења мањи.

Још већа отпорност пуњења постиже се отварањем и прекидача S_2 . На тај начин, у трећој фази пуњења кондензатора, кондензатор се пуни још спорије, што је, још једном, у складу са физичким механизмима који доводе до промене напона прага и у складу са захтевима модела. За израчунавање одговарајућих вредности отпорности у колу са слике 2.13 а), поново је искоришћена метода најмањих квадрата. Овога пута, свака фаза промене напона прага је апроксимирана засебно, али су приказани резултати само за експеримент NBT напрезања који је трајао 24 сата. Метода је примењена још 12 пута (четири комбинације услова напрезања са по три подфазе напрезања), из чега су добијени параметри A_1, A_2, A_3 и B_1, B_2 и B_3 , где се индекси односе на одговарајућу подфазу. Према овим параметрима, а у складу са једначинама проширеног еквивалентног кола, израчунате су отпорност R_1, R_2 и R_3 .

2.4 Резултати моделовања промене напона прага

Резултати за различите услове напрезања приказани су у табели 2.3. Коефицијент детерминације је означен као R^2 и износи између 0,95043 и 0,98268 за моделовање са основним колом (слика 2.12) и између 0,98764 и 0,99262 за моделовање са проширеном колом (слика 2.13 а)).

Резултати моделовања коришћењем проширеног еквивалентног кола са слике 2.13 а) су приказани на сликама 2.14, 2.15 и 2.16. Евалуација модела спроведена је поређењем резултата моделовања са експериментално добијеним резултатима. Приликом поређења разматране су апсолутна и релативна грешка. Апсолутна грешка (резултати приказани на слици 2.15) овде је представљена као апсолутна вредност разлике између експериментално измерених и моделованих вредности, а израчуната је као:

$$E_{abs} = |\Delta V_{Tmer} - \Delta V_{Tmod}|. \quad (2.13)$$

Релативна грешка је у даљој анализи представљена као однос овако дефинисане апсолутне грешке и експериментално добијених вредности и изражена је у процентима. Математички је рачуната као:

$$\delta_{V_T} = \frac{E_{abs}}{|\Delta V_{Tmer}|} \cdot 100 \%. \quad (2.14)$$

Табела 2.3: Вредности параметара $A_1 - A_3$, $B_1 - B_3$ и отпорности $R_1 - R_3$ за различите услове напрезања

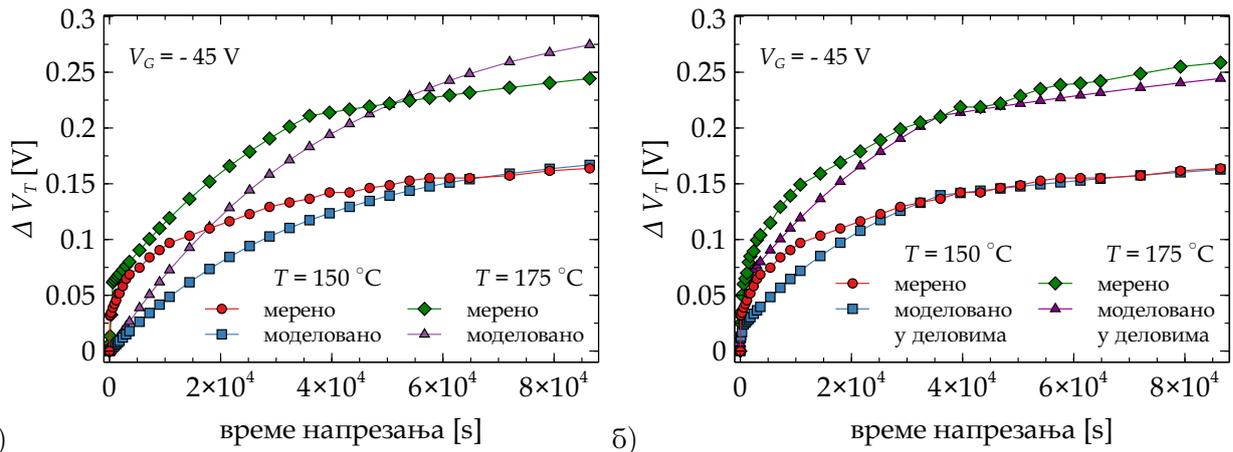
Температура напрезања [°C]	150		175	
Напон напрезања [V]	-45	-50	-45	-50
Подфаза 1 ($0 < t < 600$ s)				
A_1	0,02191	0,02191	0,00544	0,00475
B_1	0,08548	0,20024	0,38145	0,53067
R_1 [M Ω]	10,1215	2,9499	2,9304	3,2873
Подфаза 2 (600 s $< t < 36000$ s)				
A_2	0,00504	0,00926	0,00793	0,01092
B_2	0,31566	0,32872	0,31336	0,33571
R_2 [M Ω]	46,7246	71,4286	56,5297	82,6446
Подфаза 3 (36000 s $< t < 86400$ s)				
A_3	0,01731	0,02279	0,01754	0,01857
B_3	0,19832	0,24382	0,23718	0,28539
R_3 [M Ω]	87,8942	58,7951	128,9552	53,6646

Резултати који су приказани на сликама 2.14, 2.15 и 2.16 показују да за оба напона напрезања, као и за обе температуре напрезања, предложена еквивалентна кола за моделовање и поступак прорачуна елемената кола, за највећи део експериментално мерених вредности дају одговарајуће резултате. Евидентно је такође, упоређујући резултате на 2.15 а) и 2.15 б), да се апсолутна грешка приликом моделовања може значајно смањити уколико се моделовање врши узевши у обзир поделу на подфазе.

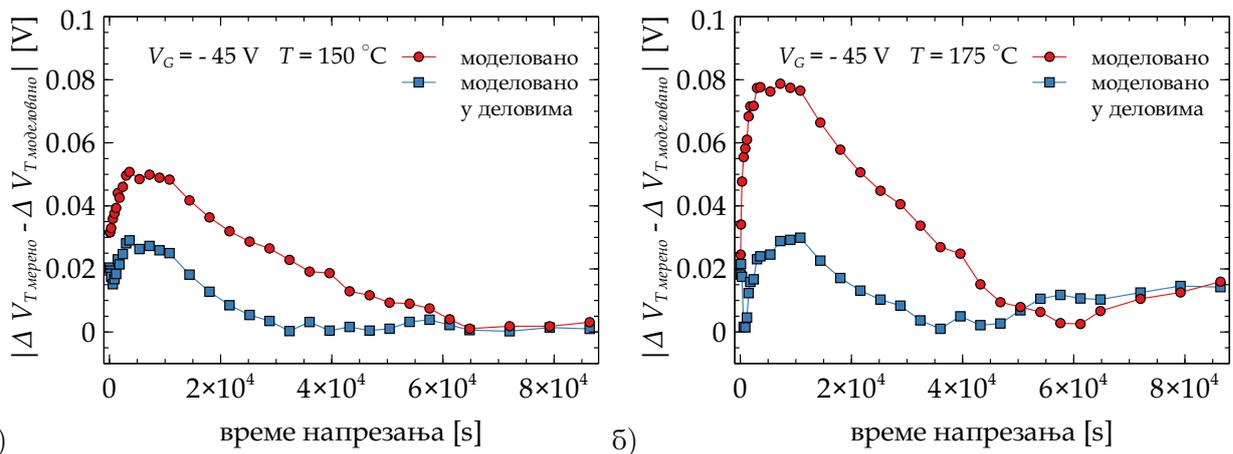
Поготово је карактеристичан случај приказан на слици 2.15 б), за услове напрезања $V_G = -45$ V и $T = 175$ °C, где је моделовањом по подфазама троструко смањена апсолутна грешка. Неподударане резултата је поготово изражено током друге подфазе промене $|\Delta V_T|$. Како трећа подфаза развоја почиње након апроксимативно 10 сати напрезања, током наведеног експеримента, узорци су најдуже изложени овој подфази деградације (14 сати). За ту подфазу, моделовањем су остварени резултати који су у бољој сагласности са експерименталним.

Детаљнији увид у резултате моделовања може се добити посматрањем графика релативне грешке, приказаног на сликама 2.16 а) и 2.16 б). Уколико се изузме прва подфаза напрезања и промене $|\Delta V_T|$, која је од најмањег значаја са становишта практичне промене, релативна грешка модела не прелази 20 %, док је за касније подфазе напрезања (поготово трећу) релативна грешка готово увек испод 5 %.

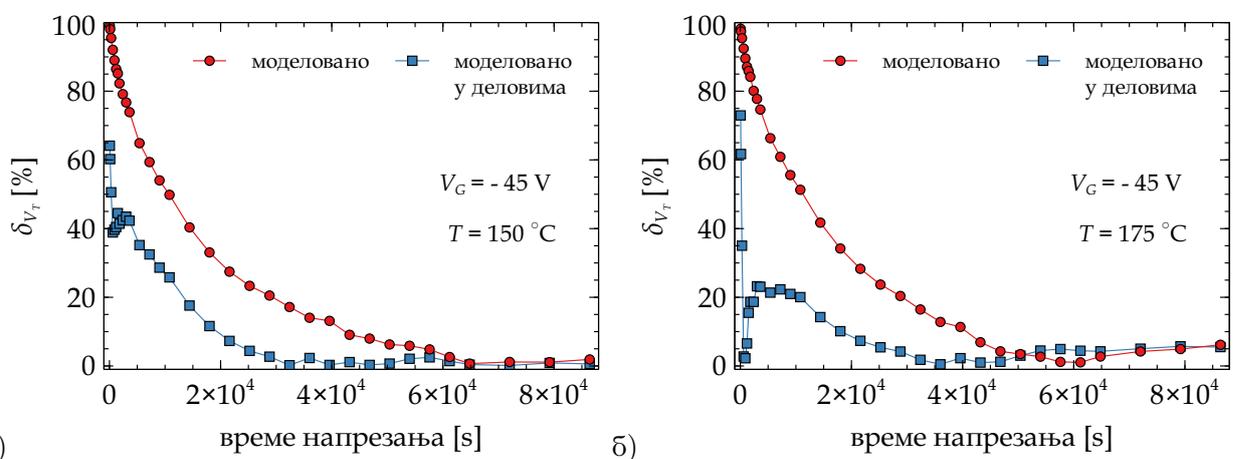
Ако се разматра фазна подела приказана на слици 2.10 и претходна анализа, јасно је да се резултати са мањом грешком очекују за другу и нарочито за трећу фазу. Такође, трећа фаза деградације има највећу важност приликом моделовања. Један од циљева еквивалентних кола за моделовање је добијање одговарајућих параметара према којима је могуће, коришћењем одговарајућих математичких метода, одредити период поузданог рада компоненте. За потребе ове примене, најмања грешка између експерименталних и моделованих резултата потребна је баш за тај део. Приказани резултати указују на то да је овај циљ остварен, јер је највеће подударане добијено за дужа времена напрезања.



Слика 2.14: Резултати моделовања за напон напрезања $V_G = -45$ V на температурама $T = 150$ °C и $T = 175$ °C: а) Коришћењем основног еквивалентног електричног кола; б) Коришћењем проширеног еквивалентног електричног кола.



Слика 2.15: Апсолутна грешка приликом моделовања основним и проширеним еквивалентним колом за напон напрезања $V_G = -45$ V: а) На $T = 150$ °C; б) На $T = 175$ °C.



Слика 2.16: Релативна грешка приликом моделовања основним и проширеним еквивалентним колом за напон напрезања $V_G = -45$ V: а) На $T = 150$ °C; б) На $T = 175$ °C.

Поред тога, приликом моделовања основним колом, са слике 2.16 може се приметити да је вредност релативне грешке у почетним деловима напрезања 100 %. Коришћењем елементарног кола за моделовање, моделовање читавог скупа резултата врши се коришћењем једне RC константе. Због тога, у почетним деловима напрезања, док су промене напона прага највеће, апсолутна грешка моделованих резултата већа је од саме промене. Оваква разлика заступљена је само у почетним деловима напрезања које не представљају фокус моделовања. Упркос томе, подела на подфазе значајно смањује вредност релативне грешке и у овом интервалу, као што се може видети са слике 2.16.

Битно је напоменути да је еквивалентно електрично коло било могуће поставити и другачије. Уколико би се идентична анализа са математичког становишта применила на коло приказано на слици 2.13 б), добијени резултати моделовања би довели до мање апсолутне грешке у почетној подфазе напрезања. Ипак, у овом случају, моделовање треће подфазе напрезања вршило би се коришћењем три RC константе, па би у тој подфазе напрезања била постигнута већа апсолутна грешка. Због тога, за анализу је одабрано проширено еквивалентно коло са слике 2.13 а), али би за другачији циљ модела коло са слике 2.13 б) могло остварити тачније резултате.

Резултати који су приказани поготово на сликама 2.15 а) и 2.15 б) показују да крива апсолутне грешке која се јавља при моделовању, поготово при моделовању елементарним еквивалентним колом, има јако сличан облик као развој параметра n , који је приказан на слици 2.11. Овај специфичан облик криве, као што је напоменуто раније, суштински описује NBTI феномен.

Поред тога, подела на подфазе довела је до тога да су апсолутна и релативна грешка између експерименталних и моделованих резултата више него два пута смањене, као што се може видети на сликама 2.15 и 2.16.

Додавањем описаних отпорника и прекидача који су саставни део проширеног кола за моделовање, нагиб криве која описује апсолутну грешку се драстично смањује (врх криве је два пута смањен, а на другим деловима је остварен већи степен подудараности). Овакви резултати су у складу са очекивањима од проширеног еквивалентног кола. Даље проширење и додавање RC константи, као и дељење развоја деградације у још већи број подфаза би вероватно довели до још прецизнијих резултата моделовања.

Ипак, подела у још више подфаза подразумева и додавање додатних елемената у коло за моделовање. Тиме се уводе нове једначине и отежава се поступак прорачуна вредности тих додатних елемената. Компликованији прорачун ових вредности значајно отежавајуће утиче на време потребно за нумеричко израчунавање тих вредности. Циљ компактних модела није постојање компликованог позадинског математичког апарата, поготово у случајевима где би тај апарат смањио грешку у области која није од примарног интереса.

Поред тога, нека истраживања у литератури показују да се и у том случају не би добило апсолутно поклапање експерименталних и моделованих резултата. Број RC константи потребан за апсолутно поклапање приликом моделовања одређен је бројем индивидуалних дефеката који настају у оксиду р-каналних VDMOS транзистора [22, 49]. Повећање броја дефеката, које се постиже поопштравањем услова напрезања, доводи до веће промене напона прага, а самим тим и потребе за још већим бројем RC константи како би се извршило моделовање тог напрезања.

Узевши у обзир описане резултате, предложени модел представља компромис између једноставности, како математичке, тако и садржине електричног кола са једне стране и компликованих и специфичних физичких механизма који доводе до промене напона

прага p-каналних VDMOS транзистора снаге при статичком NBT напрезању са друге стране. Предложено проширено еквивалентно електрично коло ослања се на експериментално утврђену фазну расподелу промене $|\Delta V_T|$, чиме се моделовањем остварују тачнији резултати, односно резултати са значајно смањеном апсолутном и релативном грешком.

Поглавље 3

Моделовање промене напона прага настале под утицајем импулсног NBT напрезања

Једна од заступљенијих примена VDMOS транзистора снаге је примена за контролу електронског оптерећења. Приликом ових примена, оптерећење се везује у коло дрејна, па се, довођењем одговарајућег напона на гејт, омогућава укључивање или искључивање транзистора, односно, транзистор има прекидачку улогу. Самим тим, пошто се укључивање и искључивање транзистора дешава циклично, може се констатовати да напон који се доводи на гејт има импулсни облик. Импулсним сигналом одговарајуће амплитуде, периоде и фактора испуне се контролише укључивање транзистора. Значајан сегмент примене VDMOS транзистора снаге управо јесу прекидачке, пре свега, јер ове типове транзистора карактерише висока вредност струје дрејна (од неколико ампера па до преко десет ампера), као и ниска отпорност укључења ($R_{DS(on)}$) која омогућава фреквенцију прекидања реда величине MHz. Због тога, овим компонентама је могуће вршити контролу оптерећења велике снаге, што је и довело до њихове широке примене у прекидачким изворима напајања, аутоиндустрији, авиоиндустрији и слично [139–142].

Приликом описаног начина рада такође временом долази до деградације карактеристика транзистора. Раније описани NBTI ефекти примећени су и приликом овакве примене р-каналних VDMOS транзистора снаге. Дејство NBTI ефеката је мање изражено, промене се дешавају спорије, али такође, као и у случају статичког напрезања, временом могу довести до параметарског отказа компоненте. Резултати истраживања из претходних година показали су да се примена модела и принципа искоришћених да опишу континуално, односно статичко напрезање, не може на потпуно идентичан начин применити да се прикажу ефекти и последице импулсног напрезања [34, 116, 137]. Поред раније познатих параметара који одређују ниво деградације, односно промене напона прага, као што су напон напрезања и температура, резултати су показали да фреквенција и фактор испуне (енг. *Duty Cycle* у даљем тексту скраћено као DTC) сигнала који врши напрезање такође значајно утичу на промену напона прага приликом напрезања. Већа фреквенција сигнала, као и већа вредност фактора испуне доводе до израженијих ефеката, где је поготово вредност фактора испуне утицајан фактор на насталу промену напона прага [44, 53, 139, 143, 144]. Због тога, моделовању промене напона прага која настаје при импулсном контролишућем сигналу (у даљем тексту импулсно напрезање) изискује посебну анализу и другачије моделовање.

Првобитна претпоставка основано је указивала на то да ће приликом импулсног напрезања ΔV_T бити мање него приликом статичког напрезања. Нека се узме да је при статичком напрезању при одређеним условима промена напона прага $\Delta V_{Tstat} = 0,1 \text{ V}$. Уколико се при идентичним условима изврши импулсно напрезање сигналом фактора испуне од 70 %, првобитна претпоставка је била да би у том случају промена напона прага $\Delta V_{Tpuls} = 0,7 \cdot \Delta V_{Tstat} = 0,07 \text{ V}$. Међутим, истраживања су показала да ова претпоставка није била потврђена и да се овако једноставна аналогија не може применити готово ни за једну вредност фактора испуне, без обзира на примењену фреквенцију. Резултати су показали да је у сваком од ових случајева, у већој или мањој мери, деградација била мања од предвиђене, што је указивало да се приликом неактивног стања VDMOS транзистора (период током кога нема напрезања) дешава делимични опоравак деградације показан кроз смањење промене напона прага [33, 39, 69, 71, 145, 146].

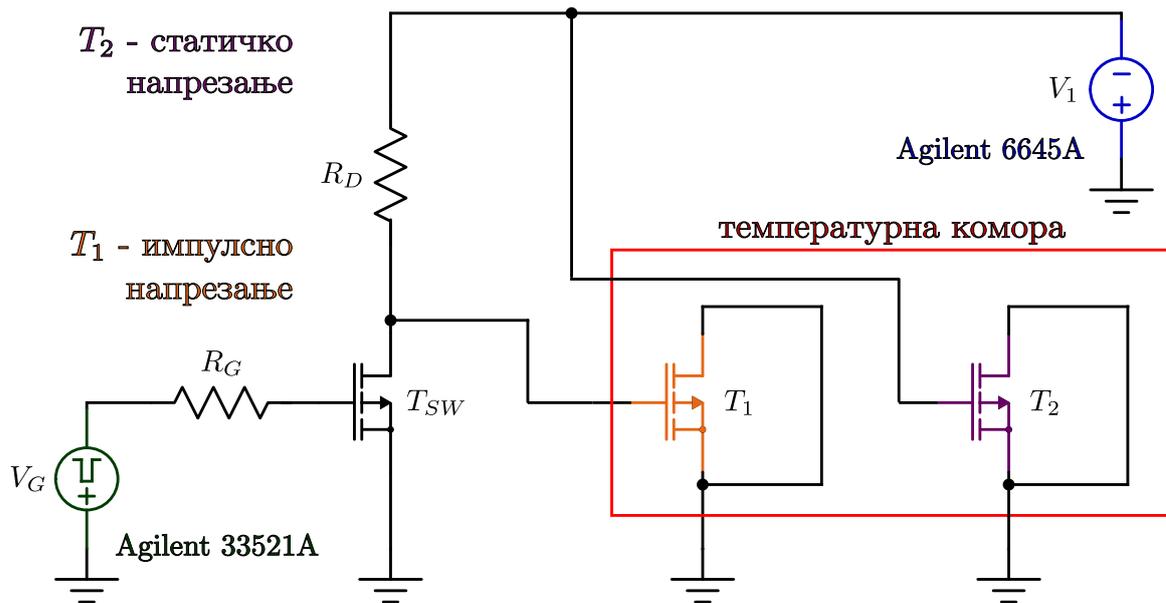
Како би се направила основа за моделовање, потребно је прво извршити детаљнију анализу одговорних механизма за промену напона прага при импулсном напрезању. У ову сврху, одрађен је низ експеримената са циљем процене утицаја фактора испуне на ΔV_T и анализе опоравка који се дешава. У склопу ових експеримената узорци су подвргнути убрзаним условима напрезања, слично као и у поглављу о моделовању статичког NBT напрезања. Услови су подразумевали импулсно напрезање при идентичним температурама, идентичним амплитудама сигнала који врши напрезање, као и код статичког NBT напрезања, али са различитим фреквенцијама и факторима испуне тог сигнала.

3.1 Експериментална поставка

За анализу ефеката импулсног напрезања и њихово поређење са ефектима статичког напрезања, потребно је прво осмислити одговарајући експеримент који би истакао разлике међу ефектима који настају поменути типовама напрезања. Као узорци за ове експерименте, поново су искоришћени комерцијални р-канални VDMOS транзистори снаге IRF9520 [111], као и у поглављу о моделовању статичког NBT напрезања. Почетна вредност напона прага ових компонената је $V_{T0} = -3,6 \text{ V}$.

Основа за моделовање поново ће бити експериментални резултати остварени убрзаним напрезањем компонената. Као и у претходном поглављу, узорци су изложени високој вредности температуре и високој вредности напона на гејту. Међутим, потпуно засебан проблем приликом овог експеримента представља пројектовање експерименталне поставке за истовремено обезбеђивање и статичког и импулсног напрезања узорака. Делу узорака који су подвргнути статичком напрезању потребно је континуално доводити једносмерни напон амплитуде -45 V или -50 V , док је истовремено делу узорака потребно доводити импулсни напон амплитуде -45 V или -50 V , фреквенције 10 kHz и различитих фактора испуне. Потребно је напоменути да су бројни експерименти са овим узорцима били реализовани и при другим фреквенцијама [38]. Јасно је да је за остваривање другог услова потребно унети додатке у коло које врши напрезање. Проширена електрична шема експерименталне поставке која омогућава симултано и импулсно и статичко напонско температурно напрезање приказана је на слици 3.1.

Добијање различитих импулсних сигнала остварује се додавањем сигнал генератора, где је, као што је приказано на слици 3.1 додат сигнал генератор опште намене Agilent 33521A [147]. Коришћењем овог уређаја могуће је генерисати импулсне сигнале одговарајуће фреквенције и фактора испуне потребних за импулсно напрезање узорака.



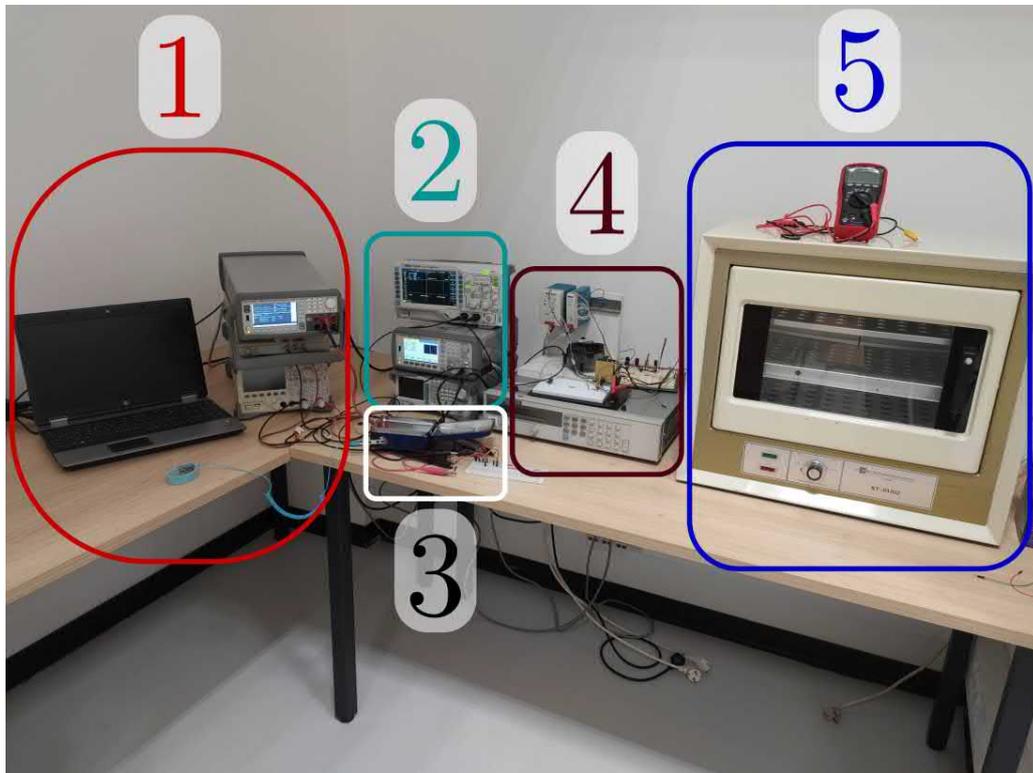
Слика 3.1: Електрична шема експерименталне поставке помоћу које може да врши и импулсно и статичко убрзано напонско температурно напрезање.

Ипак, овај сигнал генератор, као и велика већина комерцијалних сигнал генератора, има релативно ограничен опсег амплитуде импулсних сигнала који се могу генерисати (за овај конкретан модел сигнал генератора, опсег амплитуда је $\pm 15\text{ V}$ [147]). Да би се до гејта узорка над којим се врши импулсно напрезање омогућило довођење импулсног сигнала амплитуде -45 V , у коло је потребно додати и један р-канални транзистор снаге, који је означен на слици 3.1 као T_{SW} , који ће имати прекидачку улогу. У зависности од карактеристика контролишућег сигнала (амплитуде, фреквенције и фактора испуне) који се доводи на гејт транзистора T_{SW} (сигнал са сигнал генератора), транзистор T_{SW} прелази у активно стање (када је вредност амплитуде контролишућег сигнала негативнија од вредности напона прага) или неактивно стање (када је вредност амплитуде контролишућег сигнала позитивнија од вредности напона прага).

У активном стању, транзистор T_{SW} води, па је са дрејна транзистора T_{SW} могуће очитати вредност од 0 V . У неактивном стању, транзистор T_{SW} не води, па је са дрејна транзистора T_{SW} могуће очитати вредност прикљученог напона из извора једносмерног напона Agilent 6645A, која може бити -45 V или -50 V . На овај начин, са дрејна транзистора T_{SW} је могуће очитати импулсни сигнал амплитуде од -45 V или -50 V , што јесу карактеристике сигнала који је потребан за импулсно напрезање.

Потребно је и напоменути да је код овакве конфигурације фактор испуне сигнала који се доводи на гејт узорка над којим се врши импулсно напрезање обрнут у односу на фактор испуне сигнала који се генерише коришћењем сигнал генератора (уколико се коришћењем сигнал генератора генерише сигнал фактора испуне 25% , на гејт узорка над којим се врши импулсно напрезање биће доведен сигнал фактора испуне од 75% , уколико се коришћењем сигнал генератора генерише сигнал фактора испуне 60% , на гејт узорка над којим се врши импулсно напрезање биће доведен сигнал фактора испуне од 40% , итд.). Приликом повезивања описане експерименталне поставке, највеће оптерећење трпи транзистор T_{SW} , који треба да обезбеди прекидачку функцију релативно високе фреквенције (реда величине kHz) и релативно високих вредности напона (неколико десетина волти). Због тога, на транзистор T_{SW} је повезан активни хладњак, како

би се обезбедило одвођење топлоте која се генерише приликом оваквог начина рада. Ради провере, приликом поставке експеримента, у коло дрејна транзистора T_{SW} може бити повезан и један осцилоскоп опште намене како би се извршила провера карактеристика и облика сигнала који се доводи до узорка. Описана експериментална поставка у лабораторији приказана је на слици 3.2.

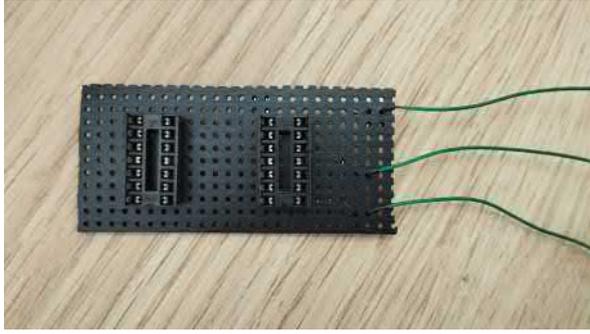


Слика 3.2: Експериментална поставка у лабораторији: 1) *Source Measure Unit* B2901A [119] са контролишућим лаптопом; 2) Сигнал генератор Agilent 33521A [147]; 3) Узорак који се мери [111]; 4) Напајање Agilent 6645A [118] заједно са транзистором T_{SW} и хладњаком; 5) Температурна комора.

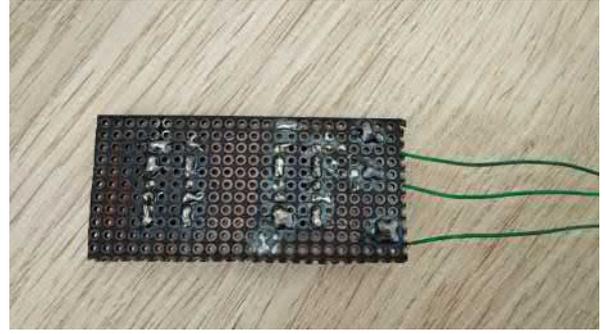
Како би се скратило укупно време реализације експеримената, слично као и у случају статичког напрезања, на пертинакс плочу су налемењена одговарајућа кућишта, као што је приказано на слици 3.3. Овога пута, повезивање плоче је било значајно комплексније јер је циљ био омогућити паралелно статичко напрезање дела узорака и импулсно напрезање другог дела узорака. Због тога, плоча сада има три излазне линије. Преко једне линије се обезбеђује статичко, преко друге импулсно напрезање, а трећа је за заједничку масу.

Описаном поставком извршен је низ експеримената који поред статичког напрезања групе узорака (статичко напрезање се може апроксимирати фактором испуне од 100 %) обухвата и импулсно напрезање група узорака, где је фреквенција сигнала који врши импулсно напрезање $f = 10 \text{ kHz}$, а фактор испуне (DTC) различитих група узорака 25 %, 50 %, 75 %, 87,5 %.

Над узорцима је вршено NBT напрезање у трајању од 24 сата, при вредностима амплитуде напона од -45 V и -50 V и температурама од 150°C и 175°C . Ради једноставније класификације, узорци су према условима напрезања подељени у групе, од Г1 до Г15. Подела узорака по групама дата је у табели 3.1.



а) Горња страна.



б) Доња страна.

Слика 3.3: Пертинакс плоча са два DIP14 кућишта која омогућава истовремено статичко напрезање 4 узорка и импулсно напрезање 4 узорка и садржи три везе за повезивање са опремом за напрезање: а) Горња страна; б) Доња страна.

Узорци по групама Г1 - Г5 изложени су условима напрезања од $V_G = -45\text{ V}$ и $T = 150^\circ\text{C}$. Узорци по групама Г6 - Г10 изложени су условима напрезања од $V_G = -45\text{ V}$ и $T = 175^\circ\text{C}$. На овај начин, ове две групе група узорака напрезане су идентичним напонем напрезања, а различитим температурама напрезања, за све вредности DTC, па је могуће видети утицај температуре на карактеристике узорака.

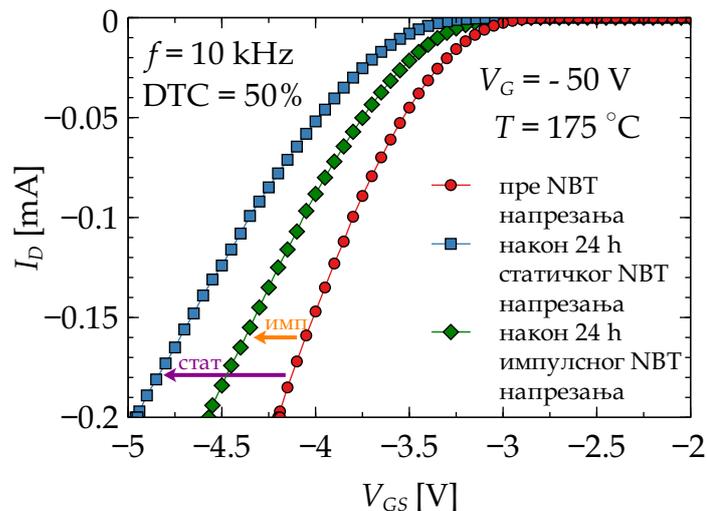
Табела 3.1: Експериментални услови NBT напрезања р-каналних VDMOSFET транзистора IRF9520

NBT напрезање - статичко - импулсно: $f = 10\text{ kHz}$, различит DTC - време напрезања: 24 сата	Различите групе узорака приликом тестирања (Γ)	
	$V_G = -45\text{ V}$	$T = 150^\circ\text{C}$ $T = 175^\circ\text{C}$
статичко	Г1	Г6
импулсно, DTC = 25 %	Г2	Г7
импулсно, DTC = 50 %	Г3	Г8
импулсно, DTC = 75 %	Г4	Г9
импулсно, DTC = 87,5 %	Г5	Г10
	$V_G = -50\text{ V}$	$T = 150^\circ\text{C}$ $T = 175^\circ\text{C}$
статичко		Г11
импулсно, DTC = 25 %		Г12
импулсно, DTC = 50 %		Г13
импулсно, DTC = 75 %		Г14
импулсно, DTC = 87,5 %		Г15

Поред тога, узорци по групама Г11 - Г15 изложени су условима напрезања од $V_G = -50\text{ V}$ и $T = 175^\circ\text{C}$. Узорци Г6 - Г10 и узорци Г11 - Г15 напрезани су различитим напонима напрезања, а идентичном температуром напрезања, за све вредности

DTC, па је могуће видети утицај амплитуде напона напрезања на карактеристике узорака. Наведеном логиком, није било неопходно вршити напрезање узорака при условима $V_G = -50\text{ V}$ и $T = 150^\circ\text{C}$, па тај простор у табели 3.1 није попуњен.

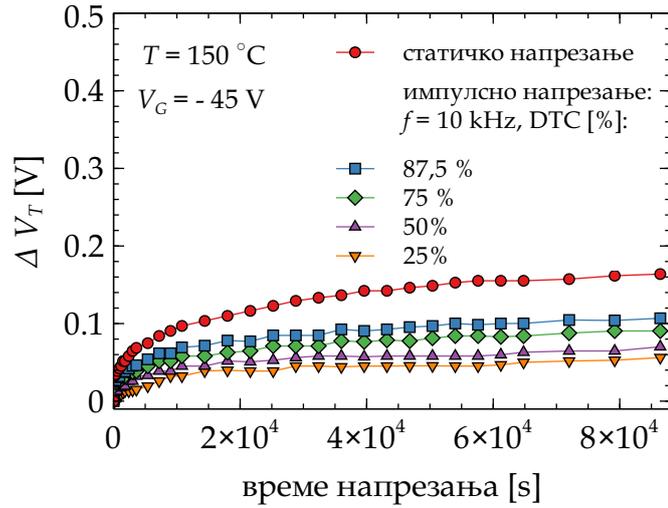
Идентично као и у поглављу о моделовању статичког NBT напрезања, излазни резултат експеримената са убрзаним условима напрезања је преносна струјно-напонска карактеристика транзистора мерена у засићењу. Преносна карактеристика мерена је коришћењем *Source Measure Unit* SMU B2901A [119] на идентичан начин као што је описано у претходном поглављу. Током укупног периода NBT напрезања које је трајало 24 сата извршено је 36 мерења преносних карактеристика у предодређеним временским интервалима. Приликом сваког од мерења, напрезање је привремено заустављано и узорци су вађени из температурне коморе, како би се мерење вршило на собној температури. Како би се температура узорака брже спустила до собне, након вађења из температурне коморе узорци се на одређено униформно време смештају на хладњак. По успостављању температурне равнотеже са собном температуром, приступа се мерењу. Након мерења, обављеног док су узорци на собној температури, узорци су враћају на раније постављене убрзане услове напрезања који подразумевају повишену температуру и присуство напона. Већ након мерења преносних карактеристика статички и импулсно напрезаних узорака може се приметити велика разлика у резултатима, као што је приказано на слици 3.4. Ради илустрације, овде су приказане само преносне карактеристике пре напрезања узорка, након 24 h статичког напрезања и након 24 h импулсног напрезања.



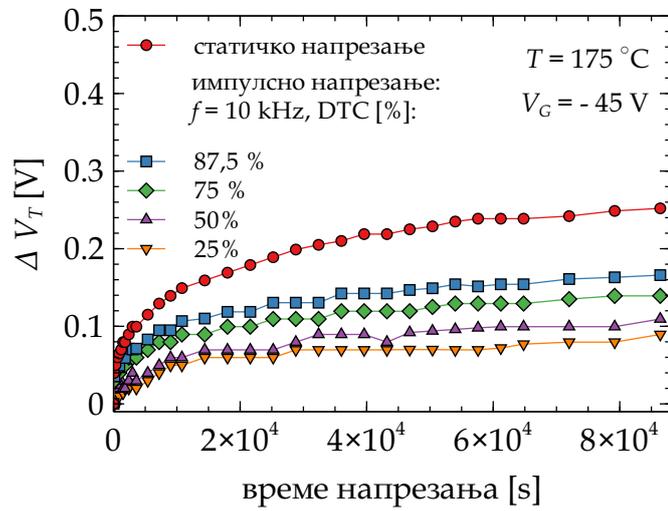
Слика 3.4: Преносне I - V карактеристике мерене пре и након 24 сата статичког односно импулсног NBT напрезања ($V_G = -50\text{ V}$, $T = 175^\circ\text{C}$, и за импулсно $f = 10\text{ kHz}$ и $\text{DTC} = 50\%$).

Као што се може видети на слици 3.4 и статичко и импулсно NBT напрезање доводе до померања преносне карактеристике улево, ка негативнијим вредностима напона V_{GS} . Ипак, померање узроковано статичким NBT напрезањем је доста наглашеније у односу на померај преносне карактеристике изазван импулсним NBT напрезањем.

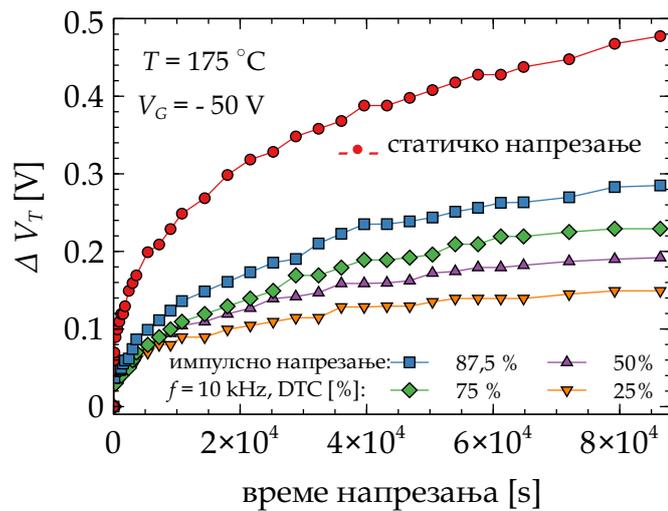
Напон прага је и у овом случају одређен коришћењем метода другог извода [120,121]. За сваку од измерених преносних карактеристика примењен је метод који је описан у поглављу о моделовању статичког NBT напрезања. Промена напона прага током трајања експеримента за различите услове напрезања је приказана на слици 3.5.



а)



б)



в)

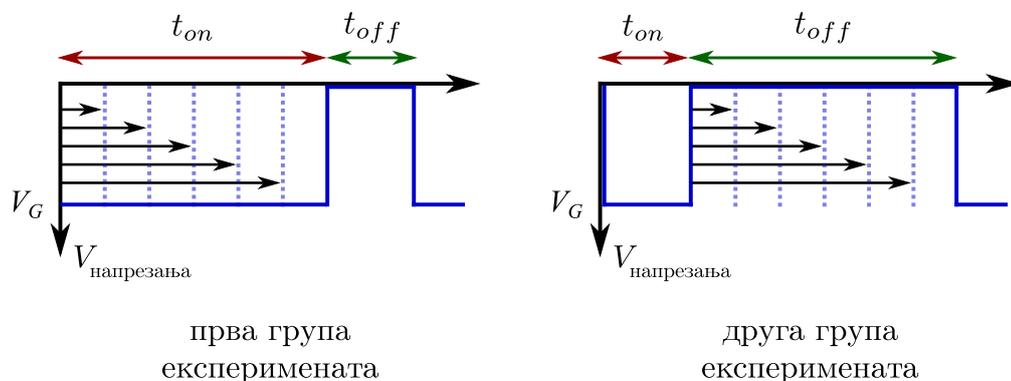
Слика 3.5: Промена напона прага изазвана статичким и импулсним ($f = 10\text{ kHz}$) NBT напрезањем са различитим факторима испуне при: а) $V_G = -45\text{ V}$ и $T = 150\text{ }^\circ\text{C}$; б) $V_G = -45\text{ V}$ и $T = 175\text{ }^\circ\text{C}$; в) $V_G = -50\text{ V}$ и $T = 175\text{ }^\circ\text{C}$.

Као што се може приметити са слике 3.5, промена напона прага (ΔV_T) нема линеарну зависност од фактора испуне импулсног сигнала за напрезање [33, 39, 44, 53, 69, 71, 139, 143–145]. Показани резултати одбацују првобитну насталу претпоставку, да важи $\Delta V_{T_{puls}} = k \cdot \Delta V_{T_{stat}}$. С друге стране, јасно је да за обе вредности амплитуде напона као и за обе вредности температуре, промена напона прага током времена има експоненцијални облик, где је промена наглашенија за веће апсолутне вредности амплитуде напона, односно за више температуре.

3.1.1 Реверзибилна компонента деградације промене напона прага

Појава да ΔV_T која настаје приликом импулсног напрезања узорака није директно пропорционална фактору испуне импулсног сигнала којим се напреже узорак, већ да је значајно мања, упутила је на закључак да, у неком тренутку напрезања, долази до делимичног опоравка деградације, односно до смањења апсолутне вредности ΔV_T . Како је ова појава забележена код импулсног напрезања, претпостављено је да се поменути опоравак дешава током неактивног стања импулсног напрезања (у делу периоде где нема напрезања). Ипак, величина, трајање и распон опоравка нису првобитно били квантитативно одређени.

Са циљем дубљег увида, у литератури је забележен низ експеримената различитог типа који су покушали да утврде везу између карактеристика импулсног сигнала којим се врши импулсно напрезање и изазване промене напона прага која обухвата и опоравак [22, 37–39, 45, 71, 145]. Низови експеримената који су реализовани обухватили су тестирања убрзаним напрезањем где су карактеристике импулсног сигнала (период и фактор испуне) мењани у широком опсегу. Ови експерименти могу се поделити у две велике групе. Прва, где се активно стање периоде импулсног напрезања (део периоде где се дешава напрезање (t_{on})) мења у предвиђеном опсегу (током првог експеримента је рецимо $t_{on} = 10 \mu s$, током другог $t_{on} = 20 \mu s$, итд.), а неактивно стање (део периоде где нема напрезања (t_{off})) има константно трајање (током свих експеримената трајање је нпр. $50 \mu s$). У другој групи експеримената, време t_{on} има константно трајање (током свих експеримената трајање је нпр. $50 \mu s$), а време t_{off} се мења у предвиђеном опсегу (током првог експеримента је рецимо $t_{off} = 5 \mu s$, током другог $t_{off} = 10 \mu s$, итд.). Илустрација ових експеримената приказана је на слици 3.6.



Слика 3.6: Илустрације импулса примењених за импулсна NBT напрезања у две описане групе експеримената.

Најшири скуп резултата у литератури покрива случајеве где је за прву групу експеримената активно стање импулсног напрезања (t_{on}) имало трајање од 1,56 μs па до 100 μs , док је неактивно стање имало фиксну вредност од 50 μs , а за другу групу експеримената је t_{on} имало фиксну вредност од 50 μs , а време t_{off} се кретало у опсегу од 1,56 μs па до 100 μs [37–39, 145]. Ова истраживања применила су *Stress Measure Stress* (SMS) методу за мерење деградације која изискује посебне услове и додатну опрему, али пружа мерење преносних карактеристика одмах након дела периоде када се дешава напрезање. Коришћењем спреге више лабораторијских мерних уређаја и уређаја којима се врши NBT напрезање, као и одговарајућих релеја, готово непосредно након престанка напрезања узорка, релејима се активира део експерименталне поставке за мерење [37]. Током самог процеса мерења, нема напрезања компоненте, али се одмах по завршетку мерења релејима активира део експерименталне поставке за напрезање. Време потребно за циклус мерења (укључујући и активирање и деактивирање одговарајућих релеја) је око 235 ms, које је за убрзане услове напрезања занемариво, па се може сматрати да се оваквим поступком мерења не мењају карактеристике узорка [37].

Описаном мерном методом је утврђено да постоји разлика између измерене вредности напона прага „одмах након” напрезања и измерене вредности напона прага у одређеним временским тренуцима након напрезања. Детаљна анализа добијених експерименталних резултата показала је да је вредност „одмах након” напрезања већа него вредност измерена након 10 μs након напрезања, а још већа него вредност измерена након 20 μs . Ипак, експерименти су показали да је вредност напона прага након око 30 μs врло блиска вредности измереној након 40 μs итд.

Закључак описаних експеримената је тај да, уколико се на нивоу импулса који врши импулсно напрезање, пораст апсолутне вредности промене напона прага дешава током времена t_{on} , онда се највећи део опоравка (пада апсолутне вредности промене напона прага) деси у првих 25 μs током времена t_{off} [38, 39, 145]. Уколико је време t_{off} дуже од 25 μs , опоравак је забележен само у првих 25 μs , а у остатку времена t_{off} готово да нема промене апсолутне вредности ΔV_T , односно опоравак се може сматрати занемаривим. Такође, уколико је t_{off} краће од 25 μs , опоравак се дешава све време током трајања t_{off} . Ови закључци дали су опис ефеката који објашњавају разлике укупне промене напона прага на ширем временском нивоу, као и објашњење утицаја различитих фактора испуне на апсолутну вредност ΔV_T .

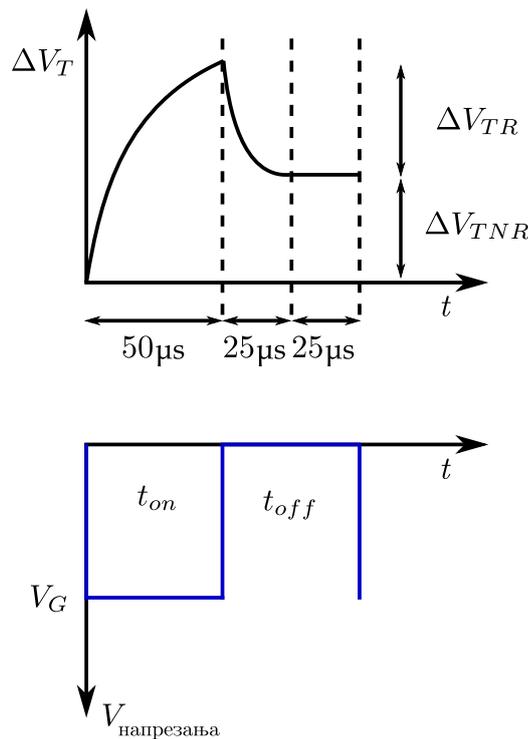
3.2 Приступ моделовању промене напона прага

Након што је остварено објашњење ефеката који доводе до деградације али и опоравка приликом импулсног NBT напрезања VDMOS транзистора снаге IRF9520, измерени резултати, као и познавање описаних ефеката представљају основу за моделовање ефеката.

3.2.1 Еквивалентно електрично коло

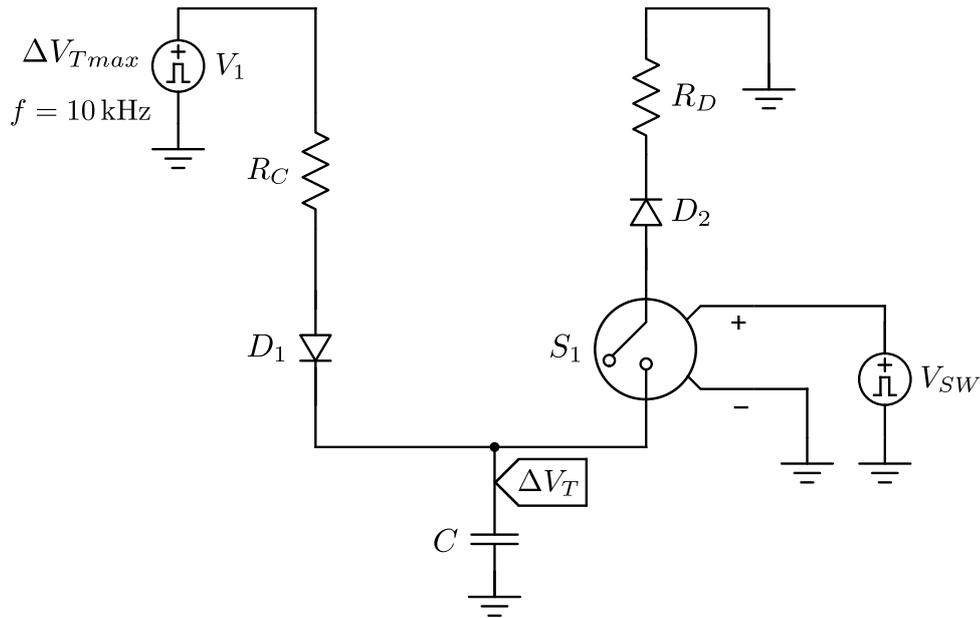
У литератури је забележено више покушаја моделовања промене напона прага услед импулсног NBT напрезања [53, 54, 64–67, 69, 72, 74, 75, 78, 79, 82, 92, 102, 104, 148–150]. Као што је описано раније, промена напона прага током времена која настаје при импулсном напрезању може се представити као акумулација промене која настаје током једне периоде импулсног сигнала (у даљем тексту, једног циклуса). Претходна истражива-

ња [72, 74, 75, 78, 82], као што је и описано, су показала да се промена напона прага током једног циклуса може представити илустрацијом приказаном на слици 3.7. Према приказаној илустрацији, током једног циклуса, долази до повећања промене напона прага, као и до делимичног, временски ограниченог опоравка. Вредност промене напона прага на крају циклуса представљена је на илустрацији као ΔV_{TNR} , односно нереверзибилна вредност промене напона прага. Део вредности промене напона прага који је реверзибилан, односно који представља смањење деградације узроковано опоравком означен је као ΔV_{TR} на илустрацији. Дата илустрација и добијање описаног облика приликом моделовања представља формативни елемент пројектовања еквивалентног електричног кола.



Слика 3.7: Облик једног периода сигнала за напрезање током импулсног NBT напрезања и њиме настала промена напона прага ($f = 10\ \text{kHz}$, DTC = 50%).

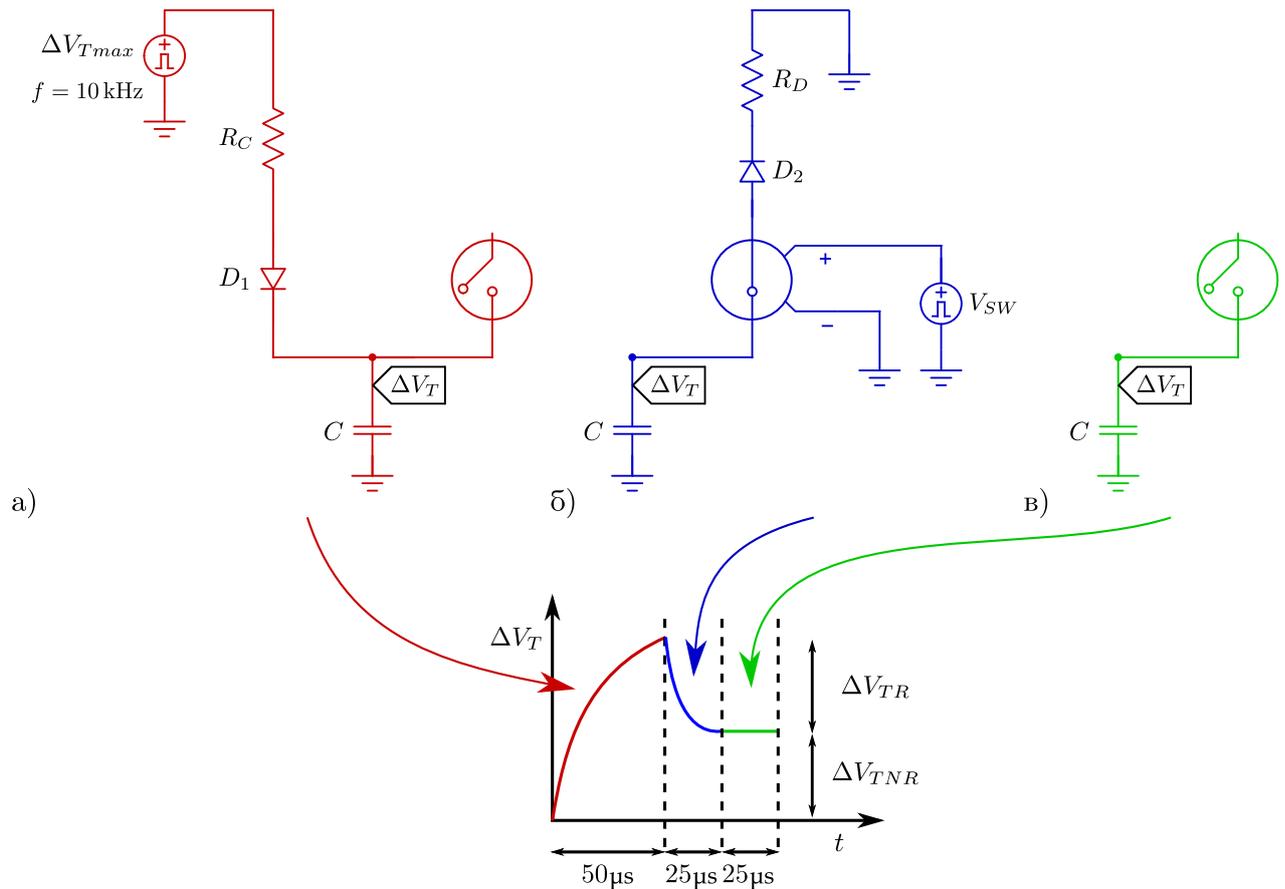
Растући део криве приказане на слици 3.7 може бити моделован као пуњење кондензатора (идентично као и у поглављу о моделовању статичког напрезања). Опадајући део криве мора бити подељен на два дела, опадајући део (компонента опоравка, реверзибилни део, има вредност ΔV_{TR} у склопу циклуса) и константни део (трајна компонента деградације, нереверзибилни део, има вредност ΔV_{TNR} у склопу циклуса). Опадајући део криве може бити моделован као пражњење кондензатора, али је приликом моделовања дела где нема промене вредности потребно зауставити пражњење. Еквивалентно коло које описује ове захтеве приказано је на слици 3.8.



Слика 3.8: Еквивалентно електрично коло за моделовање импулсног NBT напрезања.

Импулсни напонски генератор V_1 описан је идентичном фреквенцијом ($f = 10 \text{ kHz}$) и фактором испуне као и контролишући напонски сигнал који врши напрезање компоненте, а амплитуда је једнака вредности ΔV_{Tmax} . Напон са овог напонског генератора се прослеђује кондензатору C који се пуни преко отпорника R_C и идеалне диоде D_1 . Кондензатор се празни преко отпорника R_D и друге идеалне диоде D_2 . Идеалне диоде су повезане у коло на овај начин због њихових усмерачких карактеристика. Диода D_1 обезбеђује да се кондензатор C празни само преко отпорника R_D . Диода D_2 суштински није неопходна и има само усмерачку улогу. Отпорник R_C има улогу да ограничи и утиче на пуњење кондензатора, док отпорник R_D има идентичну улогу али приликом пражњења кондензатора. На овај начин, коло за моделовање треба да обезбеди да напон на кондензатору V_C одговара промени напона прага ΔV_T узроковану сваким од импулса током импулсног NBT напрезања, као што је приказано на слици 3.9. Пуњење кондензатора моделује повећање вредности ΔV_T (означено црвеном бојом). Пражњење кондензатора моделује смањење вредности ΔV_T (означено плавом бојом).

Битан део кола за моделовање је и напонски контролисан прекидач S_1 , повезан у делу кола који контролише пражњење кондензатора. Како је, према експерименталним резултатима потребно омогућити пражњење само током првих $25 \mu\text{s}$ након преласка у неактивно стање, контролишући сигнал за напонски контролисан прекидач треба да омогући пражњење кондензатора само у том одређеном интервалу током једног циклуса напрезања. У ову сврху, на напонски контролисан прекидач S_1 повезан је импулсни напонски генератор V_{SW} који омогућава одговарајуће отварање и затварање прекидача. Након завршетка времена потребног за опоравак, V_{SW} поново отвара прекидач S_1 и онемогућава промену вредности напона на кондензатору C (приказано зеленом бојом на слици 3.9).



Слика 3.9: Илустрација активних делова еквивалентног електричног кола за моделовање импулсног NBT напрезања током трајања једног импулса: а) Пуњење кондензатора; б) Пажњење кондензатора; в) Задржавање напона на кондензатору.

Битно је приметити да, у случајевима када је време док се не врши напрезање (t_{off}) једнако или мање од $25 \mu\text{s}$, контролишући сигнал V_{SW} за напонски контролисани прекидач S_1 треба да омогући прањење током читавог t_{off} током једног циклуса. У таквом случају, време неактивности није довољно да би се опоравак десио у потпуном обиму. Због тога, у таквим случајевима, допринос промени напона прага има и трајна, неповратна деградација (која настаје одговарајућим напрезањем док је транзистор активан), али и део деградације који би, при дужем трајању t_{off} , био опорављен.

Вредност амплитуде напонског генератора ΔV_{Tmax} добијена је коришћењем SE модела. Овај модел детаљније је описан у поглављу о моделовању статичког NBT напрезања. Коришћењем једначине (2.6) извршена је пројекција вредности на којој ће наступити zasiћење промене напона прага, и та вредност означена је као ΔV_{Tmax} . Израчунате вредности ΔV_{Tmax} за различите експерименталне услове NBT напрезања приказане су у табели 3.2.

Табела 3.2: Вредности ΔV_{Tmax} добијене SE моделом за испитиване групе узорака (Г1 - Г15)

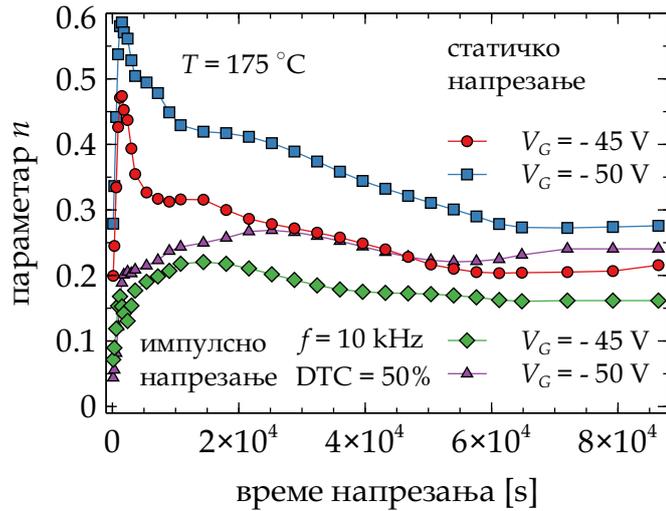
ΔV_{Tmax}	NBT напон напрезања (V_G)		
	-45 V		-50 V
температура	150 °C	175 °C	175 °C
статичко напрезање	0,182	0,312	0,503
импулсно напрезање $f = 10 \text{ kHz}$	DTC = 87,5 % 0,109	0,185	0,319
	DTC = 75 % 0,090	0,152	0,254
	DTC = 50 % 0,078	0,121	0,201
	DTC = 25 % 0,068	0,099	0,155

Како би се, коришћењем свих до сада описаних резултата извршило одређивање вредности отпорности отпорника R_C и R_D и капацитивности кондензатора C , потребно је да експериментално добијени резултати приказани на слици 3.5 буду детаљније анализирани. Посматрајући ове резултате, и за статичко и за импулсно напрезање, за све наведене вредности температуре односно амплитуде напона, може се претпоставити да се промена напона прага током трајања експеримента (24 сата) креће од вредности 0 V па до вредности ΔV_{T24h} . Уколико се фокус стави на импулсно напрезање (где је фреквенција сигнала који врши напрезање $f = 10 \text{ kHz}$, односно периода $100 \mu\text{s}$), за временски период од 86400 s (24 сата), узорак бива напрегнут са $864 \cdot 10^6$ импулса. Уколико се фокус стави на статичко напрезање и претпостави да сигнал за напрезање има фактор испуне 100 % (јер континуално врши напрезање), може се претпоставити да се током трајања експеримента (24 сата) узорку испоручи идентичан број импулса. Уколико је прираштај промене напона при сваком појединачном импулсу означен као ΔV_{Timp} , онда се средња вредност прираштаја током трајања експеримента може израчунати као:

$$\Delta V_{Timp} = \frac{\Delta V_{T24h}}{864 \cdot 10^6}. \quad (3.1)$$

Са циљем моделовања нелинеарног развоја ΔV_T и одређивања реалније вредности прираштаја по импулсу ΔV_{Timp} , крива која описује експерименталне резултате може бити подељена на више делова. Сличан приступ примењен је и у претходном поглављу. Вредност ΔV_T у времену прати степени закон t^n . Математичким разлагањем резултата приказаним на слици 3.5, добијена је вредност параметра n током експеримента. Временска зависност ове вредности приказана је на слици 3.10.

Приликом анализе резултата, поново се може уочити неколико подфаза ΔV_T , које су уочљивије приликом анализе параметра n . Међутим, као што се може видети на слици 3.10, вредности експонента n током прве подфаза (од 0 s до 600 s) и друге подфаза (од 600 s до 36000 s) се значајно разликују за статичко и за импулсно напрезање. Имајући у виду приказане резултате, приликом моделовања ће поново цело трајање експеримента са убрзаним NBT напрезањем бити подељено у три подфаза, са циљем добијања прецизнијих резултата моделовања.



Слика 3.10: Вредност параметра n током статичког и импулсног NBT напрезања.

Као и у поглављу о моделовању статичког NBT напрезања, а и као што се може видети са слике 3.10, прва подфаза промене траје око 600 секунди. Током ове подфазе, вредност експонента n има највећу вредност. Друга подфаза траје наредних десет сати, односно до 36000 секунди напрезања, где се према резултатима са слике 3.10 може видети другачија временска зависност параметра n . Трећа подфаза има најдуже трајање, од 36000 секунди до 86400 секунди. За сваку од подфаза може се одредити засебан прираштај по импулсу $\Delta V_{T_{imp}}$. Уколико се претпостави коло за моделовање приказано на слици 3.8, вредност $\Delta V_{T_{imp}}$ представља разлику између вредности напона до кога се кондензатор напунио током времена t_{on} ($\Delta V_{T_{char}}$) и вредности напона до кога се кондензатор испразнио током трајања времена t_{off} ($\Delta V_{T_{dis}}$). У склопу сваке од подфаза, вредности отпорности отпорника R_C и R_D су израчунате на основу средњих вредности $\Delta V_{T_{imp}}$. Прираштај на нивоу импулса може бити израчунат као:

$$\left\{ \begin{array}{l} \Delta V_{T_{char_i}} = \Delta V_{T_{max}}(1 - e^{-\frac{t_C}{R_C C}}), \\ \Delta V_{T_{dis_i}} = \Delta V_{T_{char}} \cdot e^{-\frac{t_D}{R_D C}}, \\ i = 1, 2, \dots, 864 \cdot 10^6 \text{ импулса,} \end{array} \right\} \Rightarrow \quad (3.2)$$

$$\Rightarrow \Delta V_{T_{imp}} = \Delta V_{T_{dis_i}}. \quad (3.3)$$

На нивоу једне периоде сигнала који врши импулсно напрезање, време док се врши напрезање (t_{on}) је у једначинама (3.2) означено као t_C и представља време пуњења кондензатора у еквивалентном електричном колу приказаном на слици 3.8. На нивоу једне периоде сигнала који врши импулсно напрезање, време док се не врши напрезање (t_{off}) је у једначинама (3.2) означено као t_D и представља време пражњења кондензатора у еквивалентном електричном колу приказаном на слици 3.8 уколико је то време краће од 25 μs . Уколико t_{off} траје 25 μs или дуже, t_D има вредност од 25 μs .

На основу експерименталних резултата и наведених тврдњи, а коришћењем једначина датих у (3.2), извршен је прорачун вредности R_C и R_D . Вредност капацитивности кондензатора C је постављена на 1 mF. Како је у склопу моделовања потребно израчунати вредности три елемента, поново је онај који ће бити најједноставнији у различитим

варијантама еквивалентног електричног кола, а то је капацитивност кондензатора C постављен на најједноставнију, односно јединичну вредност.

Вредност отпорности отпорника R_C је израчуната захваљујући подацима добијеним за статичко напрезање. У том случају нема опоравка, па десни део еквивалентног електричног кола приказаног на слици 3.8 нема утицаја на прорачун. Након добијања вредности R_C , једина непозната у једначинама (3.2) остаје R_D . На овај начин, вредност R_D зависи највише баш од вредности ΔV_{Tmax} , добијене из SE модела, који директно даје утицај различитог фактора испуне импулсног сигнала за напрезање на промену напона прага. За сваку од три описане подфазе, за раније наведене експерименталне услове су решене једначине (3.2) и резултати су приказани у табели 3.3.

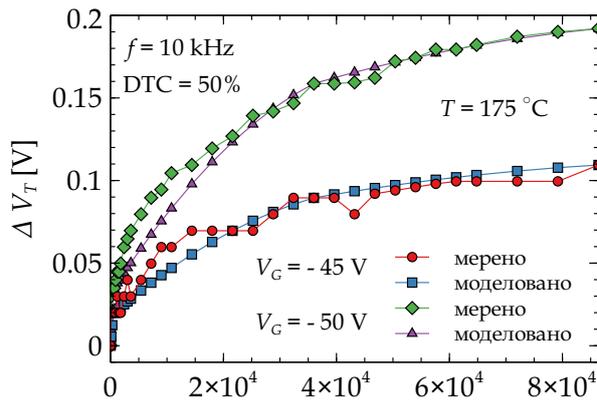
Табела 3.3: Вредности отпорности отпорника R_C и R_D и капацитивности кондензатора C (R_{D1} за Г8 и Г13, R_{D2} за Г10 и Г15 и R_{D3} за Г5).

		$V_G = -45 \text{ V}$			$V_G = -50 \text{ V}$		
		Време напрезања [s]			Време напрезања [s]		
		0	600	36000	0	600	36000
		-	-	-	-	-	-
		600	36000	86400	600	36000	86400
$T = 175 \text{ }^\circ\text{C}$	$R_{D1}[\text{k}\Omega]$	2500	88,0	56,3	3630	88,0	55,5
	$R_{D2}[\text{k}\Omega]$	609,8	198,4	149	728,9	171,9	144,3
$T = 150 \text{ }^\circ\text{C}$	$R_{D3}[\text{k}\Omega]$	196,2	117,4	47,1			
	$R_C[\text{k}\Omega]$		18000			18000	
	$C[\text{mF}]$		1			1	

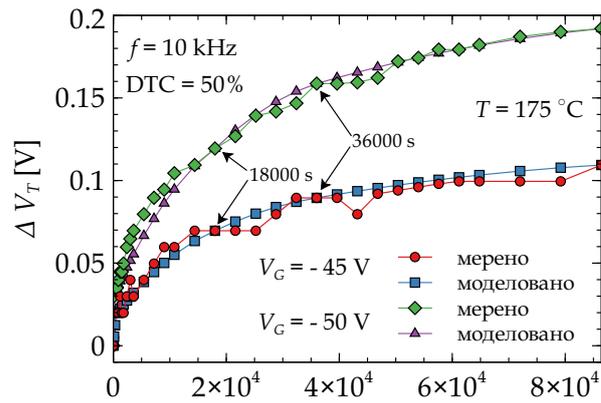
Предност описаног метода добијања вредности елемената еквивалентног електричног кола за моделовање промене напона прага је та што се може применити за арбитрарни скуп вредности фактора испуне импулсног сигнала за напрезање. Коришћењем SE модела могуће је доћи и до вредности ΔV_{Tmax} за шири скуп NBT услова и додати већу ширину представљеном моделу [47, 124, 127, 131]. Након добијања вредности ΔV_{Tmax} , предложено еквивалентно електрично коло се може, уз приказани прорачун, применити на јако широк скуп услова, што додаје на универзалности модела. Резултати који су описани у наставку (фреквенција импулсног сигнала $f = 10 \text{ kHz}$ и специфичне вредности фактора испуне) су наглашени у овој анализи због тога што практичне примене р-каналних VDMOS транзистора снаге у највећем броју случајева подразумевају такве услове рада.

3.2.2 Резултати моделовања промене напона прага

Представљено еквивалентно електрично коло са израчунатим вредностима елемената је тестирано у симулатору. Као симулатор искоришћен је бесплатни софтверски алат *LT-spice* [21]. Коришћењем овог симулатора одрађен је низ симулација са циљем тестирања и валидације предложеног модела. Поређење експериментално мерених и моделованих резултата за један скуп услова (групе узорака Г1 и Г8 из табеле 3.1) приказано је на сликама 3.11, 3.12 и 3.13.

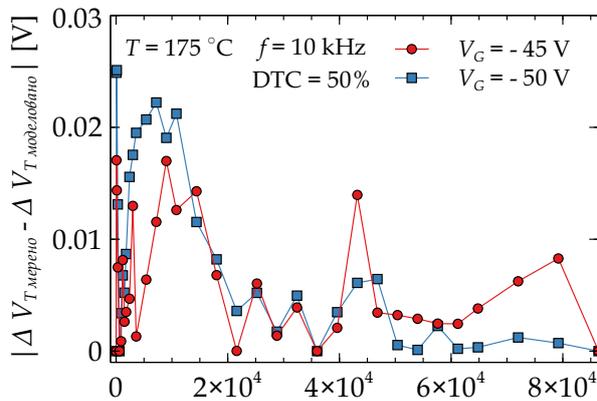


а)

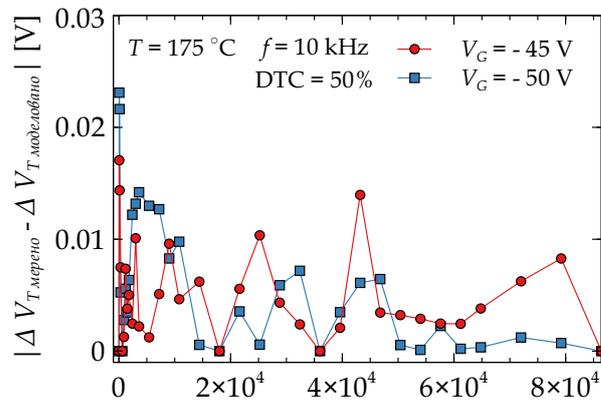


б)

Слика 3.11: Резултати моделовања промене напона прага током импулсног NBT напрезања група узорка Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.

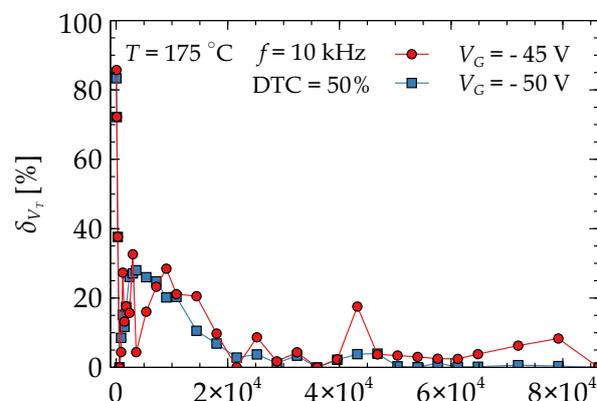


а)

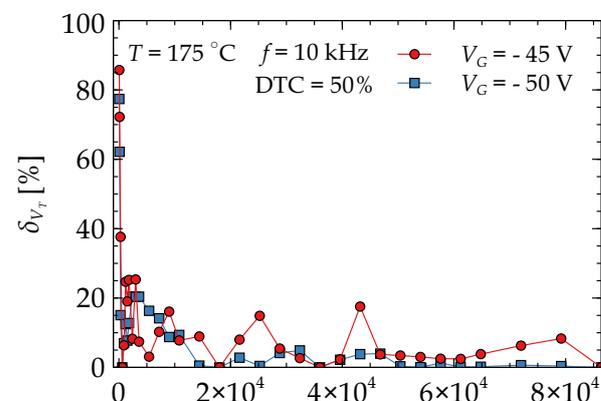


б)

Слика 3.12: Апсолутна грешка моделовања промене напона прага током импулсног NBT напрезања група узорка Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.



а)



б)

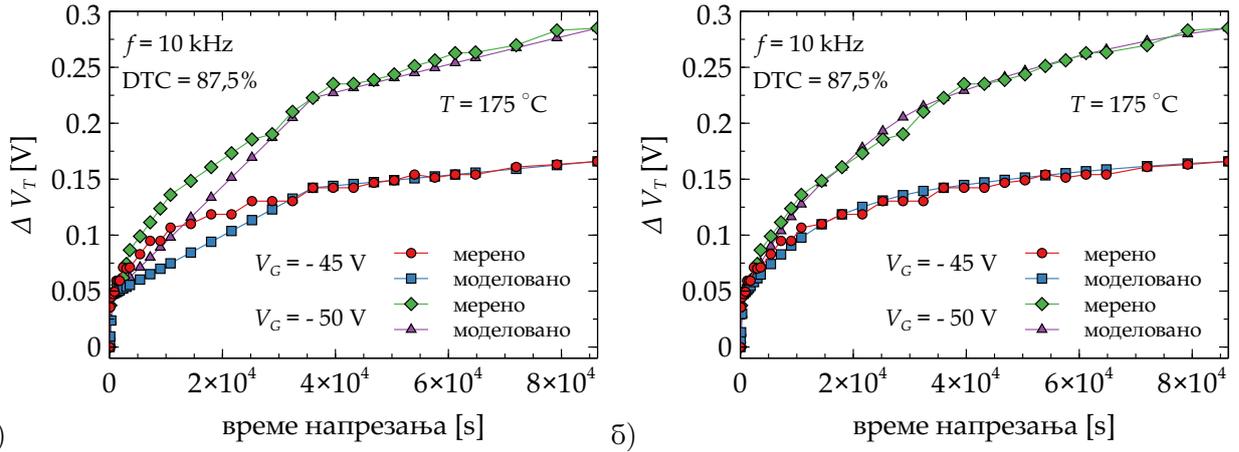
Слика 3.13: Релативна грешка моделовања промене напона прага током импулсног NBT напрезања група узорка Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.

Као што се може видети са слика 3.11 а), 3.12 а) и 3.13 а) предложени модел генерише резултате који су у подударности са експерименталним резултатима током највећег дела трајања експеримента. Неусаглашеност резултата примећена је током друге подфазе напрезања (трајање од 600 s до 36000 s). Ово неподударање је и делимично очекивано узевши у обзир промену параметра n током друге фазе напрезања, приказано на слици 3.10. Неусаглашеност параметра n приликом статичког и импулсног напрезања је наглашенија током друге подфазе напрезања. Како је вредност R_C у једначинама (3.2) добијена из статичког напрезања, различита динамика параметра n има утицаја на моделовање импулсног напрезања. Због тога, разлика између експерименталних и моделованих резултата је најизраженија у областима где је најизраженија и разлика између динамике параметра n код статичког и импулсног напрезања. Током трајања треће подфазе импулсног NBT напрезања приметна је већа усаглашеност између моделованих и мерених резултата. Ово је јасно видљиво према слици 3.13 а), где је релативна грешка моделовања мања од 10 %.

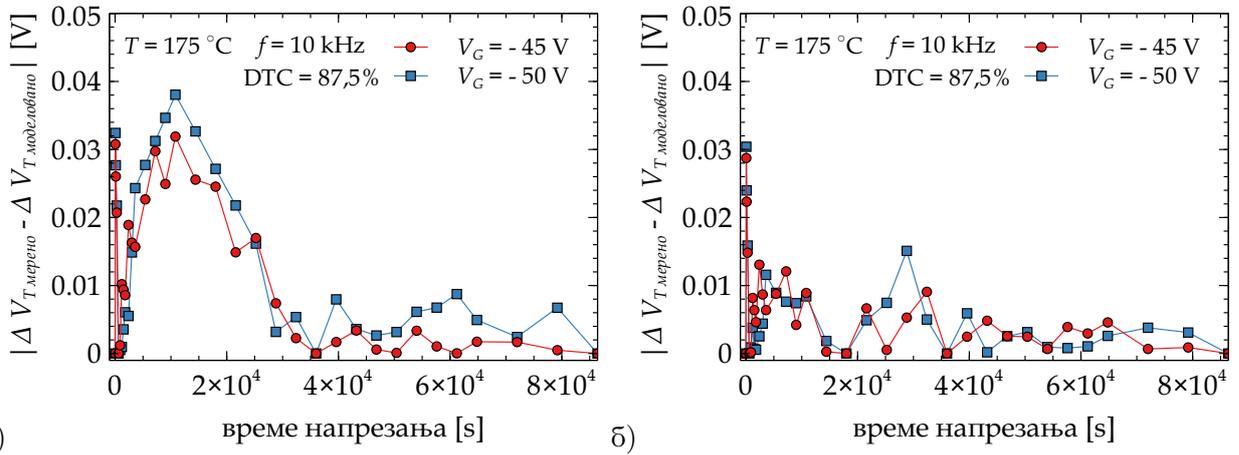
Са циљем додатног побољшања модела, другу подфазу напрезања је могуће поделити на две мање подподфазе. Са циљем демонстрације утицаја подподфаза унутар подфазе на резултате моделовања, на сликама 3.11 б), 3.12 б) и 3.13 б) су приказани резултати моделовања за идентичне услове напрезања уколико се друга подфаза подели на две, као и апсолутна грешка моделовања у тим случајевима.

Као што се може видети са слике 3.11 б), поделом на подподфазе остварено је још веће поклапање експерименталних и моделованих резултата. Резултати приказани на слици 3.12 б) јасно указују на мање вредности апсолутне грешке у анализираном интервалу. Може се закључити да би даља подела на подподфазе напрезања, поготово уколико су оне засноване на физичким механизмима, довела до још мање разлике између експерименталних и моделованих резултата. Такође, са слике 3.12 б) се може видети да је неусаглашеност резултата највећа у почетним деловима експеримента, а да је са дужином трајањем напрезања разлика између експерименталних и моделованих резултата све мања и мања. Са становишта примене, од највећег интереса и јесу резултати за дуже трајање напрезања, јер се на основу ових параметара може израчунати период поузданог рада, који представља главни излазни параметар процене поузданости за задати скуп услова. Резултати са слике 3.13 б) показују да, осим за почетних пар тачака, вредност релативне грешке само у два случаја прелази 10 %, а да за највећи део резултата има једноцифрену вредност.

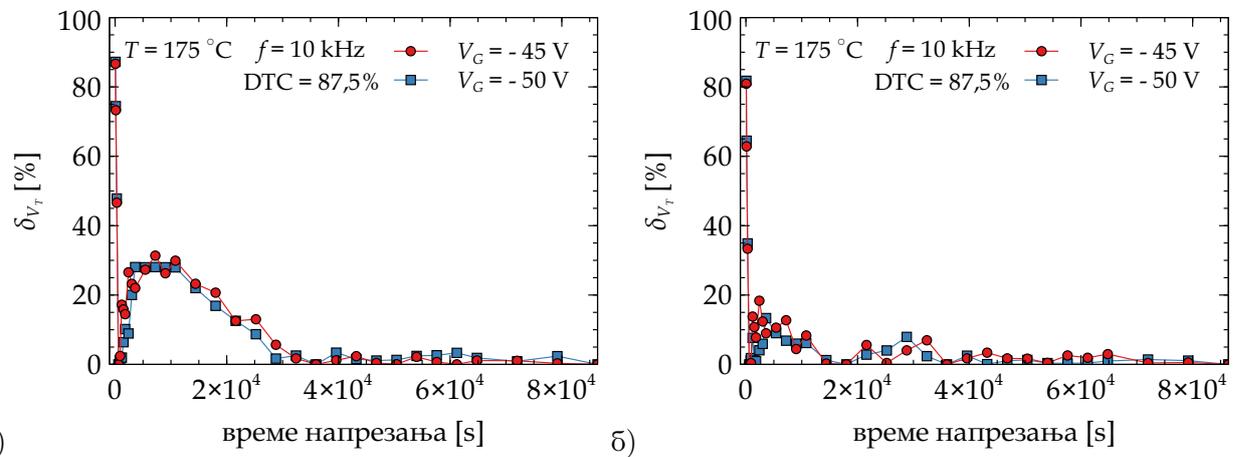
До сада наведени резултати описивали су случајеве када t_{off} има трајање од 25 μ s или више (конкретно 50 μ s). Као што је описано раније, а детаљно објашњено у литератури [38, 145], време од 25 μ s је време које је довољно да се деси опоравак највећег дела реверзибилне компоненте деградације, односно смањења апсолутне вредности промене напона прага изазване импулсним NBT напрезањем. Ипак, како би се показала универзалност модела, потребно је анализирати и случајеве када t_{off} има трајање краће од 25 μ s, односно случајеве када је опоравак заустављен новим надолазећим импулсом. Решавањем описаних једначина (3.1) - (3.3) и применом наведеног приступа, коришћењем симулатора је одрађен још један скуп симулација који покрива тај случај. Поређење експериментално мерених и моделованих резултата за тај случај (групе узорака Г10 и Г15 из табеле 3.1) приказане су на сликама 3.14, 3.15 и 3.16.



Слика 3.14: Резултати моделовања промене напона прага током импулсног NBT напрезања група узорак Г10 и Г15: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.



Слика 3.15: Апсолутна грешка моделовања промене напона прага током импулсног NBT напрезања група узорак Г10 и Г15: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.



Слика 3.16: Релативна грешка моделовања промене напона прага током импулсног NBT напрезања група узорак Г1 и Г8: а) Поделом у 3 подфазе; б) Поделом у 4 подфазе.

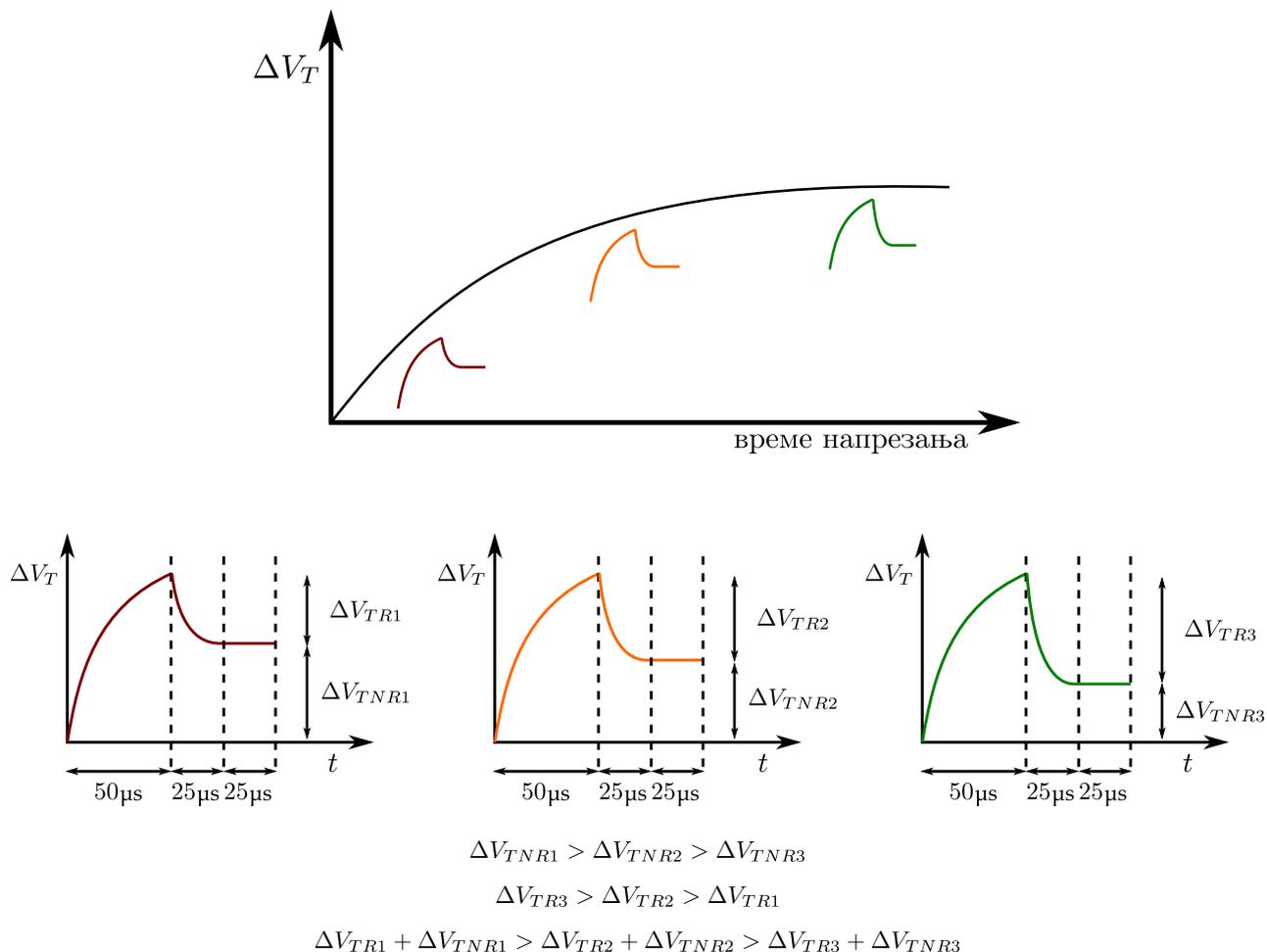
Као што се може видети упоређивањем слика 3.12 и 3.13 са сликама 3.15 и 3.16, нема значајне разлике у резултатима примене предложеног еквивалентног електричног кола за моделовање промене напона прага за случајеве када је t_{off} краће од $25 \mu s$ (када нема потпуног опоравка реверзибилне компоненте деградације) и за случајеве када је t_{off} једнако или дуже од $25 \mu s$ (када се дешава највећи део опоравка реверзибилне компоненте деградације). Применом поделе моделовања у четири подфазе и за случај $DTC = 50\%$ и за случај $DTC = 87,5\%$ релативна грешка, осим у првих неколико тачака има једноцифрену вредност. Као и у случају $DTC = 50\%$, поделом моделовања у четири подфазе постиже се јасно смањење апсолутне грешке, приказано на слици 3.15 и релативне грешке, приказано на слици 3.16.

Наведеним резултатима је показано да се предложени модел може користити да опише промену напона прага р-каналних VDMOS транзистора снаге насталу убрзаним NBT напрезањем за значајан скуп радних услова примене ове компоненте.

3.2.3 Прорачун елемената еквивалентног електричног кола коришћењем Лагранжове теореме

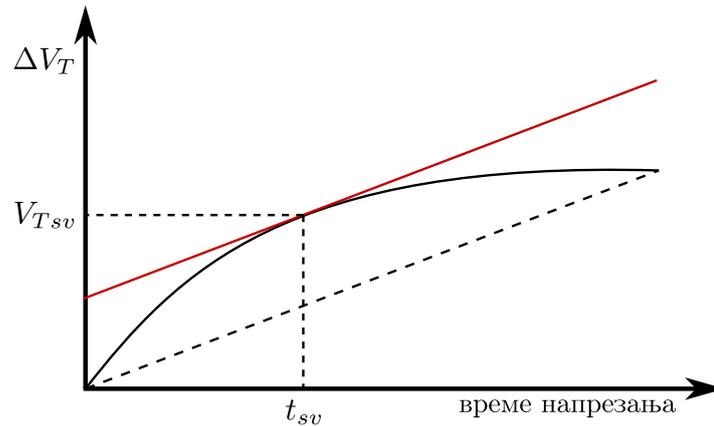
Предложено еквивалентно електрично коло, као што је показано, вредношћу напона на кондензатору моделује промену напон прага р-каналних VDMOS транзистора снаге IRF9520 изазвану импулсним напрезањем. Ипак, предложен приступ има неколико недостатака. Један од њих делимично је отклоњен поделом друге подфазе напрезања у две подподфазе, чиме се моделовање врши не у три, већ у четири дела. Други недостатак огледа се у променљивости специфичног облика промене напона прага током једног импулса напрезања који је приказан на слици 3.7. Наведени приступ полазио је од претпоставке да је прираштај ΔV_T при сваком импулсу константан, па да се простим дељењем укупне промене ΔV_T и укупног броја доведених импулса може доћи до вредности прираштаја промене напона прага по импулсу. Експериментални резултати у литератури упућују ипак на другачији закључак [38, 39, 145]. Приликом реализације експеримената, у зависности од подфазе деградације, прираштај промене напона прага по импулсу напрезања није константан. Промена облика промене напона прага по импулсу графички је илустрована на слици 3.17. У почетној подфази напрезања, прираштај по импулсу означен је са ΔV_{TNR1} . У наредној подфази напрезања прираштај по импулсу означен је са ΔV_{TNR2} , а у последњој подфази са ΔV_{TNR3} . Како је са повећањем времена напрезања прираштај по импулсу све мањи, крива промене напона прага при импулсном NBT напрезању добија експоненцијални облик.

Наредни недостатак предложеног модела огледа се у томе што и током сваке од подфаза NBT напрезања, прираштај промене напона прага по импулсу се не може сматрати константним. Током трајања сваке од подфаза може се приметити опадање прираштаја вредности промене напона прага по импулсу. Како би и овај физички феномен постао саставни део модела, потребно је унети неке промене у еквивалентно електрично коло приказано на слици 3.8, не у погледу састава кола, већ у погледу прорачуна вредности елемената кола.



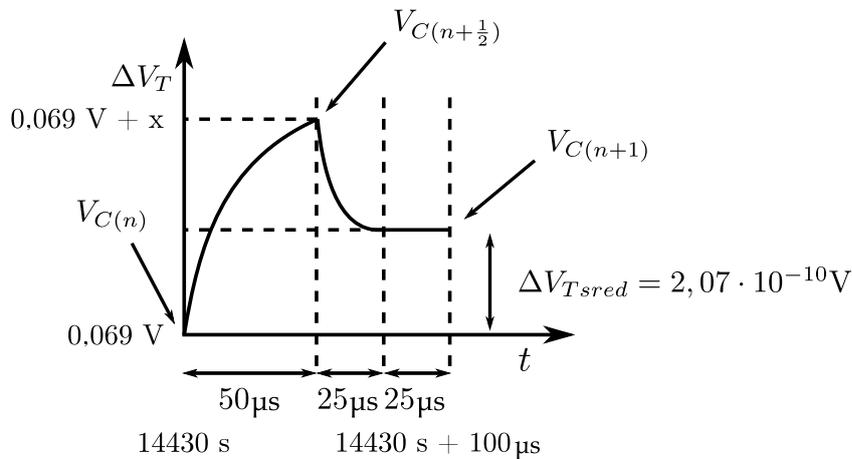
Слика 3.17: Графичка илустрација промене прираштаја ΔV_T по времену при импулсном NBT напрезању.

За моделовање импулсног напрезања, прорачуном би требало доћи до три вредности, R_C , R_D и C . Такође, прорачун треба да испрати промену прираштаја ΔV_T по импулсу, односно да на почетку ΔV_T буде највеће, а онда да је временом приметно опадање вредности. У почетној анализи, фазна расподела деградације која настаје напрезањем биће занемарена. Такође, ради поједностављења, нека се претпостави да је време трајања експеримента краће него у претходним случајевима, односно, нека износи 12 сати, што уопште не умањује универзалност модела. Према експерименталним резултатима приказаним на слици 3.5 б), за услове напрезања $V_G = -45 \text{ V}$ и $T = 175^\circ \text{C}$, за случај када је фактор испуне $DTC = 50\%$ ($t_{on} = t_{off} = 50 \mu\text{s}$), за $t = 12$ сати импулсног напрезања, ΔV_T се промени од 0 V до $0,0895 \text{ V}$. Како је фреквенција импулсног напона за напрезање 10 kHz , за време t , на гејт VDMOS транзистора доведено је $4.32 \cdot 10^9$ импулса. Одатле, средња вредност прираштаја ΔV_T по импулсу је $2.07 \cdot 10^{-10} \text{ V}$. Ова средња вредност прираштаја достиже се у неком тренутку развоја промене напона прага изазване импулсним NBT напрезањем. За рачунање положаја тачке у којој развој достиже средњу вредност искоришћена је Лагранжова теорема [151]. Тачка у којој развој достиже ову вредност је тачка у којој је тангента паралелна правој коју формирају почетна и крајња тачка развоја ΔV_T . Скица пројектоване тангенте илустрована је на на слици 3.18.



Слика 3.18: Графичка илустрација одређивања тачке у којој прираштај ΔV_T по импулсу има средњу вредност за цео интервал (V_{T0}).

Графичком анализом утврђено је да се средња вредност прираштаја достиже за време након $t_{sv} = 14430$ s и да вредност промене напона прага у том тренутку износи $V_{Tsv} = 0,069$ V. До тада, до узорка је дошло $1.443 \cdot 10^8$ импулса. Уколико се претпостави да ΔV_T достиже вредност V_{Tsv} након n импулса, након $n + 1$ импулса, достићи ће вредност приближно $V_{Tsv} + \Delta V_{Tsv}$. Ово су две тачке на основу којих је могуће израчунати R_C и R_D . Илустрација средњег импулса приказана је на слици 3.19.



Слика 3.19: Анализа одмерка промене ΔV_T при импулсу који има средњу вредност за цео развој промене напона прага.

Како одзив кондензатора није исти када је кондензатор празан и када на њему већ постоји неки напон, наведени интервал описан једначинама је:

$$V_{C(n+\frac{1}{2})} = V_{C(n)} + (V_{S50\%} - V_{C(n)}) \left(1 - e^{-\frac{t_c}{R_C C}}\right), \quad (3.4)$$

$$V_{C(n+1)} = V_{C(n+\frac{1}{2})} \cdot e^{-\frac{t_D}{R_D C}}. \quad (3.5)$$

У једначини (3.4), а према илустрацији 3.19, вредност $V_{C(n+\frac{1}{2})}$ представља вредност напона до кога се кондензатор напуни у првих $50 \mu s$ током циклуса. Та вредност представљена је као збир вредности $V_{C(n)}$, која представља дотадашњу вредност напона на кондензатору и вредности за коју се кондензатор напуни током овог циклуса. Вредност

за коју се кондензатор напуни током циклуса изведена је из једначине пуњења кондензатора, где је напон преко кога се пуни кондензатор приказан као $V_{S50\%} - V_{C(n)}$. Вредност $V_{S50\%}$ добијена је коришћењем SE модела за фактор испуне од 50% и за задате услове напрезања, а вредност t_C је 50 μs . Једначина (3.5) изведена је из једначине пуњења кондензатора. Вредност $V_{C(n+1)}$ представља прираштај напона на кондензатору по импулсу (за илустрацију $n+1$ импулса, приказану на слици 3.19 има вредност $2,07 \cdot 10^{-10}\text{V}$), вредност $V_{C(n+\frac{1}{2})}$ је вредност напона са које кондензатор током циклуса креће да се празни, а t_D има вредност 25 μs . Капацитивност кондензатора је поново, ради једноставнијег прорачуна постављена на 1 mF. Решавањем описаних једначина, долази се до непознатих вредности отпорности R_C и R_D . Ове вредности дате су у табели 3.4.

Табела 3.4: Вредности карактеристичних елемената кола за моделовање.

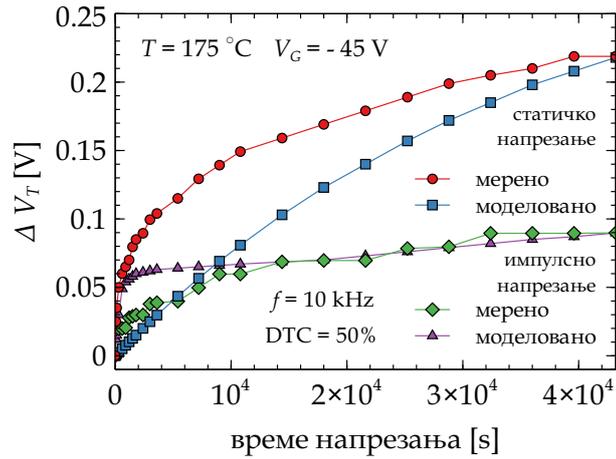
Статичко напрезање	Импулсно напрезање	
$R_C = 3,6 \cdot 10^7 \Omega$	$R_C = 3,6 \cdot 10^5 \Omega$	$R_D = 2,43 \cdot 10^5 \Omega$
$C = 1 \text{ mF}$		

На основу израчунатих вредности отпорности и једначина (3.4) и (3.5), могуће је израчунати прираштај деградације напона прага при сваком импулсу. У табели 3.5 су дате вредности прираштаја ΔV_T по одређеним карактеристичним импулсима.

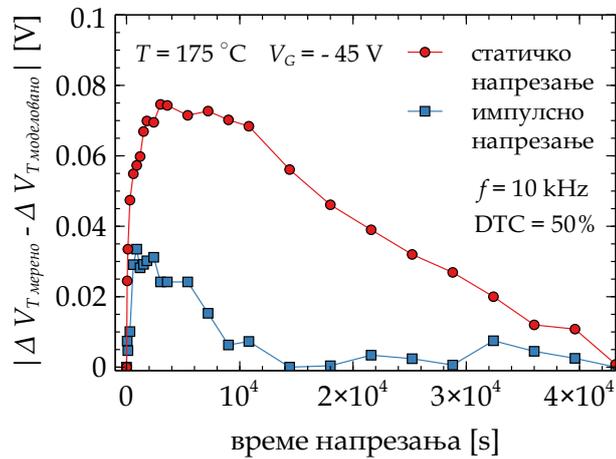
Табела 3.5: Вредности прираштаја промена напона прага по карактеристичним импулсима током импулсног NBT напрезања

Редни број импулса	Прираштај по импулсу [V]	Укупна промена [V]
1	$16,82 \cdot 10^{-9}$	$16,82 \cdot 10^{-9}$
2	$16,81 \cdot 10^{-9}$	$33,63 \cdot 10^{-9}$
3	$16,79 \cdot 10^{-9}$	$50,42 \cdot 10^{-9}$
⋮		
$1,443 \cdot 10^8 - 1$	$2,07 \cdot 10^{-10}$	0,0689999932043591
$1,443 \cdot 10^8$	$2,07 \cdot 10^{-10}$	$6,9 \cdot 10^{-2}$
$1,443 \cdot 10^8 + 1$	$2,06 \cdot 10^{-10}$	0,0690000020671664
⋮		
$4,320 \cdot 10^9 - 2$	$9 \cdot 10^{-14}$	0,08949999999982
$4,320 \cdot 10^9 - 1$	$9 \cdot 10^{-14}$	0,08949999999991
$4,320 \cdot 10^9$	$9 \cdot 10^{-14}$	0,0895

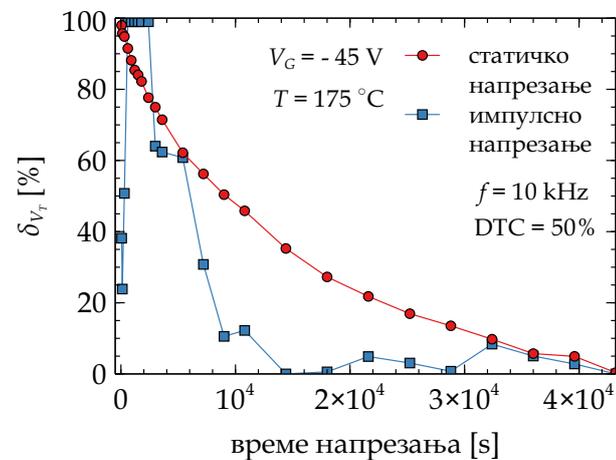
Битно је напоменути да нумеричко израчунавање вредности приказаних у табели 3.5 изискује време, јер је потребно решити деветоцифрен број једначина. На основу прорачунатих величина поново је коришћењем *LTspice* софтверског алата одрађен низ временски захтевних симулација како би се дошло до резултата моделовања. Поређење експериментално мерених и моделованих резултата за један скуп услова ($V_G = -45\text{V}$, $T = 175^\circ\text{C}$, $f = 10\text{kHz}$ и $\text{DTC} = 50\%$) приказано је на сликама 3.20, 3.21 и 3.22.



Слика 3.20: Поређење експерименталних и моделованих резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520.



Слика 3.21: Апсолутна грешка приликом моделовања резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520.



Слика 3.22: Релативна грешка приликом моделовања резултата статичког и импулсног NBT напрезања р-каналних VDMOS транзистора IRF9520.

Крива експерименталних резултата и крива моделованих резултата приликом моделовања статичког напрезања, имају сличан облик, мада је у средњим деловима криве приметно веће неслагање. С друге стране, крива експерименталних и крива моделованих резултата приликом импулсног напрезања такође показује неслагање, али само у почетном делу напрезања и у значајније мањем облику у односу на статичко напрезање. У почетним фазама напрезања, као и у поглављу 2, вредност релативне грешке износи 100 % као последица формуле израчунавања релативне грешке за мале вредности. У највећем делу времена трајања експеримента, крива експериментално добијених резултата и крива добијена описаним моделовањем импулсног напрезања се готово поклапају и релативна грешка моделованих резултата је испод 20 %.

Треба приметити да се приликом овог поступка моделовања анализира време напрезања од 12 сати. Ово је период када наступа друга подфаза промене вредности напона прага приликом импулсног NBT напрезања, и да је приликом анализе резултата ове подфазе у претходном поступку примећено највеће неслагање између експерименталних и моделованих резултата (па је због тога ова подфаза приликом моделовања подељена на две). Применом Лагранжове теореме за израчунавање вредности елемената еквивалентног електричног кола, као што се може видети према резултатима приказаним на слици 3.22, релативна грешка опадне испод 20 % након неколико почетних тачака и без увођења додатног дељења на подподфазе. Иако је грешка значајније смањена и иако резултати модела приближније описују физичке механизме који доводе до промене напона прага при импулсном NBT напрезању, време потребно за решавање описаних једначине и прорачун вредности елемената кола је значајније дужи.

3.3 Приступ моделовању коришћењем отпорника променљиве отпорности

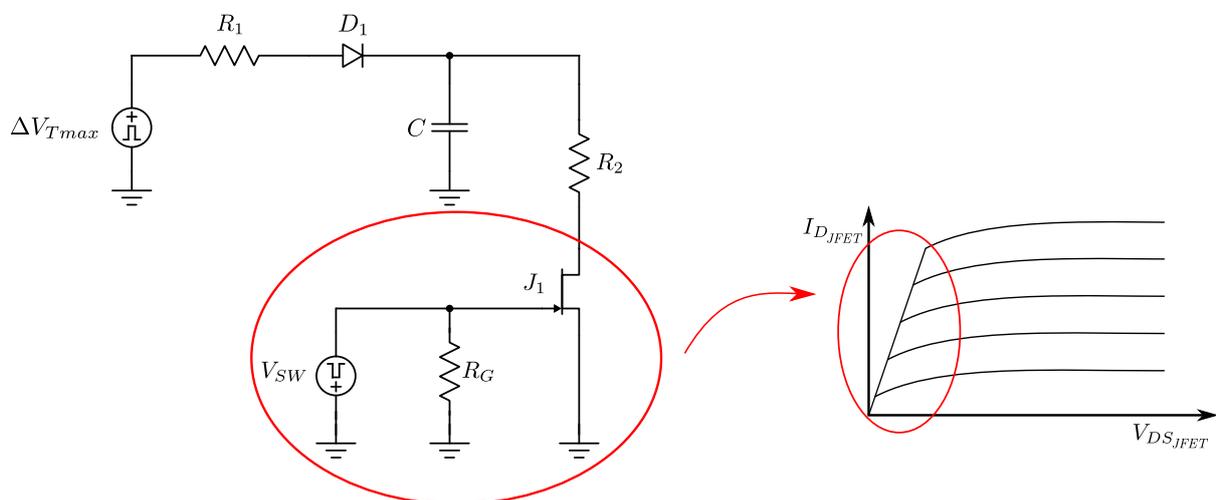
Поступци моделовања промене напона прага која настаје статичким и импулсним NBT напрезањем подразумевали су пројектовање одговарајућег еквивалентног електричног кола. С обзиром на то да промена напона прага има степени, односно приближно експоненцијални облик, главни елементи предложених кола за моделовање били су кондензатор и отпорник преко кога се кондензатор пуни и празни, односно одговарајуће RC константе. Као што је приказано, предложена кола могу да буду искоришћена у сврху моделовања, али упркос захтевним математичким поступцима ипак имају и одређена ограничења.

Поступак моделовања промене напона прага при импулсном NBT напрезању састоји се од неколико корака, при чему је најкомпликованије адекватно моделовати опоравак од деградације, односно опадање апсолутне вредности промене напона прага. Уколико се остане при кондензатору као централном елементу еквивалентног електричног кола за моделовање, најзахтевнији задатак је осмислити одговарајући механизам који ће регулисати отпорност преко које се врши пражњење кондензатора. У идеалном случају, ова отпорност би требало да је на једноставан начин променљива у времену, тако да се, као што је приказано илустрацијом 3.17, омогући различита вредност реверзибилне компоненте промене напона прага. Захтев кола за моделовање би био коришћење отпорника променљиве отпорности чију је отпорност могуће мењати у зависности од времена или у зависности од напона на њему. Као отпорник променљиве отпорности искоришћен је JFET поларисан тако да ради у омској области [152].

На слици 3.23 приказано је еквивалентно електрично коло за моделовање које за пражњење кондензатора користи ЈФЕТ у омској области као променљиви отпорник. Други елементи кола су јако слични колу приказаном на слици 3.8. Отпорник R_1 је отпорник који одређује динамику пуњења кондензатора C . Диода D_1 представља идеалну диоду. Диода би требало да буде идеална, јер на њој не би требало да буде пада напона. Има усмерачку улогу, односно омогућава да се кондензатор C не празни преко отпорника R_1 током трајања t_{off} . Пражњење кондензатора C дешава се преко редне везе отпорника R_2 и ЈФЕТа J_1 , поларисаног тако да ради у омској области [152]. Када ЈФЕТ ради у омској области, може бити искоришћен као отпорник променљиве отпорности. Отпорник R_2 је повезан у коло ради једноставнијег прилагођавања те променљиве отпорности на одговарајући опсег. Карактеристике ЈФЕТа у омској области такође су приказане на слици 3.23. Променљива отпорност је тада излазна отпорност ЈФЕТа у омској области, дата једначином:

$$R_{DS} \simeq \frac{V_{DS}}{I_D}. \quad (3.6)$$

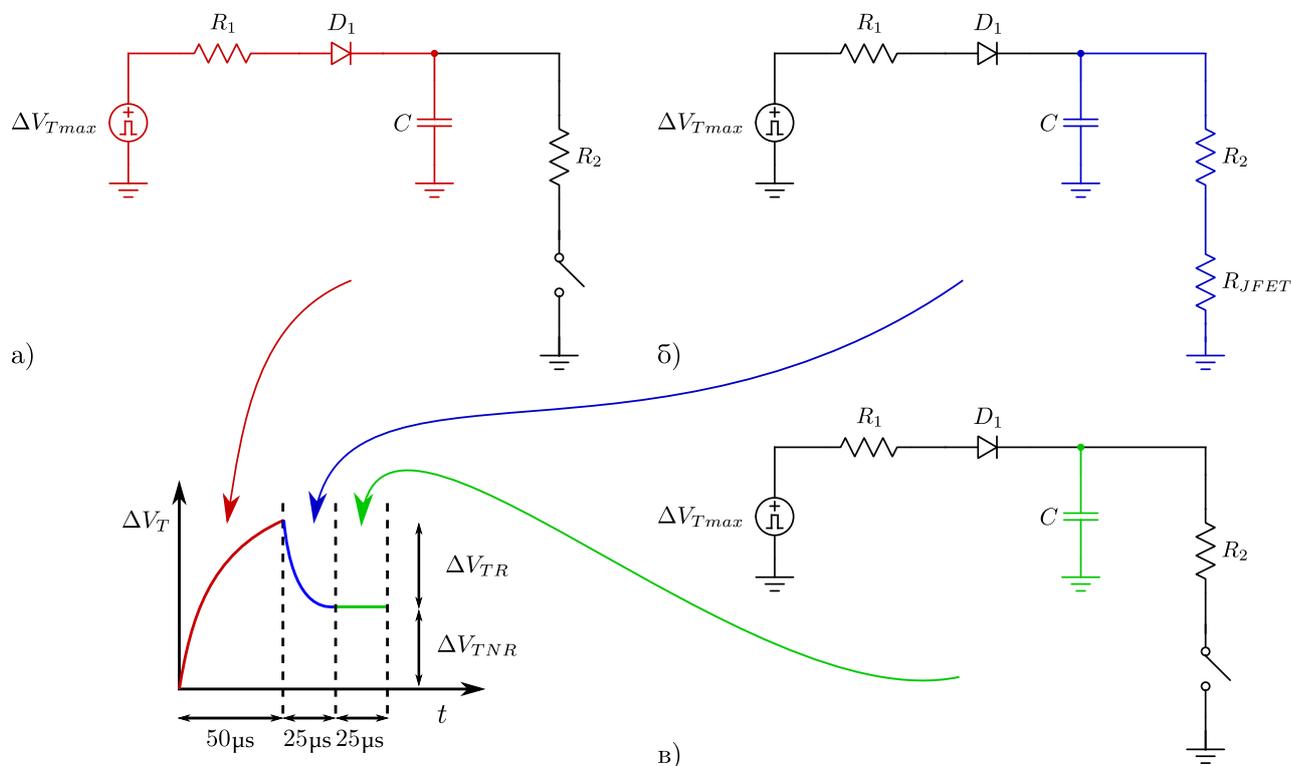
Отпорник R_G представља стандардни део конфигурације за поларизацију у омској области, и његова вредност је типично $1\text{ M}\Omega$. Вредношћу напона између гејта и сорса, на слици 3.23 означеног као V_{SW} контролише се отпорност R_{DS} , односно променљива отпорност ЈФЕТа. У зависности од вредности V_{SW} , отпорност ЈФЕТ J_1 може бити јако мала, готово отпорност затвореног прекидача $R_{JFET} \rightarrow 0$, или јако велика, готово отпорност отвореног прекидача $R_{JFET} \rightarrow \infty$. Овакав тип контроле у потпуности испуњава раније описане захтеве моделовања. Поред тога што регулише отпорност, ЈФЕТ се понаша и као напонски контролисани прекидач, па у поређењу са колом приказаним на слици 3.8, та компонента више није неопходна.



Слика 3.23: Еквивалентно електрично коло за моделовање импулсног NBT напрезања са ЈФЕТ-ом и означеном омском облашћу.

За моделовање промене напона прага изазване статичким NBT напрезањем, J_1 континуално ради као отворен прекидач. У овом случају, прорачун елемената се сведе на једноставно решавање једначине пуњења кондензатора, као што је то приказано у поглављу о статичком NBT напрезању. Ипак, како је са становишта практичне примене од већег интереса моделовање промене напона прага која настаје импулсним напрезањем, коло се једноставно може прилагодити и тој намени. Према облику промене напона

прага која настаје приликом једног импулса који врши импулсно напрезање узорка, потребно је разликовати три режима рада предложеног еквивалентног кола, као што је приказано на слици 3.24.



Слика 3.24: Илустрација активних делова еквивалентног електричног кола са JFET компонентом за моделовање импулсног NBT напрезања током трајања једног импулса: а) Пуњење кондензатора; б) Пражњење кондензатора; в) Задржавање напона на кондензатору.

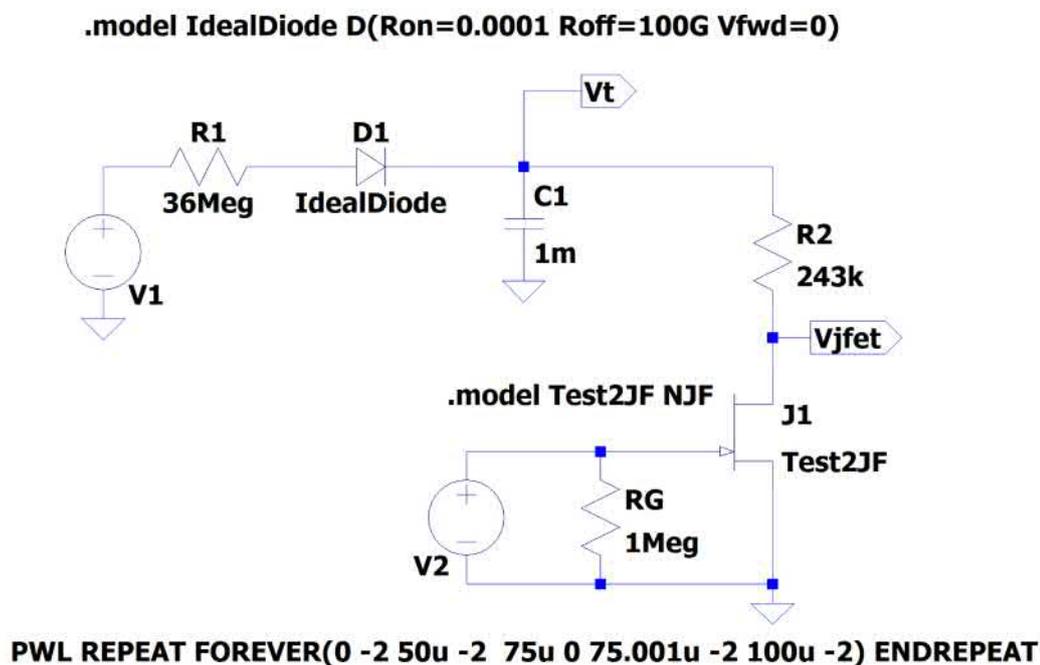
Током времена t_{on} (првих 50 μs током једне периоде), транзистор J_1 понаша се као затворени прекидач (онемогућава пражњење кодензатора C). Активни део кола приказан је на слици 3.24 а) и означен црвеном бојом. Током наредних 25 μs (између 50 μs и 75 μs током једне периоде), J_1 се понаша као отпорник чија је отпорност R_{JFET} одређена примењеним напонам V_{SW} . Активни део кола током овог периода приказан је плавом бојом на слици 3.24 б). Отпорност преко које се онда кондензатор C празни представља отпорност редне везе отпорника R_2 и отпорности R_{JFET} . Током овог интервала дешава се опоравак деградације, односно смањење апсолутне вредности промене напона прага за вредност реверзибилне компоненте деградације. Као што је раније описано, 25 μs након времена t_{on} је довољно да би дошло до опоравка највећег дела импулсом изазваним напрезањем. Трећи режим представља последњих 25 μs током трајања једне периоде, где J_1 ради као отворен прекидач и на тај начин онемогућава даље пражњење кондензатора C . Активни део кола током овог периода приказан је зеленом бојом на слици 3.24 в) На овај начин, напон на кондензатору предложеног еквивалентног електричног кола у потпуности прати облик прираштаја промене напона прага, као што је приказано на слици 3.24.

Поред тога, промена отпорности преко које се врши пражњење кондензатора, а самим тим и динамика пражњења кондензатора, директно је одређена вредношћу отпорности

R_{JFET} JFETA, која је директно одређена карактеристикама сигнала V_{SW} (амплитудом, фреквенцијом и фактором испуне овог сигнала). Овакав приступ омогућава да се моделовање промене напона прага која настаје импулсним напрезањем за различите вредности фреквенције и фактора испуне импулсног сигнала који врши напрезање изврши врло једноставном променом свега неколико параметара. Самим тим, за разлику од раније представљеног приступа, прилагођење овде описаног еквивалентног електричног кола на јако широк скуп услова напрезања је знатно једноставније, што даје већу ширину овом приступу моделовања. С друге стране, ипак, описани приступ сам по себи користи FET компоненту, која приликом примене у колима за моделовање захтева детаљнију спецификацију услова и, са становишта симулатора, има веће рачунске захтеве.

Прорачун вредности елемената еквивалентног електричног кола заснован је на Лагранжовој теорему која је детаљније објашњена у потпоглављу 3.2.3. Ипак, прорачун коефицијената је у овом случају прилично подређен вредностима параметара који описују JFET. Стога, да би се у обзир узели ови параметри, потребно је одабрати симулатор који садржи скуп модела, као и конкретан модел n-каналног JFETA у склопу тог симулатора. За симулације је искоришћен софтверски алат *LTspice*, као и основни модел n-каналног JFETA описан у опцијама овог симулатора. Еквивалентно електрично коло приказано на слици 3.23 симулирано је коришћењем *LTspice* симулатора као што је приказано на слици 3.25.

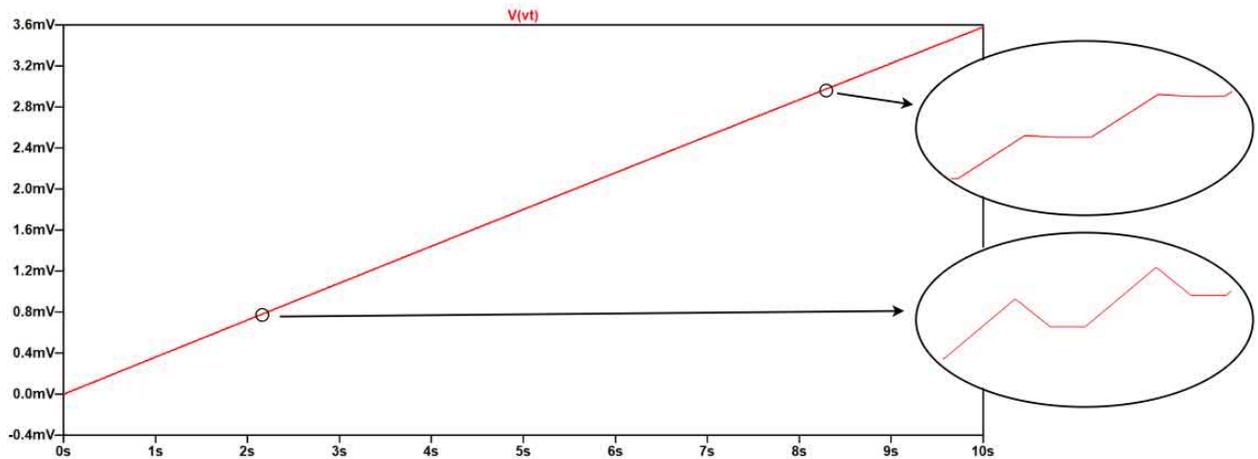
Коришћењем приказаног кола, обављен је низ симулација, за различите вредности отпорности одређене различитим условима рада. Како је акценат на приступу моделовању, иако је поступак моделовања реализован над широким скупом експерименталних резултата, ради задржавања јасноће, поређење експерименталних и моделованих резултата је приказано само за део различитих услова.



Слика 3.25: Еквивалентно електрично коло коришћењем JFETA у *LTspice* симулатору.

Приликом симулације кола које садржи готове моделе, онако како је то приказано на слици 3.25, време трајања симулације је знатно дуже када се упореди са симулаци-

јама раније овде предложених и описаних електричних кола. У свакој од симулација, пажљивим увећавањем делова резултата могу се добити облици сигнала приказани на слици 3.26.

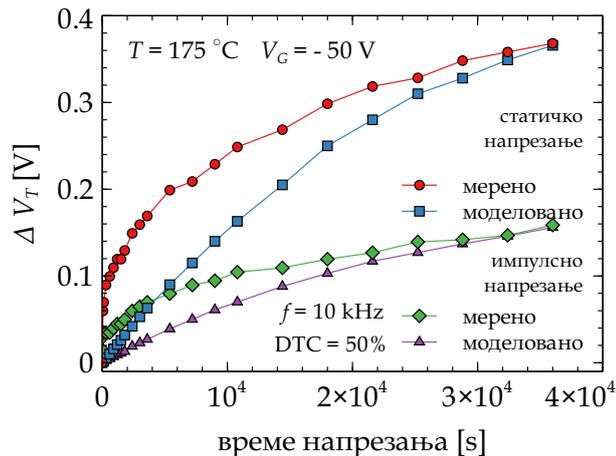


Слика 3.26: Различити облици промене напона на кондензатору којим се моделује прираштај ΔV_T током различитих фаза импулсног NBT напрезања.

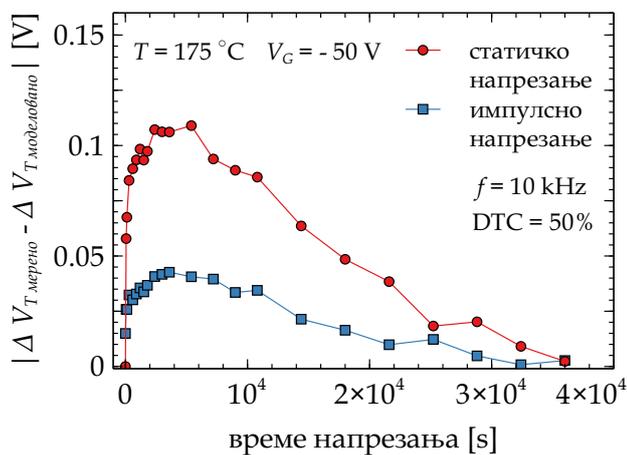
На слици 3.26 приказана је промена напона на кондензатору током првих десет секунди симулације. Крива промене напона на кондензатору на дужем приказу времена добија експоненцијални облик, међутим, као што је приказано, заправо се састоји од низа прираштаја променљивих у времену насталих прекидачким карактеристикама елемената кола за моделовање. Прираштај напона је на почетку највећи, јер је отпорност JFETа искоришћеног као отпорника променљиве отпорности најмања, а онда временом прираштај напона опада јер отпорност JFETа расте.

Карактеристичан облик промене напона прага и реверзибилне компоненте, приказан раније на сликама 3.7 и 3.17 може се приметити кроз сваки сегмент симулације предложеног кола за моделовање чији су резултати приказани на слици 3.26. Такође, симулација у потпуности прати промену односа неревезибилне и реверзибилне компоненте промене напона прага. Када се моделовање описаним приступом посматра на нивоу целог опсега, добијају се резултати приказани на сликама 3.27, 3.28 и 3.29.

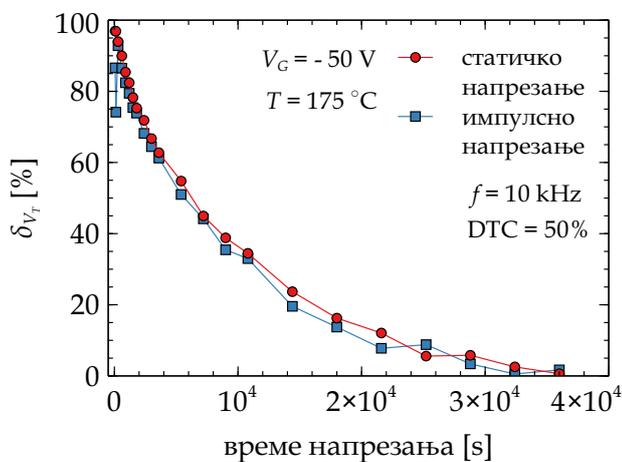
Приказани резултати воде ка сличном закључку као и резултати ранијих предлога еквивалентних електричних кола за моделовање из поглавља 3.2.2 и 3.2.3. Моделовање статичког NBT напрезања захтева фазну расподелу, и за моделовање тих ефеката предложена кола не могу самостално остварити добре резултате. Самим тим, облик криве апсолутне грешке, приказан на слици 3.28, поново подсећа на кретање параметра n , приказано на слици 3.10. Моделовање импулсног напрезања, с друге стране, може се са већом прецизношћу вршити коришћењем предложеног кола. Предложено коло чак, као што се може видети са слика 3.28 и 3.29, а поготово када се упореди са сликама 3.21 и 3.22, добијеним предложеним колом за моделовање у потпоглављу 3.2.3, даје већу прецизност и већу усаглашеност са експериментално мереним резултатима, чак и током прве подфазе деградације. У почетним подфазама деградације релативна грешка је за 30% мања, док оба предложена кола током већег трајања друге подфазе приказују релативну грешку мању од 20%. Могућност контроле отпорности преко које се одвија пражњење кондензатора у колу коришћењем JFETа заправо укида потребу за фазном расподелом приликом моделовања промене напона прага услед импулсног NBT напрезања.



Слика 3.27: Резултати моделовања ΔV_T током статичког и импулсног NBT напрезања p-каналних VDMOS транзистора IRF9520 коришћењем кола са слике 3.25.



Слика 3.28: Апсолутна грешка при моделовању резултата статичког и импулсног NBT напрезања p-каналних VDMOS транзистора IRF9520 коришћењем кола са слике 3.25.



Слика 3.29: Релативна грешка при моделовању резултата статичког и импулсног NBT напрезања p-каналних VDMOS транзистора IRF9520 коришћењем кола са слике 3.25.

Треба ипак напоменти и да предложени приступ има најдуже трајање симулација и захтева квалитетне нумеричке перформансе рачунара на коме се одвија симулација. Додавање у еквивалентно коло елемента као што је JFET, који има свој модел и низ параметара тог модела усложњава математичке задатке које симулатор извршава, па тако и повећава потребно време за извршење симулације. Самим тим, овакав приступ моделовања може бити добро решење, али, приликом коришћења, треба узети у обзир и његове оперативне недостатке.

3.4 Примена модела на анализу промене напона прага р-каналних VDMOS транзистора снаге у реалним условима рада

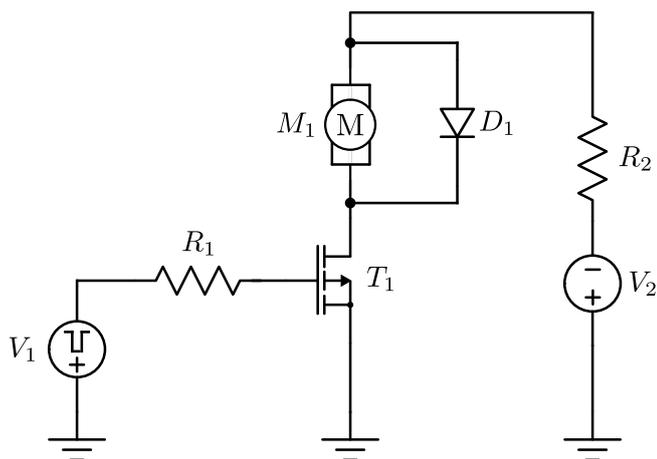
Досадашња анализа ефеката и преносних карактеристика подразумевала је лабораторијске услове рада р-каналних VDMOS транзистора снаге IRF9520. Са циљем утврђивања динамике појава, карактеристичних временских константи и њиховим последицама, карактеристике комерцијалних р-каналних VDMOS транзистора снаге испитиване су под контролисаним условима и најосновнијим режимима рада. Ипак, целокупан процес моделовања врши се са циљем предвиђања периода поузданог рада и области сигурног рада.

Област сигурног рада (енг. *Safe Operating Area* - SOA) дефинише граничне вредности струје и напона којим се VDMOS транзистор може краткотрајно или дуготрајно оптеретити а да при том не наступи пробој [152]. Пробој се може десити уколико је VDMOS транзистор у исто време изложен и високом напону и високој вредности струје дрејна. Самим тим, ширина SOA је одређена трајањем импулса током ког је транзистор укључен, односно током кога може да води високу вредност струје. Контролни сигнали одговарајућих прекидачких карактеристика бирају се тако да SOA буде максимална.

Пројектовани модели промене напона прага се тестирају за резултате у лабораторијским условима, али примењују на рад у реалним радним условима компоненте. Као што је раније наведено, р-канални VDMOS транзистори снаге у модерним колима имају углавном прекидачку улогу, најчешће у спрези са индуктивним оптерећењем односно мотором. Пример елементарног кола ове примене приказан је на слици 3.30 [141,153–155].

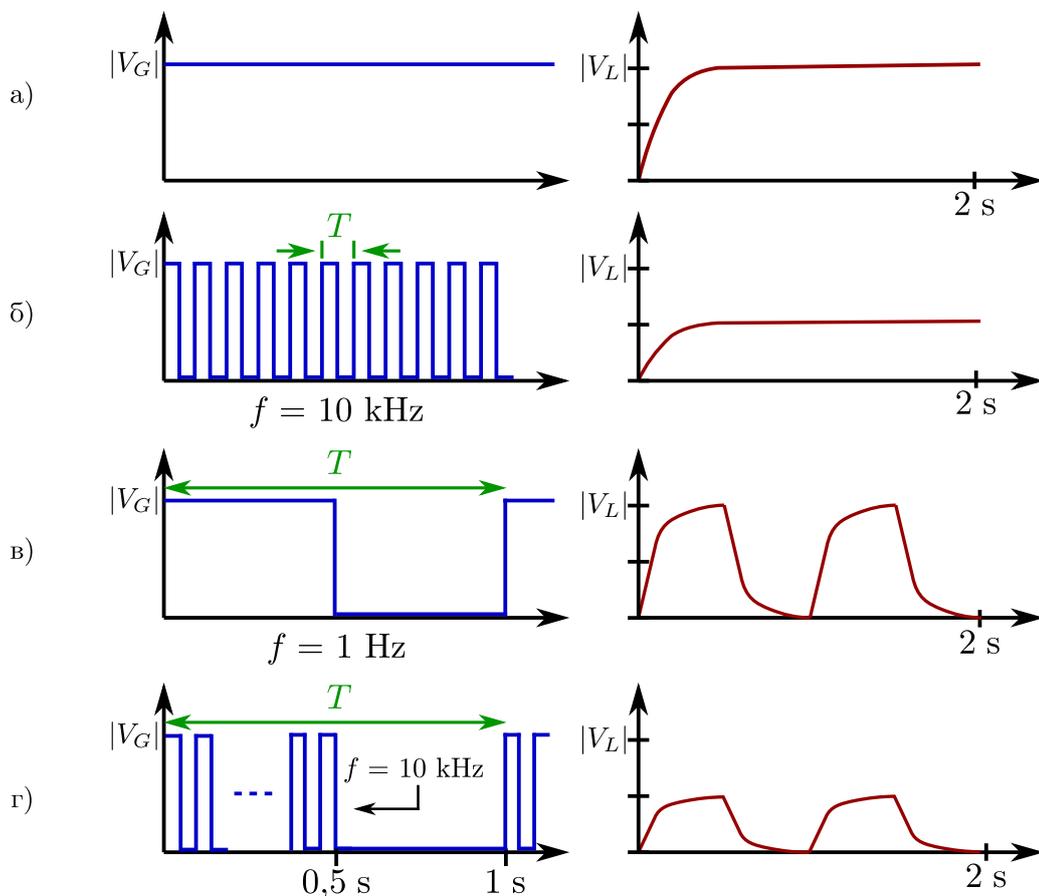
Импулсни сигнал који се доводи на гејт р-каналног VDMOS транзистора снаге T_1 својим карактеристикама (фреквенција и фактор испуне) одређује стање и брзину укључивања и искључивања транзистора T_1 . У зависности од стања, коло се затвара кроз транзистор и омогућава протисање струје кроз мотор M_1 повезан заједно са заштитном диодом D_1 . Динамика рада транзистора, одређена карактеристикама импулсног сигнала који се доводи на гејт, директно одређује рад повезаног индуктивног оптерећења, односно мотора.

У зависности од различитих примена овог кола, које самим тим подразумевају коришћење различитих типова мотора, потребно је обезбедити одговарајући импулсни сигнал доведен на гејт р-каналног VDMOS транзистора снаге.



Слика 3.30: Пример елементарног кола за контролу DC мотора коришћењем p-каналног транзистора [156].

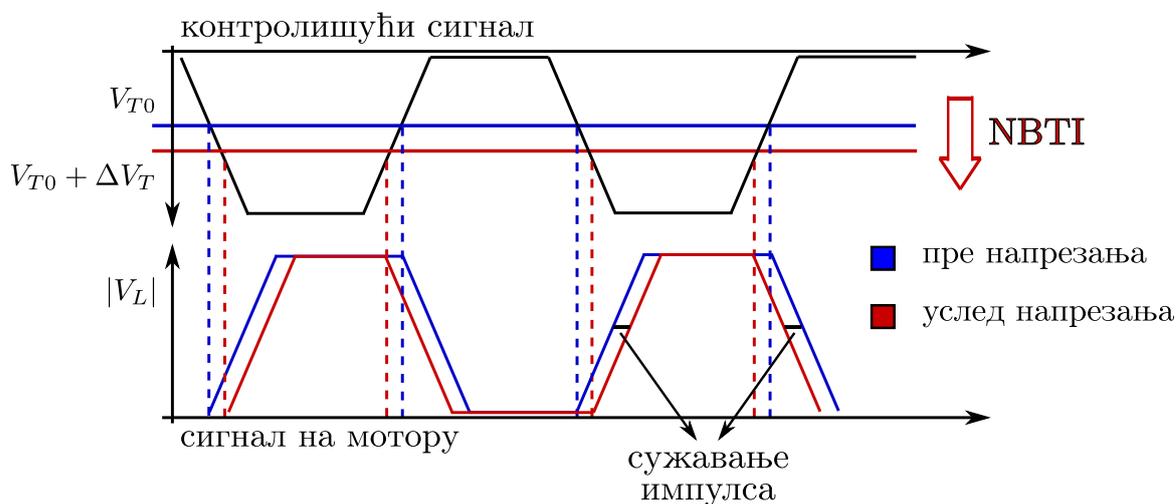
На слици 3.31 су приказани неки од сигнала присутни у индустријским и комерцијалним применама ове компоненте, заједно са одговарајућим напонима на индуктивном оптерећењу ($|V_L|$) [154, 157, 158].



Слика 3.31: Облици сигнала за импулсно напрезање и одговарајуће индуктивно оптерећење: а) Статичко напрезање; б) Импулсно напрезање ($f = 10 \text{ kHz}$); в) Импулсно напрезање ($f = 1 \text{ Hz}$); г) Мешовито импулсно напрезање (0,5 s импулсно напрезање ($f = 10 \text{ kHz}$), 0,5 s неактивно стање).

Први карактеристични сигнал (3.31 а)) представља једносмерни сигнал који врши статичко напрезање транзистора. Иако у малим процентима, оваква примена је присутна у индустрији [140, 159]. Други карактеристични сигнал (3.31 б)) је такође анализиран у лабораторијским условима. У питању је импулсни сигнал, фреквенције 10 kHz и фактора испуне 50 %. Овакав тип сигнала заступљен је у колима за контролу стандардних DC мотора, где се фактором испуне одређује брзина рада мотора. Трећи карактеристични сигнал (3.31 в)) је такође импулсни сигнал, али фреквенције 1 Hz и фактора испуне 50 %. Овакав тип сигнала је карактеристичан за серво и степ моторе, дакле оне моторе који не раде константно, већ периодично, са прекидима. Четврти сигнал (3.31 г)) представља сигнал који 0,5 секунди може бити описан као и сигнал (3.31 б)), а затим 0,5 секунди одржава транзистор искљученим. Карактеристични типови сигнала налик описаним заступљени су у аутомобилској индустрији [140, 157–159].

Импулсни сигнали различитих карактеристика врше импулсно напрезање р-каналног VDMOS транзистора снаге и самим тим подстичу NBT нестабилности. Оне доводе до деградације компоненте, где је главни тип деградације промена напона прага. Приликом рада са импулсним сигналимa, поготово онима високих фреквенција, NBTI ефекти представљају велики проблем. Укључивање р-каналног транзистора дешава се када је напон који је доведен на гејт (између гејта и сорса) негативнији од напона прага. Уколико временом, услед рада, дође до смањења напона прага (повећања по апсолутној вредности), контрола импулсним сигналом идентичних карактеристика не дају резултате какви се очекују са становишта фактора испуне. Ова појава позната је под називом NBTI сужавање импулса (*NBTI pulse narrowing*) и представља један од запажених проблема приликом примене ових компонената [141, 145, 160, 161]. Графичка илустрација овог проблема приказана је на слици 3.32.

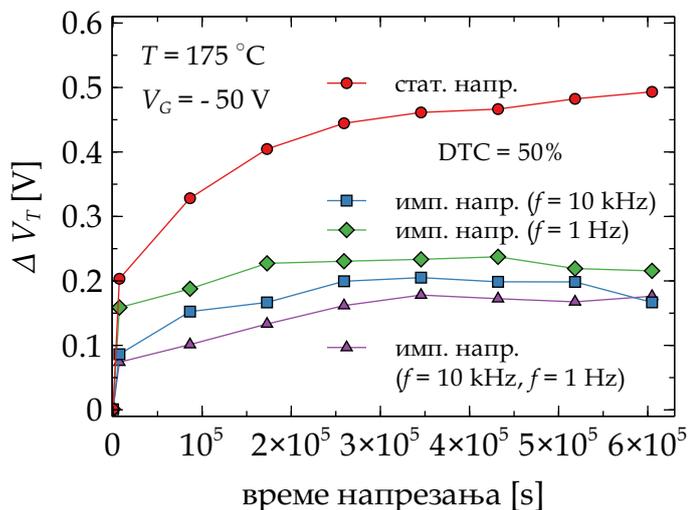


Слика 3.32: Илустрација утицаја промене напона прага на облик сигнала који долази до мотора, односно индуктивног оптерећења услед NBT напрезања.

Уколико дође до промене напона прага која се чак и у неким применама може у потпуности занемарити, код специфичних примена р-каналних VDMOS транзистора снаге, ова промена може утицати на сужавање периода активног стања транзистора, а самим тим и на трајање периода поузданог рада компоненте.

Група узорака комерцијалног р-каналног VDMOS транзистора снаге IRF9520 напрезана је сигналимa приказаним на слици 3.31, са циљем испитивања рада при тим

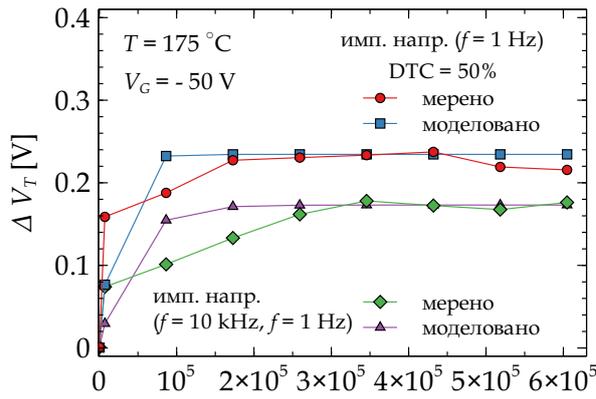
условима. Експерименти су поново подразумевали убрзане услове импулсног напрезања, односно повишене вредности амплитуде импулсног сигнала ($V_G = -50\text{ V}$) и температуре ($T = 175\text{ °C}$). Трајање експеримента је 24 сата, где је у предодређеним временским интервалима вршено мерење преносне карактеристике у засићењу, на основу које је одређивана вредност напон прага. Графички приказ резултата промене напона прага приликом напрезања сигналима приказаним на слици 3.31 дат је на слици 3.33.



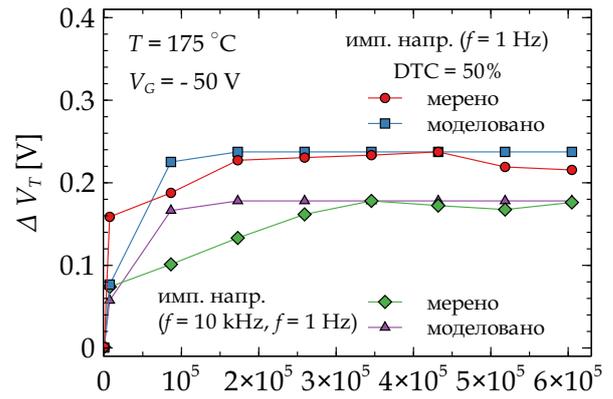
Слика 3.33: Промена напона прага током трајања експеримента за четири карактеристична импулсна сигнала на узорцима IRF9520.

У складу са очекивањима, као и у складу са резултатима раније приказаним у поглављу 3.1, статичко напрезање доводи до највеће промене напона прага. С друге стране, када су у питању остала три карактеристична импулсна сигнала, сваки од облика доводи до различите промене напона прага. На први поглед, ове разлике можда у аритметичком смислу нису велике, али када се у обзир узме сужавање сигнала који се доводи до потрошача, ове промене могу драстично променити перформансе система у којима се р-канални VDMOS транзистори снаге користе као прекидачки елементи. Због тога, битно је да раније предложена еквивалентна електрична кола за моделовање промене напона прага дају што прецизније резултате како би се на време стекао увид у потенцијалне проблеме.

Кола приказана на сликама 3.8 и 3.23, односно приступи моделовању приказани у потпоглављима 3.2.3 и 3.3 искоришћена су за моделовање према приказаним експерименталним резултатима. Како је моделовање резултата промене напона прага услед статичког NBT напрезања, као и услед импулсног NBT напрезања где је $f = 10\text{ kHz}$ и $\text{DTC} = 50\%$, већ показано у поглављима 2 и 3, нагласак у даљој анализи биће моделовање промене напона прага изазване напрезањем сигналима в) и г) приказаним на слици 3.31. За ове случајеве, поново је примењена Лагранжова теорема за прорачун вредности елемената еквивалентних кола. Резултати моделовања раније описаним поступцима приказани су на сликама 3.34, 3.35 и 3.36.

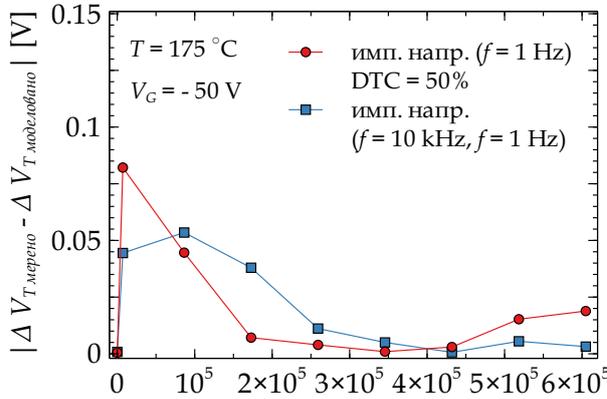


а)

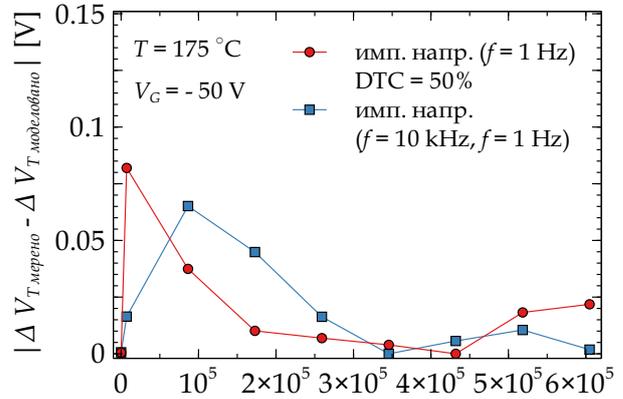


б)

Слика 3.34: Резултати моделовања ΔV_T током NBT напрезања сигналама в) и г) са слике 3.31: а) Коришћењем приступа из 3.2.3; б) Коришћењем приступа из 3.3.

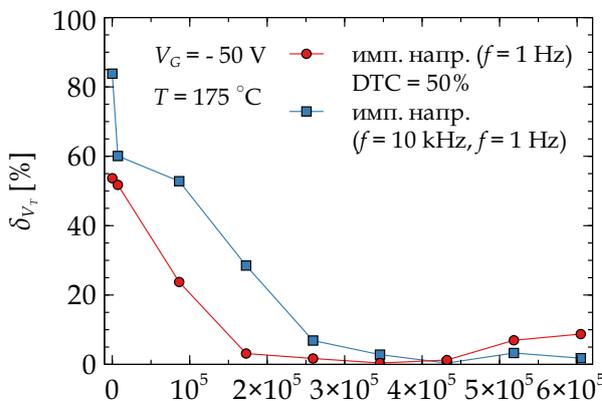


а)

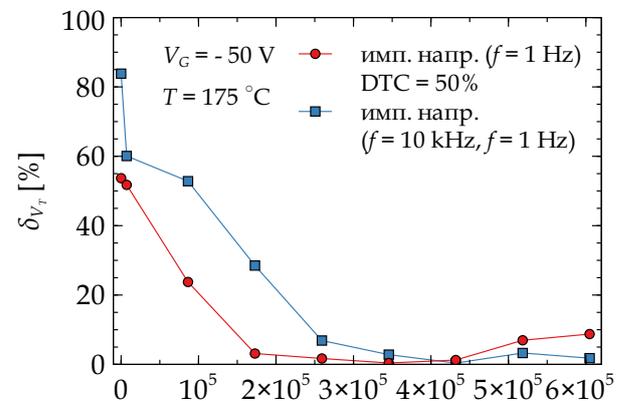


б)

Слика 3.35: Апсолутна грешка моделовања ΔV_T током NBT напрезања сигналама в) и г) са слике 3.31: а) Коришћењем приступа из 3.2.3; б) Коришћењем приступа из 3.3.



а)



б)

Слика 3.36: Релативна грешка моделовања ΔV_T током NBT напрезања сигналама в) и г) са слике 3.31: а) Коришћењем приступа из 3.2.3; б) Коришћењем приступа из 3.3.

Као што се може видети, поготово са слика 3.35 и 3.36, оба приступа моделовању показују ниску вредност апсолутне и релативне грешке за моделовање промене напона прага изазване напрезањем сигнаlima в) и г) са слике 3.31. Приступ приказан у потпоглављу 3.2.3 даје прецизније резултате у односу на приступ приказан у потпоглављу 3.3, односно показује мању релативну грешку. Када се на то дода да приступ коришћењем отпорника променљиве отпорности има захтевнији математички поступак рачунања коефицијента, делује да је приступ описан у потпоглављу 3.2.3, који користи коло са слике 3.8 и само Лагранжову теорему за прорачун елемената кола боља опција за описане сигнале.

Предност приступа коришћењем отпорника променљиве отпорности је да се једноставније прилагођава специфичним облицима сигнала, па су прецизнији резултати моделовања овим колом остварени за сигнал приказан на слици 3.31 г), као што се може видети према резултатима на сликама 3.35 и 3.36. За оба примењена приступа, приликом моделовања импулсног NBT напрезања сигналом 3.31 в) ($f = 1\text{ Hz}$ и $\text{DTC} = 50\%$), што се најјасније може видети са слике 3.36, релативна грешка показује раст у последњим деловима моделовања. Већа вредност релативне грешке узрокована је тиме што апсолутна вредност промене напона прага опада у овом делу, као што се може видети са слике 3.33. Опоравак у каснијем делу напрезања није предвиђен описаним приступима моделовању, нити је запажен приликом других услова напрезања. За још прецизније моделовање промене напона прага која настаје овим специфичним условом NBT напрезања потребно је реализовати додатне експерименте.

Треба такође напоменути да је битна разлика у моделовању приказаном на сликама 3.34 у односу на раније резултате, приказане на сликама 3.11, 3.20 и другим, време трајања експеримента, односно симулације. Резултати приказани на слици 3.33 представљају промену напона прага након чак 168 h NBT напрезања. У овом временском интервалу, приликом импулсног напрезања, узорак се напреже јако великим бројем импулса (реда величине 10^9). Примена описаних приступа за моделовање и решавања одговарајућих једначина за добијање вредности елемената еквивалентних електричних кола захтева високе нумеричке перформанске симулатора и рачунара на коме се врши симулација. Уз јаке перформансе, време трајања симулација може бити неколико сати. Упркос овом недостатку, приказани резултати потврђују концепт предложених компактних модела за моделовање импулсног NBT напрезања и могу се искористити као улазни елементи за алгоритме за одређивање периода поузданог рада [162, 163].

Поглавље 4

Моделовање промене напона прага под утицајем зрачења

Примена VDMOS транзистора снаге углавном се заснива на прекидачким карактеристикама ових компонената. Једна од јако заступљених примена је као прекидачки елемент у прекидачким изворима напајања. Резервна, односно *back-up* напајања, које најчешће подразумевају и коришћење неке батерије или сличног елемента, реализована су као прекидачки извори напајања. У случају примена са високим вредностима струја, саставни део ових извора напајања су VDMOS транзистори снаге [141, 164, 165]. У склопу оваквих примена, резервно напајање се не мора укључивати често, и у неким случајевима до укључења, или између укључења може проћи и неколико месеци или година. Док не дође до укључења, коло прекидачког извора напајања, па и VDMOS транзистор снаге који представља саставни део овог кола, може проћи кроз различита стања и радне услове. Поједини услови рада представљају вид напрезања и могу да утичу на перформансе компонената, поготово оних са дебелим оксидима као што су VDMOS транзистори снаге. Један од типова напрезања који у оваквим случајевима може направити драстичну разлику је озрачивање ових компонената [35, 166, 167].

У претходним годинама је било доста истраживања везаних за утицај зрачења на MOSFET компоненте [35, 36, 94–96, 166–169]. Различити типови MOS транзистора су тестирани као дозиметри различитих типова зрачења. Већина истраживаних компонената су били р-канални MOS транзистори који су служили као основа за развој RADFET компонената, који функционишу као прецизни дозиметри зрачења [170–172]. Приликом анализе свих ових врста компонената испитују се релације између дозе зрачења којој је MOS транзистор изложен и промене напона прага која при томе настаје. Иако има доста решења на пољу дозиметрије која укључују различите компоненте (поред MOS транзистора и фото отпорнике и фото диоде [173–175]), истраживање комерцијалних р-каналних VDMOS транзистора снаге који функционишу у различитим применама представља предмет растућег интересовања [95, 176–181].

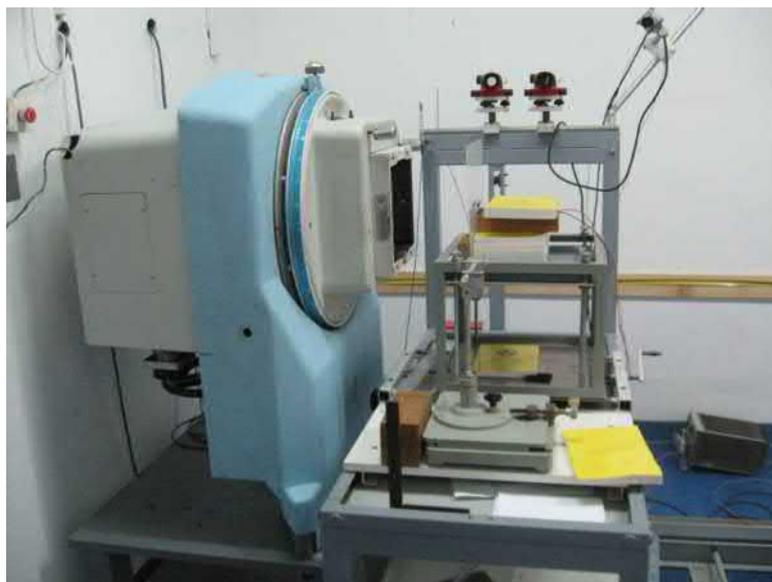
С друге стране, озрачивање компонената и последице које на тај начин настају доводе до свеукупне деградације параметара компонената. Овакав тип деградације подразумева другачију врсту физичко-хемијских механизма у односу на напонско температурно напрезање, па самим тим има и нешто другачије краткорочне и дугорочне последице на рад компоненте. У случајевима готово свих компонената, озрачивање представља додатно ограничење периода и области поузданог рада компоненте, а тако је и са р-каналним VDMOS транзисторима снаге. Ограничења зависе од неколико различитих услова при којима транзистор ради, као и од апсорбоване дозе зрачења [182].

Са циљем моделовања промене напона прага р-каналних VDMOS транзистора снаге изазване зрачењем осмишљени су и реализовани низови експеримената. Са циљем повезивања добијених резултата са резултатима претходних поглавља, узорци су, поред излагања зрачењу, подвргнути и убрзаном напонско температурном напрезању. Одговарајућа еквивалентна кола су предложена за моделовање ефеката не само једне изоловане појаве (зрачење) него и за моделовање ефеката свих типова напрезања којима компоненте могу бити изложене у реалним условима рада.

4.1 Експериментална поставка

Основа за моделовање биће експериментално добијени резултати. Узорци за моделовање ће бити, као и у поглављима 2 и 3, комерцијални р-канални VDMOS транзистори снаге IRF9520 [111]. Експерименти који укључују зрачење захтевају посебну опрему и посебне услове, па се најчешће не могу реализовати у стандардним лабораторијама.

Зрачење је вршено у просторијама метролошке лабораторије Института нуклеарних наука „Винча“, у Београду [183]. Узорци су зрачени коришћењем Co-60, извора гама зрачења, брзином од 0,5 Gy/мин до укупне дозе од 30 Gy, а лабораторијска поставка је приказана на слици 4.1.

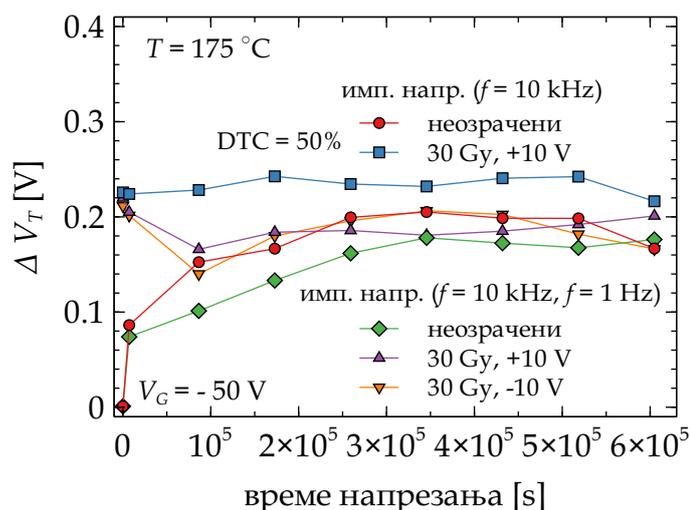


Слика 4.1: Окружење за гама зрачење у просторијама лабораторије Института нуклеарних наука „Винча“, у Београду.

Узорци су подељени у две групе. Обе групе узорака озрачене су идентичном дозом. Приликом озрачивања, једна група узорака је прикључена на напон од 10 V између гејта и сорса, а друга група узорака прикључена на напон од -10 V између гејта и сорса.

Након озрачивања, извршено је мерење преносних карактеристика, са циљем одређивања промене напона прага у односу на вредност пре озрачивања. Да би се анализирали ефекти зрачења на каснији рад компонената, обе групе узорака су након зрачења подвргнуте NBT напрезању. Поново је искоришћено убрзано NBT напрезање, импулсним сигнаlima заступљеним у индустријским применама, чије карактеристике су приказане на слици 3.31.

Искоришћена мерна метода идентична је као и у поглављима 2 и 3. Преносна карактеристика у засићењу која се постиже краткоспајањем гејта и дрејна мери се коришћењем *Source Measure Unit* уређаја. Преносне карактеристике експерименталних узорака мерене су пре озрачивања, након озрачивања, а током NBT напрезања поново у предодређеним временским интервалима. На основу преносних карактеристика, коришћењем методе другог извода, одређена је вредност напона прага [120, 121]. Експериментални резултати добијени на овај начин приказани су на слици 4.2.



Слика 4.2: Промена напона прага озрачених и неозрачених узорака током импулсног NBT напрезања напрезаних сигналом б) и г) са слике 3.31 ($T = 175\text{ }^{\circ}\text{C}$, $V_G = -50\text{ V}$).

Код узорака који су приликом зрачења били прикључени на напон између гејта и сорса од -10 V примећен је, уз извесна одступања, пад апсолутне вредности промене напона прага током NBT напрезања. Поготово у првим фазама напрезања, смањење вредности се може сматрати експоненцијалним. Потом је забележен благи раст апсолутне вредности промене напона прага, па поново смањење, са тенденцијом засићења у каснијим фазама напрезања. С друге стране, код узорака који су приликом зрачења били прикључени на напон између гејта и сорса од $+10\text{ V}$ примећен је другачији облик промене напона прага за два различита облика импулсног сигнала који врше NBT напрезање.

Како би се направила основа за моделовање, потребно је детаљније објаснити резултате приказане на слици 4.2. Кретање промене напона прага током импулсног NBT напрезања представља спој два процеса, као што је показано у поглављу 3. Први је процес деградације, који се дешава током активног дела периоде, а други је процес опоравка који се дешава током неактивног дела периоде импулсног сигнала. Када су ови периоди кратки, као што је у случају са импулсним напрезањем сигналом фреквенције $f = 10\text{ kHz}$ и $\text{DTC} = 50\%$, физички механизми који се одигравају су они који су детаљније описани у поглављу 3. Ипак, код импулсног напрезања где је као облик сигнала за напрезање искоришћен облик приказан на слици 3.31 г), време током кога се не врши напрезање је знатно дуже него време током кога се врши напрезање, због $0,75\text{ s}$ неактивности током сваке од периоде. Током овог времена неактивности дешава се термичко оджаривање напрезаних узорака [36, 141, 184, 185]. Термичко оджаривање доводи до делимичног опоравка деградације изазване како озрачивањем, тако и NBT напрезањем,

која се манифестује кроз смањење апсолутне вредности промене напона прага [185–187]. Због тога, промене напона прага озрачених узорака приказане на слици 4.2, које настају као последица импулсног NBT напрезања импулсним сигналом карактеристика са слике 3.31 г), треба тумачити тако да апсолутна вредност напона прага опада у случају да ефекат оджаривања доминира у односу на ефекте NBT напрезања, а расте у случају да ефекти NBT напрезања доминирају над ефектима оджаривања.

Смањење апсолутне вредности напона прага које је поготово изражено у почетним фазама NBT напрезања када је за напрезање коришћен импулсни сигнал облика који је приказан на слици 3.31 г) узроковано је тиме што се у тим фазама, током трајања неактивног дела периоде, услед термичког оджаривања, дешава опоравак деградације настале озрачивањем. Овакво кретање апсолутне вредности промене напона прага може се приметити и код узорака који су приликом озрачивања повезани на напон између гејта и сорса од 10 V као и код узорака који су приликом озрачивања повезани на напон између гејта и сорса од -10 V, иако постоји разлика у изражености опоравка. Када је у питању промена апсолутне вредности напона прага током NBT напрезања импулсним сигналом облика који је приказан на слици 3.31 б), чини се да напрезање, које доводи до повећања апсолутне вредности промене напона прага и термичко оджаривање, које доводи до смањења апсолутне вредности промене напона прага, постижу неку врсту равнотеже. Током 168 h импулсног NBT напрезања коришћењем сигнала карактеристика 3.31 б), готово да нема промене апсолутне вредности промене напона прага. Почетна вредност је 0,226 V (изазвано озрачивањем) а крајња вредност је 0,218 V (након NBT напрезања).

4.2 Приступ моделовању промене напона прага

Поступак моделовања првобитно захтева анализу физичких ефеката који доводе до промене параметара. Према резултатима приказаним на слици 4.2, може се видети да на промену напона прага изазвану импулсним NBT напрезањем р-каналних VDMOS транзистора снаге утиче претходни третман, односно озрачивање. Због тога, моделовање промене напона прага р-каналних VDMOS транзистора снаге се у овом случају може поделити на два дела, на промену изазвану зрачењем и на промену изазвану каснијим NBT напрезањем.

4.2.1 Промена напона прага услед зрачења

Примена јонизујућег гама зрачења на р-каналне VDMOS транзисторе снаге, као што се може видети на слици 4.2, изазива повећање апсолутне вредности напона прага [93, 94, 166]. Ови резултати су сагласни са резултатима у литератури, где је било више покушаја описа електрохемијских механизма који доводе до ове појаве [166–168, 185]. Детаљан опис ових механизма није циљ ове дисертације, али је потребно на основном нивоу показати везу између озрачивања и промене напона прага р-каналних VDMOS транзистора снаге.

Озрачивање узорка доводи до повећања концентрације уграђеног наелектрисања у оксиду гејта [93, 94, 166], које се у електричном смислу манифестује кроз промену напона прага. Поготово је изражено код MOS компонената са дебелим слојем оксида од неколико десетина нанометара и више [93, 188]. Већа доза зрачења испоручује већу енергију и тиме генерише веће концентрације наелектрисања у оксиду гејта, а и дубље у оксиду, па је и промена напона прага наглашенија.

Промена напона прага услед зрачења има практичну примену у дозиметрији, где је дефинисана као осетљивост [96,189]. Резултати у литератури показују да је осетљивост на гама зрачење, као и на x-зрачење p-каналних VDMOS транзистора снаге до ниских доза (испод 50 Gy) углавном линеарна [35,167,176,185]. Овај закључак значајно олакшава поступак моделовања самог утицаја зрачења. Уколико се претпостави да је централни елемент еквивалентног електричног кола за моделовање кондензатор, као и на сликама 3.8 и 3.23, онда се моделовање своди на пуњење тог кондензатора преко одговарајуће отпорности коришћењем напонског извора који је одређен дозом зрачења.

4.2.2 Утицај озрачивања на касније NBT напрезање

Како би се у потпуности описао утицај зрачења на начин промене напона прага p-каналних VDMOS транзистора снаге, потребно је испитати и да ли озрачивање има последице приликом даљег рада компоненте. Резултати приказани на слици 4.2 указују на то да су, након 168 h NBT напрезања, промене напона прага код претходно озрачених и неозрачених узорака приближно идентичне, али са извесним разликама. Евидентно је да код озрачених узорака приликом NBT напрезања долази до смањења апсолутне вредности промене напона прага, док код узорака који нису раније озрачени долази до повећања апсолутне вредности напона прага, онако како је то описано у поглављу 3. Међутим, од суштинске важности је анализа начина, односно тока промене напона прага током напрезања.

Нека предмет анализе буде прво узорак NBT напрезан импулсним сигналом 3.31 д). Промена напона прага неозраченог узорка након 168 h импулсног NBT напрезања износи 0,18 V. Током напрезања може се приметити експоненцијални раст вредности промене напона прага, онако како је то описано у претходним поглављима. С друге стране, NBT део експеримента код озраченог узорка почиње са променом напона прага узрокованом зрачењем, где на почетку овог дела експеримента ΔV_T има вредност од 0,22 V. Може се сматрати да се током трајања NBT напрезања дешава делимични опоравак деградације изазване деловањем јонизујућег зрачења, који се у електричном смислу види кроз смањивање апсолутне вредности ΔV_T .

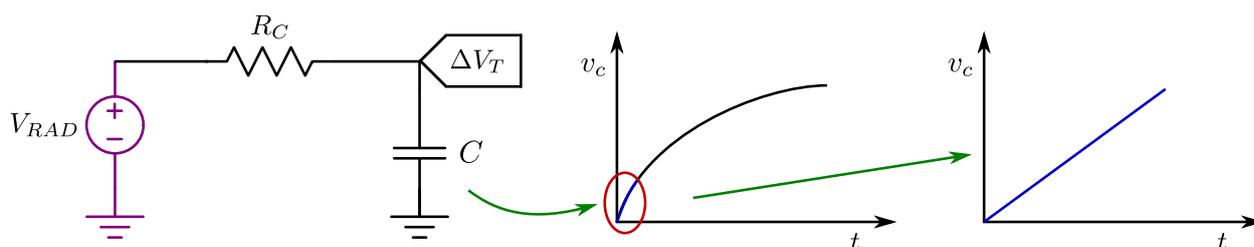
Овакав развој промене напона прага показује да је утицај повишене температуре (која представља један од услова убрзаног NBT напрезања) довео до оджаривања дела наелектрисања уграђеног у оксид гејта p-каналног VDMOS транзистора снаге. Утицај оджаривања и ослобађања уграђеног наелектрисања доминантан је у односу на формирање нових површинских стања и наелектрисања у оксиду која настају NBT напрезањем. На тај начин, у овом случају убрзано NBT напрезање доводи до смањења укупне деградације компоненте, самим тим и до смањења апсолутне вредности промене напона прага.

Слична анализа може се применити и на узорак NBT напрезан импулсним сигналом 3.31 б). Анализа овог узорка је додатно интересантна због тога што промена напона прага неозраченог узорка након 168 h импулсног NBT напрезања износи 0,22 V, колико износи и промена напона прага узрокована зрачењем. У овом случају, убрзано импулсно NBT напрезање у трајању од 168 h, готово да нимало не мења вредност ΔV_T током трајања експеримента. Утицај оджаривања и утицај NBT напрезања се готово идеално компензују, па током овог дела експеримента готово да нема промене напона прага. Један од циљева предложеног модела је да изврши адекватно моделовање описаних промена напона прага.

Гледано са становишта компактног моделовања, уколико је потребно извршити моделовање сукцесивних озрачивања и NBT напрезања, еквивалентно електрично коло треба да садржи неколико елемената. За разлику од кола предложених у оквиру поглавља 2 и 3, коло треба да моделује и повећање и смањење вредности напона прага.

4.2.3 Еквивалентна електрична кола

Уколико се као централни елемент еквивалентног електричног кола за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване ниским дозама зрачења постави кондензатор, слично као у поглављима 2 и 3, онда је процес озрачивања потребно моделовати као пуњење тог кондензатора. Као што је раније наведено, зрачење ниским дозама изазива линеарну промену напона прага [35,167,176,185]. С друге стране, промена напона на кондензатору, и у процесу пуњења и у процесу пражњења кондензатора описана је експоненцијалном релацијом. На први поглед, ово делује као велики ограничавајући фактор, међутим предложен је метод за решење овог недостатка. На слици 4.3 приказано је коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге коришћењем основног кола за пуњење кондензатора, уз пратеће илустрације.



Слика 4.3: Коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге коришћењем основног кола за пуњење кондензатора, уз пратеће илустрације.

Ради једноставности модела, у предложеном еквивалентном колу бројна вредност напона напонског генератора треба бити линеарно сразмерна бројној вредности испоручене дозе. Као што је приказано на слици 4.2, озрачивање узорака довело је до промене напона прага реда величине неколико стотина mV. Осетљивост коришћених компонента на гама зрачење је реда величине неколико mV по Gy. Због тога, вредност до које се кондензатор у колу предложеном на слици 4.3 пуни увек је знатно мања него вредност напона напонског генератора који врши пуњење кондензатора (пошто је напон напонског генератора по бројној вредности изједначен са бројном вредношћу апсорбоване дозе у Gy, па вредност напона од неколико десетина волти доводи до промене од неколико стотина милivolти). Самим тим, описани процес пуњења кондензатора обухватаће почетни део експоненцијалне криве пуњења, који се може сматрати линеарним, као што је приказано на илустрацијама на слици 4.3. Применом овог поступка, остали елементи приказаног еквивалентног електричног кола могу се израчунати на једноставан начин.

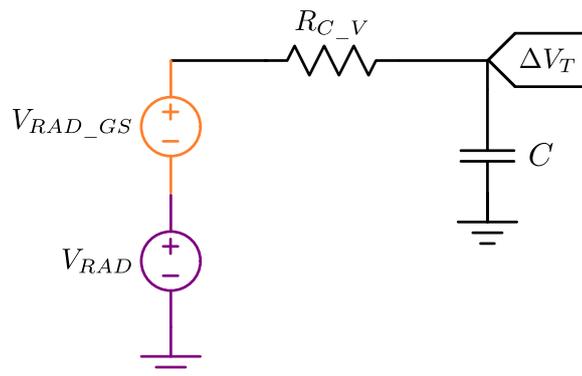
Експериментом је наведено да су узорци зрачени брзином од 0,5 Gy/мин до укупне дозе од 30 Gy. Може се закључити да је овај процес трајао $t_{RAD} = 60$ минута. Такође, пошто су узорци озрачени до апсорбоване дозе од 30 Gy, вредност напонског генератора V_{RAD} има вредности од 30 V. Ради једноставности прорачуна и лакшег решавања експоненцијалних једначина, вредност капацитивности кондензатора C поново је постављена

на вредност од 1 mF. Једина непозната вредност у предложеном колу је вредност отпорности отпорника R_C преко ког се пуни кондензатор C . Ова вредност се из једначине пуњења кондензатора може једноставно израчунати као:

$$R_C = \frac{-t_{RAD}}{\ln\left(1 - \frac{v_c}{V_{RAD}}\right) \cdot C}. \quad (4.1)$$

Резултати приказани на слици 4.2 показују, као и што је и описано у потпоглављу 4.2, да су узорци, приликом озрачивања, прикључени на напон од +10 V, односно -10 V између гејта и сорса. Према резултатима у литератури, промена напона прага р-каналних VDMOS транзистора снаге изазвана зрачењем израженија је уколико су узорци прикључени на напон између гејта и сорса [167, 176, 185]. Промене су изражене када је вредност напона негативна, а још израженије када је вредност напона позитивна.

Еквивалентно електрично коло приказано на слици 4.3 могуће је проширити тако да омогућава моделовање промене напона прага и у овим случајевима. Додавањем још једног напонског генератора који моделује прикључени напон између гејта и сорса, редно везаног са напонским генератором V_{RAD} , повећава се вредност напона до које се пуни кондензатор. Проширено еквивалентно електрично коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване зрачењем при прикљученом напону приказано је на слици 4.4.



Слика 4.4: Проширено коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване зрачењем.

Једначина којом је могуће описати вредност напона на кондензатору у колу са слике 4.4 гласи:

$$v_c = (V_{RAD} + V_{RAD.GS}) \cdot \left(1 - e^{-\frac{t_{RAD}}{R_{C.V} \cdot C}}\right). \quad (4.2)$$

Вредност напона који је прикључен између гејта и сорса, као што је приказано на слици 4.2, може бити и позитивна и негативна. Уколико је вредност напона $V_{RAD.GS}$ позитивна, вредност напона до кога се пуни кондензатор C је већа од вредности V_{RAD} , па је вредност отпорности $R_{C.V}$ у овом случају већа него вредност отпорности R_C у колу са слике 4.3. Уколико је вредност напона $V_{RAD.GS}$ негативна, вредност напона до кога се пуни кондензатор C је мања од вредности V_{RAD} , па је вредност отпорности $R_{C.V}$ у овом случају мања него вредност отпорности R_C у колу са слике 4.3. У оба описана случаја, вредност отпорности $R_{C.V}$ рачуна се на идентичан начин, из једначине

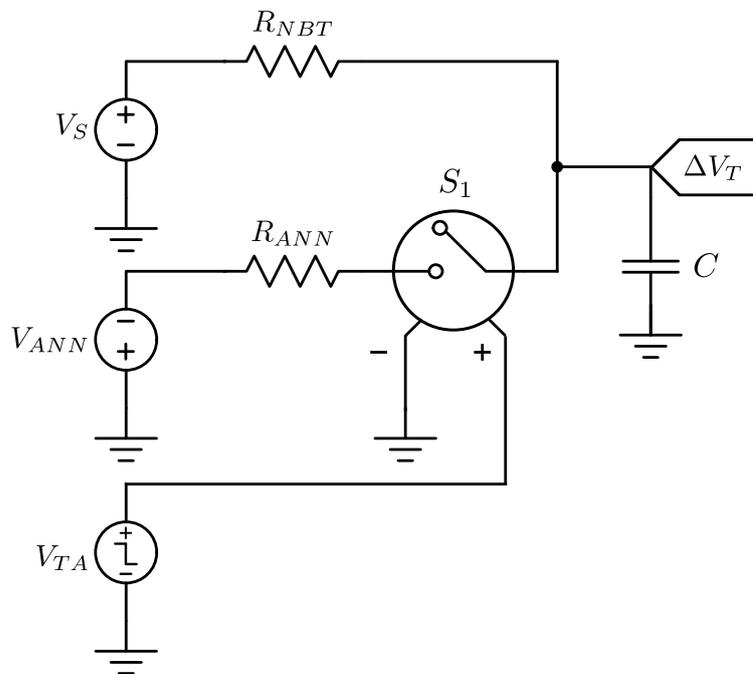
(4.2). Израчунате вредности према једначинама (4.1) и (4.2) приказане су у табели 4.1 и потврђене коришћењем *LTspice* симулација.

Табела 4.1: Вредности параметара еквивалентних кола са слика 4.3 и 4.4.

30 Gy,	$V_{GS} = +10\text{ V}$	$\Delta V_T = 0,2280\text{ V}$	$R_{C.V} = 644,518 \cdot 10^6\ \Omega$
0,5 Gy/min	$V_{GS} = -10\text{ V}$	$\Delta V_T = 0,2115\text{ V}$	$R_{C.V} = 338,622 \cdot 10^6\ \Omega$

Битно је рећи да је приликом процеса озрачивања у лабораторијски контролисаним условима, поготово када се врши озрачивање ниским дозама, увек позната брзина зрачења, као и трајање озрачивања. Слично као и у поглављима 2 и 3, вредности елемената еквивалентног електричног кола зависе од одређених карактеристика типа напрезања (раније температура и напон, а сада доза зрачења). Самим тим, познавајући карактеристике поставке за зрачење, једноставно се могу израчунати сви описани елементи, што доприноси на универзалности приказаног модела.

Потпуно другачији и компликованији проблем представља моделовање промене напона прага при NBT напрезању које следи након озрачивања. Поготово због тога што, као што се да приметити на слици 4.2, промена напона прага р-каналних VDMOS транзистора снаге приликом потоњег NBT напрезања зависи од претходног третмана узорака, као и од карактеристика импулсног сигнала који врши напрезање. Због тога није могуће дати универзалан компактан модел, али је могуће предложити елементарно еквивалентно електрично коло које потврђује концепт. Прилагођење на конкретне услове напрезања могуће је додавањем додатних елемената у коло. Елементарно коло за моделовање промене напона прага током NBT напрезања која следи након озрачивања приказано је на слици 4.5.

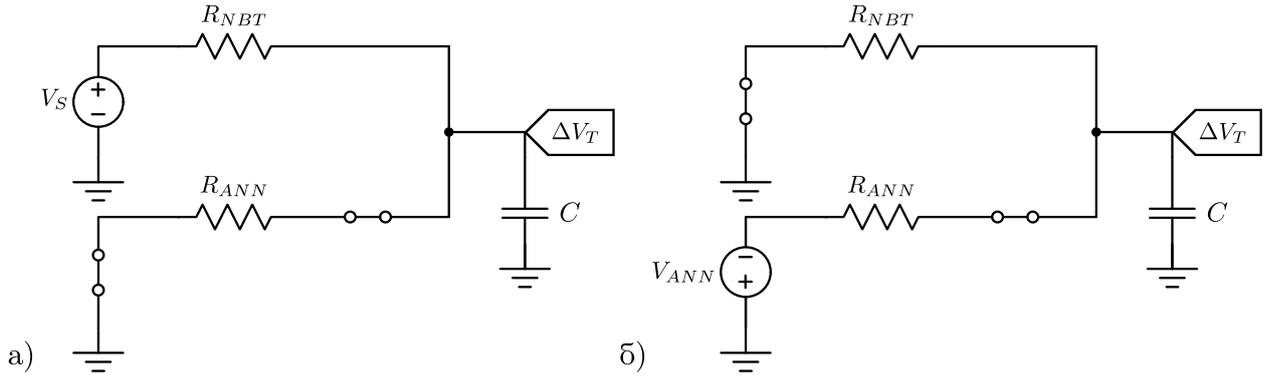


Слика 4.5: Коло за моделовање промене напона прага током NBT напрезања након озрачивања.

У колу приказаном на слици 4.5 промена напона прага се поново моделује вредношћу напона на кондензатору C . Промена напона на кондензатору сада није последица деловања само једног напонског извора (као што је то било у случајевима описаним у поглављима 2 и 3), већ је последица деловања два напонска извора. Један извор представља утицај импулсног NBT напрезања (приказан као V_S са пратећом отпорношћу R_{NBT}), а други представља утицај термичког оджаривања, које се јавља током периода t_{off} (приказан као V_{ANN} са пратећом отпорношћу R_{ANN}). У бројним претходним истраживањима уочена је појава да нагомилано наелектрисање у оксиду и формирана површинска стања бивају неутралисана током времена t_{off} [145]. Према смеровима ових напонских генератора може се видети утицај генератора V_S повећава вредност напона на кондензатору, док утицај V_{ANN} смањује вредност напона на кондензатору. Треба напоменути да је у колу приказаном на слици 4.5 утицај импулсног NBT напрезања приказан преко само једног отпорника, а не преко неког од раније предложених еквивалентних кола из поглавља 3. Као што је речено, коло приказано на слици 4.5 је елементарно и има циљ да покаже кретање ΔV_T током трајања експеримента. Могуће је надоградити га колима предложеним у поглављу 3, али би то захтевало знатно комплекснији прорачун вредности елемената у колу.

Према резултатима приказаним на слици 4.2 може се видети да процес термичког оджаривања доминира током прва 24 сата експеримента, и да је то време које је потребно да би се десио највећи део опоравка деградације настале озрачивањем. Овакви закључци уочени су у бројним истраживањима доступним у литератури [181, 185]. У периоду након 24 сата, доминира процес импулсног NBT напрезања. Због тога, део кола приказаног на слици 4.5 је и напонски генератор V_{TA} , као и напонски контролисан прекидач S_1 , који је контролисан преко V_{TA} . Напонски генератор V_{TA} је представљен импулсним генератором који генерише само један импулс. Високи напонски ниво овог импулса доводи до затварања прекидача S_1 само током периода доминирања термичког оджаривања, односно док се не деси *turn-around* ефекат [145, 190, 191]. Овај ефекат представља обрт промене вредности напона прага, при чему ΔV_T у овом случају најпре опада, а потом расте. Након *turn-around* ефекта доминира процес импулсног NBT напрезања. Пре појаве *turn-around* ефекта вредност напонског генератора V_{TA} чини да се напонски контролисани прекидач S_1 понаша као кратак спој, а након појаве *turn-around* ефекта вредност напонског генератора V_{TA} чини да се напонски контролисани прекидач S_1 понаша као прекид у колу.

Тестирање концепта предложеног еквивалентног кола извршено је коришћењем експерименталних резултата. У почетним разматрањима, нека се претпостави да је NBT напрезање представљено једним напонским генератором (V_S) и једним отпорником (R_{NBT}), ради једноставности прорачуна. Док је прекидач S_1 затворен, вредност напона на кондензатору мења се у зависности од два напонска извора, V_S и V_{ANN} . На приказано коло може се применити метод суперпозиције [192]. Илустрација примене метода приказана је на слици 4.6.



Слика 4.6: Примена метода суперпозиције на еквивалентно електрично коло приказано на слици 4.5 за случај када је прекидач S_1 затворен: а) V_{ANN} представљен кратким спојем; б) V_S представљен кратким спојем.

Нека се претпостави прво да је генератор V_S укључен, а генератор V_{ANN} искључен, односно представљен кратким спојем, онако како је приказано на слици 4.6 а). На тако постављено коло могуће је применити Тевененову теорему [192]. Кондензатор C се онда пуни до вредности која је одређена вредношћу напона на излазу напонског разделника који чине генератор V_S и отпорници R_{NBT} и R_{ANN} , као што је показано једначином (4.3):

$$v_{ca} = \frac{R_{ANN}}{R_{NBT} + R_{ANN}} \cdot V_S. \quad (4.3)$$

Кондензатор C се пуни преко паралелне везе ових отпорности, што је показано једначином (4.4):

$$R_C = \frac{R_{NBT} \cdot R_{ANN}}{R_{NBT} + R_{ANN}}. \quad (4.4)$$

Идентичан поступак могуће је применити када је генератор V_S искључен, односно представљен кратким спојем, а генератор V_{ANN} укључен, као што је приказано на слици 4.6 б). Кондензатор C се сада пуни до вредности која је одређена вредношћу напона на излазу напонског разделника који чине генератор V_{ANN} и отпорници R_{NBT} и R_{ANN} , као што је показано једначином (4.5), а пуни преко идентичне отпорности као у претходном случају, описане једначином (4.4).

$$v_{cb} = \frac{R_{NBT}}{R_{ANN} + R_{NBT}} \cdot V_{ANN}. \quad (4.5)$$

У колу приказаном на слици 4.5, док је прекидач S_1 затворен, вредност напона на кондензатору, који моделује промену напона прага, коришћењем једначина (4.3)-(4.5), може се описати једначином:

$$v_c = (v_{ca} - v_{cb}) \cdot \left(1 - e^{-\frac{t_C}{R_C \cdot C}} \right). \quad (4.6)$$

С друге стране, када је прекидач S_1 отворен, нема утицаја генератора V_{ANN} на вредност напона на кондензатору. Самим тим, вредност напона на кондензатору се у том случају може доста једноставније математички описати као:

$$v_c = V_S \cdot \left(1 - e^{-\frac{t_{C2}}{R_{NBT} \cdot C}} \right). \quad (4.7)$$

У једначини (4.6) време t_C представља време до појаве *turn-around* ефекта, а у једначини (4.7) време t_{C2} представља време од појаве *turn-around* ефекта до краја експеримента.

Предложени концепт примењен је на резултате приказане на слици 4.2, када је као сигнал за импулсно NBT напрезање искоришћен сигнал са слике 3.31 г). Нека се претпостави да је вредност напона напонског генератора V_S вредност промене напона прага на крају експеримента. Такође, нека се претпостави да је вредност напона напонског генератора V_{ANN} минимална вредност напона прага која је измерена током трајања експеримента, односно након 24 сата. Нека се претпостави и да је $t_C = 24$ h, а да је $t_{C2} = 144$ h. Претпостављањем ових вредности и њиховом заменом у једначине (4.6) и (4.7), могуће је израчунати и вредности отпорности отпорника R_{NBT} и R_{ANN} за испитивани скуп услова. Израчунате вредности дате су у табели 4.2.

Битно је напоменути да су задате претпоставке вредности V_S , V_{ANN} , t_C , t_{C2} засноване на експерименталним резултатима за ограничен скуп експерименталних услова ($T = 175$ °C, $V_G = -50$ V), односно, за само један експеримент. Експерименти над ширим скупом услова би омогућили методе прорачуна претпостављених вредности на основу експерименталних резултата.

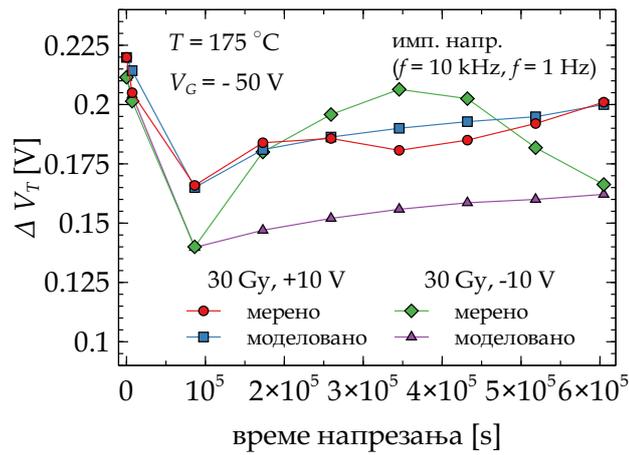
Табела 4.2: Вредности параметара еквивалентних кола са слике 4.5.

	30 Gy, 0,5 Gy/min	
	$V_{GS} = +10$ V	$V_{GS} = -10$ V
V_{RAD} [V]	0,2199	0,2115
	$T = 175$ °C, $V_G = -50$ V	
V_S [V]	0,2010	0,1663
V_{ANN} [V]	0,1659	0,1401
R_{NBT} [Ω]	$2,97 \cdot 10^8$	$2,81 \cdot 10^8$
R_{ANN} [Ω]	$5,26 \cdot 10^8$	$3,86 \cdot 10^8$

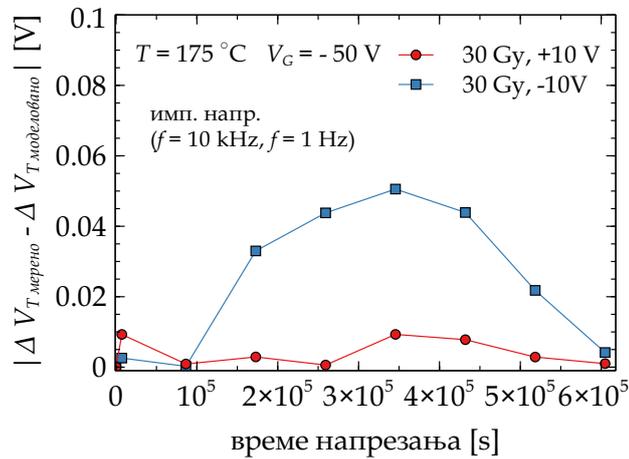
4.2.4 Резултати моделовања промене напона прага

Према израчунатим вредностима елемената еквивалентног кола изведен је низ симулација коришћењем софтверског алата *LTspice*. Резултати моделовања приказани су на сликама 4.7, 4.8 и 4.9.

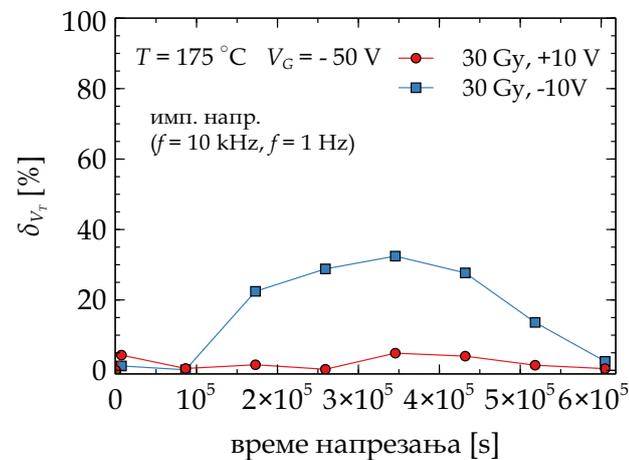
Резултати моделовања који су приказани на сликама 4.7, 4.8 и 4.9 показују да се предложено елементарно еквивалентно коло концептуално може искористити за моделовање промене напона прага при описаним типовима напрезања. Резултати на сликама 4.8 и 4.9 показују да се значајно мања вредност грешака добија приликом моделовања резултата добијених од узорака који су приликом озрачивања били повезани на напон $V_{GS} = +10$ V. Приликом моделовања, као што је приказано на слици 4.9, релативна грешка не прелази вредност од 10 %.



Слика 4.7: Резултати моделовања промене напона прага изазване импулсним NBT напрезањем након озрачивања за сигнал 3.31 г).



Слика 4.8: Абсолютна грешка приликом моделовања промене напона прага изазване импулсним NBT напрезањем након озрачивања за сигнал 3.31 г).



Слика 4.9: Релативна грешка приликом моделовања промене напона прага изазване импулсним NBT напрезањем након озрачивања за сигнал 3.31 г).

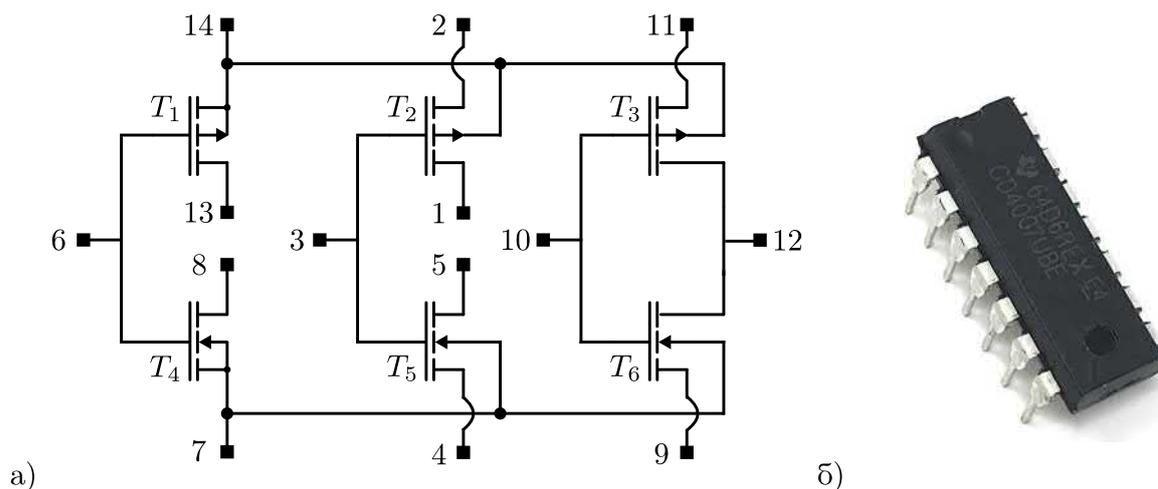
Главни разлог већих вредности грешака приликом моделовања резултата добијених код узорака који су приликом озрачивања били повезани на напон $V_{GS} = -10\text{ V}$ је тај што промена напона прага током импулсног NBT напрезања нема јасно одређен раст. Код ових узорака је у каснијим фазама NBT напрезања поново примећен пад апсолутне вредности ΔV_T , што доводи до значајног неслагања између мерених и моделованих вредности. Потребно је испитати да ли се у каснијим фазама NBT напрезања дешавају додатне електрохемијске реакције које утичу на вредност промене напона прага.

Приказани резултати потврђују раније наведену претпоставку да промена напона прага р-каналних VDMOS транзистора снаге приликом сукцесивних различитих типова напрезања значајно зависи од претходног третмана коме је узорак био изложен [141, 167, 185]. Због тога, потребно је елементарни компактни модел прилагодити конкретним условима и типовима напрезања. Прилагођавање подразумева додавање додатних елемената у еквивалентно коло које показују зависност од претходног третмана, али и усложњавање математичких прорачуна добијања вредности додатних елемената.

4.3 Поређење ефеката уочених код VDMOS транзистора са ефектима уоченим код других компонента

Као што је описано у Уводу, NBTI ефекти представљају све значајнији проблем када је реч о поузданости компонената, не само оних са већом дебљином оксида и вертикалним каналом (као што су комерцијални VDMOS транзистори снаге), него и код других компонената. Описани ефекти можда нису наглашени у идентичној мери (апсолутна вредност промене напона прага је знатно мања), али у специфичним применама баш та промена може представљати критичан ограничавајући фактор. Циљ овог потпоглавља је приказати да ли је могуће еквивалентна кола за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване озрачивањем применити и за моделовање ефеката који настају код других компонената. Конкретно, извршено је упоређивање промене напона прага изазване озрачивањем код два комерцијална модела р-каналних VDMOS транзистора снаге са променом изазваном код р-каналних MOS транзистора који су саставни део комерцијалног интегрисаног кола CD4007 [193]. Ово интегрисано коло реализовано је у CMOS технологији. Састоји се од три р-канална и три п-канална транзистора. Одабрано је за анализу пре свега због своје једноставности и широке доступности. Шема интегрисаног кола CD4007, као и изглед коришћеног кућишта приказани су на слици 4.10.

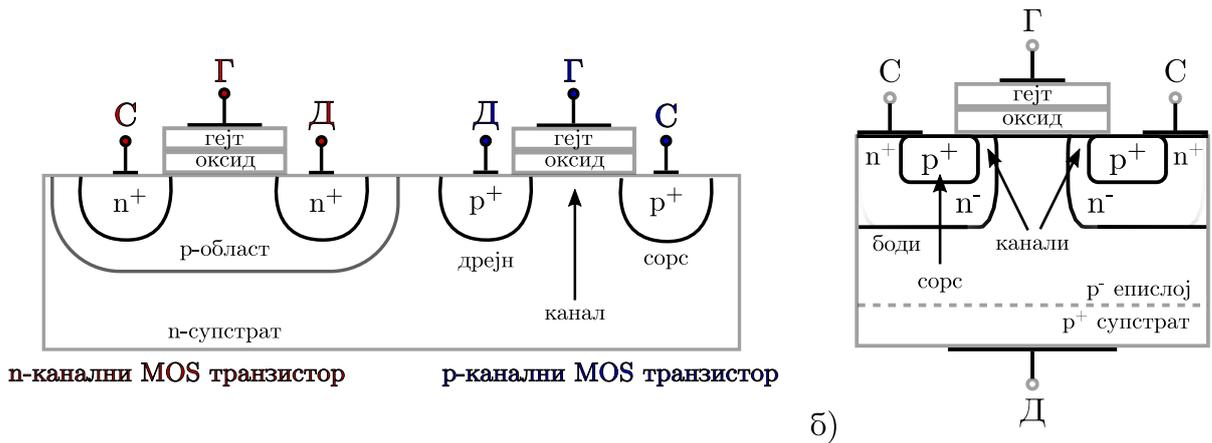
Јонизујуће зрачење, као и NBTI ефекти, такође има утицаја и на р-каналне MOS транзисторе који су део кола CD4007 [193]. Промене које зрачење изазива нису значајно мање у односу на VDMOS транзисторе, па је због тога утицај зрачења знатно наглашенији код ових компонената (јер је почетна вредност напона прага мања). Баш због тога, у литератури су доступна решења где се слични р-канални MOS транзистори користе као дозиметри за зрачење ниским дозама [180, 194].



Слика 4.10: а) Шема кола CD4007 која приказује шест MOS транзистора, три р-канална (T_1 , T_2 и T_3) и три п-канална (T_4 , T_5 и T_6), као и пинова кола на које су повезани њихови изводи; б) Интегрисано коло CD4007 у кућишту DIP-14.

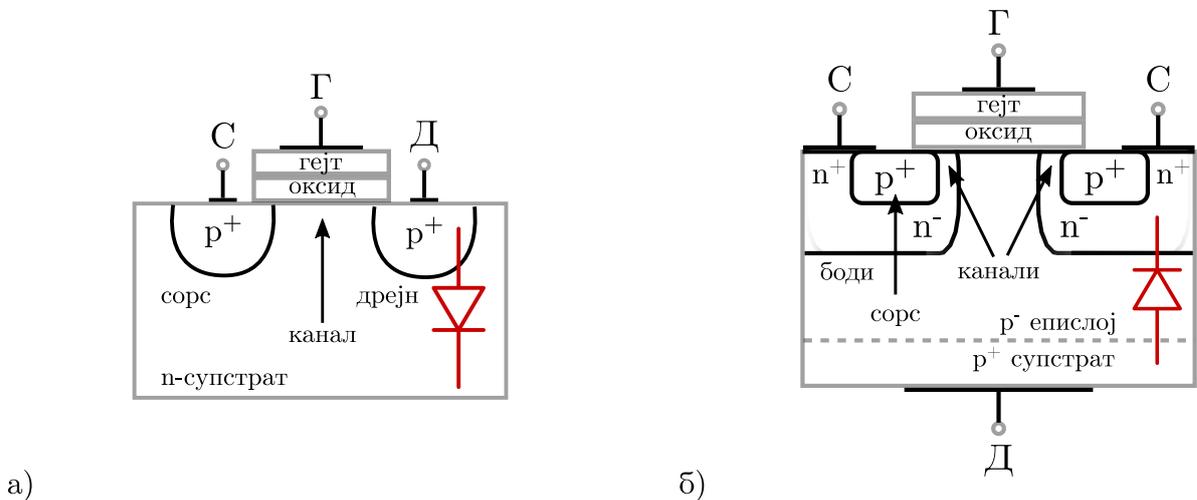
Ипак, као што је показано раније у овом поглављу, величина коју је потребно посебно анализирати приликом испитивања утицаја зрачења на MOS транзисторе генерално, је температура [194–196]. Ефекти које изазивају апсорбована доза и температура најчешће је потребно анализирати повезано. Баш због тога, уколико је циљ прецизно измерити апсорбовану дозу зрачења преко рачунања напона прага транзистора (што такође одређује и вредности елемената кола за моделовање), мора се у обзир узети и температура на којој се врши мерење. Повишена температура може довести до делимичног оджаривања, па самим тим и неисправног читавања раније апсорбоване дозе зрачења. Уколико је то предуслов, онда је мерење апсорбоване дозе зрачења изузетно отежано и ограничено само на оне услове када је могуће прецизно измерити температуру на којој се налази транзистор. Ипак, неке компоненте, односно њихове структуре, саме по себи пружају методе за добијање информације о температури, самим тим и за одговарајућу температурну компензацију.

На слици 4.11 а) приказана је илустрација попречног пресека код CMOS кола CD4007, а на слици 4.11 б) је приказана илустрација попречног пресека р-каналног VDMOS транзистора. На слици 4.11 а), структура се састоји од п-каналног и р-каналног MOS транзистора. Приликом даљих разматрања анализираће се само р-канални MOS транзистори који су део интегрисаног кола CD4007. Код ових транзистора се може уочити хоризонтални, односно латерални распоред извода (сорс, гејт и дрејн) који су позиционирани на супстрату. Проводни канал се генерише латерално између р-допираног дрејна и р-допираног сорса. Укључивање р-каналног транзистора подразумева протицање струје од сорса ка дрејну. С друге стране, као што је приказано на слици 4.11 б) структура VDMOS транзистора подразумева распоред где је извод дрејна испод извода сорса [197]. На овај начин, струја тече вертикално кроз транзистор, па отуд реч вертикални у имену. Укључивањем р-каналног VDMOS транзистора струја тече вертикално, од сорса ка дрејну.



Слика 4.11: а) Илустрација попречног пресека код CMOS кола CD4007; б) Илустрација попречног пресека две полућелије р-каналног VDMOS транзистора.

Код обе ове структуре могу се уочити и уграђени елементи. Уколико се претпостави да код р-каналног MOS транзистора који је део интегрисаног кола CD4007 струја тече у смеру од дрејна ка сорсу, активира се рп спој између дрејна и супстрата и може се сматрати паразитном диодом, као што је приказано на слици 4.12. Аналогно, приликом протицања струје од дрејна ка сорсу р-каналног VDMOS транзистора, између р-допираног дрејна и п-допираног дела (у литератури назван и боди, од енг. *body*) активира се рп спој на коме постоји пад напона. Овај спој може се, у електричном смислу, представити као диода, у литератури названа боди-дрејн диода [197].



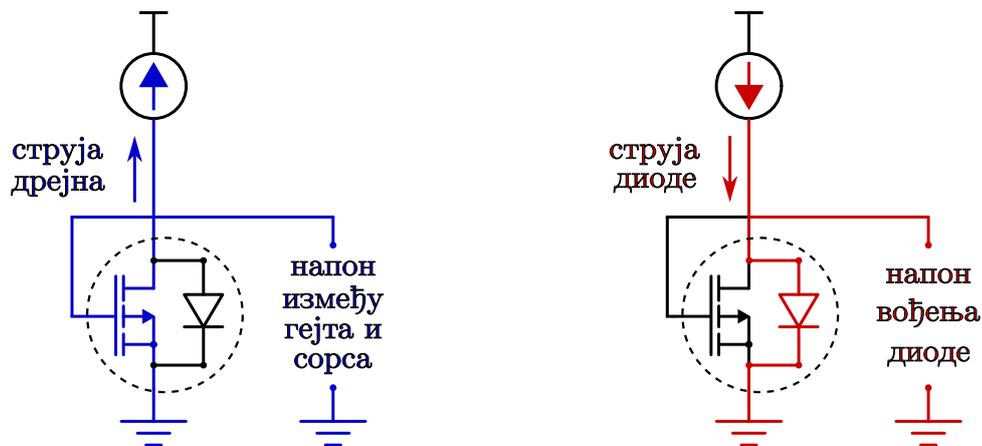
Слика 4.12: а) Диода у структури р-каналног MOS транзистора који је део интегрисаног кола CD4007; б) Диода у структури р-каналног VDMOS транзистора.

У обе ове структуре, уочене диоде се активирају приликом протицања струје у одговарајућем смеру. Пад напона на диоди и струја диоде повезани су Шоклијевим изразом за диоду [152], датим једначином (4.8):

$$I_D \simeq I_S \cdot e^{n \cdot \frac{V_D}{U_T}}, \quad (4.8)$$

где је са I_D означена вредност струје диоде, са I_S вредност инверзне струје zasiћења, V_D представља вредност пада напона на диоди, U_T вредност термичког напона и n фактор идеалности. Фактор идеалности има вредност $1 \leq n \leq 2$, где при напонима директне поларизације $V_D < 0,3 \text{ V}$, има вредност $n = 2$, у опсегу напона $0,3 \text{ V} < V_D < 0,5 \text{ V}$ вредност фактора идеалности се креће од 2 према 1, а при $V_D \geq 0,5 \text{ V}$ може се сматрати да је $n = 1$.

Коришћењем овог израза, могуће је доћи до приближне вредности температуре на којој се налазе уочене диоде, самим тим и до температуре чипа. Дакле, протицањем струје кроз транзисторе у једном, али и у другом смеру могуће је практично мерити две величине. Уколико струја код описаних р-каналних структура тече од сорса ка дрејну, за различите вредности струје дрејна, могуће је мерити напон између гејта и сорса (V_{GS}). На тај начин, могуће је добити преносну карактеристику са које је, као што је раније приказано, могуће одредити вредност напона прага транзистора. С друге стране, уколико струја код описаних р-каналних структура тече од дрејна ка сорсу, могуће је мерити напон на диоди (V_D), преко кога је коришћењем израза (4.8) могуће одредити температуру. На овај начин, уколико је циљ мерење апсорбоване дозе зрачења, могуће је одредити и напон прага и температуру, извршити температурну компензацију мерене величине што даје доста поузданију информацију о апсорбованој дози. Због тога, у даљем опису овог експеримента, мерење преносне карактеристике ради рачунања напона прага биће означено као мерење у MOSFET области, а мерење напона на диоди ради рачунања температуре биће означено као мерење у диодној области.



Слика 4.13: Илустрација мерења у MOSFET области и у диодној области.

4.3.1 Температурна компензација

Мерење у MOSFET области и мерење у диодној области на температури T , већој од референтне температуре T_0 (најчешће собна температура), може бити описано следећим једначинама [196, 198]:

$$\Delta V_T = V_T(T) - V_T(T_0) = \alpha_{V_T}(T - T_0), \quad (4.9)$$

$$\Delta V_D = V_D(T) - V_D(T_0) = \alpha_{V_D}(T - T_0). \quad (4.10)$$

Нека је $V_T(T)$ вредност напона прага на температури T , $V_D(T)$ вредност напона на диоди на температури T , а нека су $V_T(T_0)$ и $V_D(T_0)$ вредности на референтној температури T_0 . Самим тим, за обе величине је могуће дефинисати температурни дрифт, односно

промену вредности узроковану променом температуре, као што је показано изразима (4.9) и (4.10). За оба израза, могуће је такође дефинисати и температурне коефицијенте α_{V_T} и α_{V_D} . Делјењем једначина (4.9) и (4.10) добија се:

$$\frac{\Delta V_T}{\Delta V_D} = \frac{\alpha_{V_T}}{\alpha_{V_D}}, \quad (4.11)$$

$$\Delta V_T = \frac{\alpha_{V_T}}{\alpha_{V_D}} \cdot \Delta V_D. \quad (4.12)$$

Као што се може видети из једначине (4.12), вредност промене напона прага може бити изражена као линеарна функција вредности температурне промене напона на диоди и одговарајућих температурних коефицијената. Ова функција даље може бити написана као:

$$V_T(T) = k \cdot V_D(T) + l, \quad (4.13)$$

где су k и l параметри за фитовање. Параметар k представља нагиб, а параметар l представља пресек са у-осом, која у овом случају представља $V_T(T)$. Једначина (4.13) представља температурни дрифт промене напона прага у зависности од промене напона вођења диоде. Уколико је напрезање узорка извршено са више различитих типова напрезања (напонски, зрачењем, магнетним пољем), могуће је раздвојити температурну компоненту промене напона прага и компоненту узроковану другим типовима напрезања. Компензовану вредност је онда могуће добити као:

$$\Delta V_{T\text{компензовано}} = V_{T\text{мерено}} - V_T(T). \quad (4.14)$$

На овај начин, коришћењем једначине (4.14) могуће је добити промену напона прага која узима у обзир температурно напрезање. Излагање озрачених узорака повишеној температури доводи до оджаривања које узрокује не краткотрајну, већ перманентну промену параметара. Самим тим, за компактно моделовање промене напона прага узроковане зрачењем и потоњим оджаривањем, температура оджаривања такође треба бити узета у обзир као параметар за моделовање.

4.3.2 Експериментални узорци

Основу за моделовање, као и у претходним разматрањима, представљаће експериментални резултати. Низ експеримената је реализован у строго контролисаним условима ради добијања што прецизнијих вредности параметара.

Као узорци р-каналних VDMOS транзистора снаге искоришћени су транзистори IRF9520 [111]. За овај експеримент, искоришћени су и р-канални VDMOS транзистори снаге IRF9530 који су такође паковани у кућишта ТО-220, али могу да воде струје и од преко 10 А [199]. Иницијална вредност напона прага транзистора IRF9520 је $2,924 \pm 0,015$ V и они чине групе узорака Г1 и Г2. Иницијална вредност напона прага транзистора IRF9530 је $3,000 \pm 0,007$ V и они чине групе узорака Г3 и Г4.

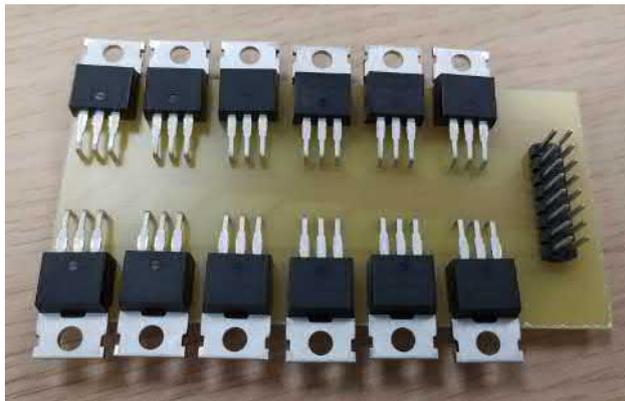
Уочени ефекти код наведених р-каналних VDMOS транзистора упоређени су са ефектима који настају код р-каналних MOS транзистора који су саставни део комерцијалног интегрисаног кола CD4007 [193], произведеног од стране компаније *Texas Instruments* [193]. Ови транзистори су одабрани пре свега због широке доступности интегрисаног кола CD4007, али и велике присутности у индустријским и комерцијалним применама. Само коло CD4007, као што је приказано на слици 4.10, се састоји од шест

MOS транзистора (три р-канална и три n-канална), али су приликом описаног експеримента коришћена само два р-канална транзистора по интегрисаном колу (транзистори T_5 и T_6 на слици 4.10). Узорци су организовани у две групе, подељени по продукционим серијама, онако како је показано у табели 4.3. Прва група узорака (Г5 и Г6) има иницијалну вредност напона прага $1,314 \pm 0,005 \text{ V}$, а друга (Г7 и Г8) има иницијалну вредност напона прага $1,492 \pm 0,015 \text{ V}$.

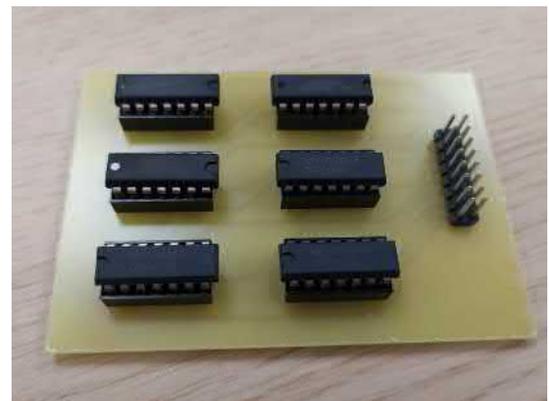
Табела 4.3: Групе и параметри тестираних узорака.

VDMOS	IRF9520 ($V_{T0} = 2,924 \pm 0,015 \text{ V}$)	Г1, Г2
	IRF9530 ($V_{T0} = 3,000 \pm 0,007 \text{ V}$)	Г3, Г4
CD4007	серија 1 ($V_{T0} = 1,314 \pm 0,005 \text{ V}$)	Г5, Г6
	серија 2 ($V_{T0} = 1,492 \pm 0,015 \text{ V}$)	Г7, Г8

По шест узорака сваког од транзистора постављено је на специјално пројектоване штампане плоче, како би се обезбедило одговарајуће повезивање и мерење више узорака паралелно, као и да би се обезбедила одговарајућа позиција за озрачивање. Пројектоване штампане плоче заједно са узорцима приказане су на слици 4.14.



а) 12 узорака р-каналног VDMOS транзистора (шест узорака IRF9520 и шест узорака IRF9530).



б) 12 узорака р-каналног MOS транзистора (по два у сваком од шест интегрисаних кола CD4007).

Слика 4.14: Пројектоване штампане плоче са узорцима.

Експеримент се састоји од више фаза. Фазе су термална карактеризација (мерење преносних карактеристика на различитим температурама), озрачивање и термичко оджаривање. Промена напона прага и напон вођења диоде одређиван је приликом сваке од фаза, у одговарајућим временским тренуцима.

4.3.3 Експериментална поставка

Како је ток експеримената другачији, током експеримента је коришћена другачија опрема у односу на претходне експерименте описане у поглављима 2 и 3. Преносне карактеристике током различитих фаза експеримента мерене су коришћењем уређаја B1500 (*Agilent Semiconductor Analyzer B1500*) [200]. Овај уређај има могућност мерења

струје у опсегу од 0,1 fA до 1 A и напона у опсегу од 1 V до 200 V, као и да функционише као извор струје односно напона. За мерење преносних карактеристика извршено је краткоспајање гејта и дрејна. Приликом мерења преносних карактеристика, различите вредности струја дрејна у одређеном опсегу ће се доводити до узорка, а за сваку вредност струје дрејна ће бити мерена вредност напона између гејта и сорса. Овај приступ се разликује од до сада приказаних експеримената у поглављима 2 и 3, где је за различите вредности доведеног напона између гејта и сорса вршено мерење вредности струје дрејна.

Термална карактеризација представља поступак током кога се преносне карактеристике узорка мере на различитим температурама ради добијања вредности параметара којима се може описати термички дрифт параметара компоненте. Током термалне карактеризације, преносна карактеристика сваког од узорка мерена је на пет различитих температура (од собне температуре до 125 °C). Након термалне карактеризације, сви узорци су држани на константној температури од 25 °C коришћењем клима коморе, док не буду озрачени. Термална карактеризација компонентата је извршена са циљем примене раније приказаног прорачуна који би омогућио температурну компензацију. Мерење на пет различитих температура у релативно широком опсегу пружа довољно елемената за прорачун ових вредности.

Контрола температуре успостављана је коришћењем клима коморе VCL4006, приказане на слици 4.15 а) [201]. Ова клима комора има могућност контроле температуре у опсегу од -40 °C до 180 °C са температурном девијацијом у времену од $\pm 0,3$ °C до ± 1 °C, и хомогеношћу температуре од $\pm 0,5$ °C до ± 2 °C.



а) Клима комора VCL4006 (1) и полупроводнички анализатор B1500 са *test fixture* наставком (2).



б) Линеарни акцелератор (LINAC) *Siemens Artiste* и позиција узорка током зрачења.

Слика 4.15: Коришћена опрема у овом експерименту.

Озрачивање је извршено у просторијама болнице Сан Сесилио у Гранади у Шпанији. Коришћен је линеарни акцелератор (LINAC) *Siemens Artiste*, који се користи у радиотерапији, приказан на слици 4.15 б) [202]. Коришћењем овог извора, узорци су озрачени

на пољу величине $10 \times 10 \text{ cm}^2$, позиционирани у радијационом изоцентру зрака, на 100 cm удаљености од извора, фотонским зрацима од 6 MV. Сви узорци су озрачени са 40 Gy у пет сесија од по 8 Gy константним кораком од 25 mGy/s. Током сесија озрачивања, сви изводи свих узорака су били краткоспојени, без било какве поларизације између гејта и сорса. Под наведеним условима, извршено је озрачивање укупно 32 узорка.

Након озрачивања, извршено је поновно мерење преносних карактеристика свих узорака. Након мерења, по шест узорака сваке од група Г1, Г3, Г5 и Г7 који су били постављени на штампане плоче су стављени у клима комору и држани на повишеној температури од 125°C . Узорци из група Г2, Г4, Г6 и Г8 су држани на константној собној температури и коришћени су као контролни узорци. Оваква подела је направљена са циљем да би се на делу узорака применила повишена температура и пратила потенцијална промена напона прага, а да би се на другом делу пратила промена при референтној, собној температури.

Преглед различитих фаза реализованог експеримента, заједно са условима експеримента, приказан је у табели 4.4.

Табела 4.4: Ток експеримента за различите групе узорака

Термална карактеризација	$T_{start} = 23,7^\circ\text{C}$ $T_{max} = 125^\circ\text{C}, T_{end} = 25^\circ\text{C}$	
	4 x 10 Gy	Г1 - Г8
Озрачивање	сви пинови краткоспојени собна температура	
Термално оджаривање	$T_{annealing} = 125^\circ\text{C}$	Г1, Г3 Г5, Г7
Спонтани опоравак	$T_{room} = 23,7^\circ\text{C}$	Г2, Г4 Г6, Г8

4.3.4 Одређивање напона прага

Описана мерна метода доводи до измерених вредности које је потребно на одговарајући начин обрадити како би се добио тражени параметар, односно напон прага транзистора. Повећање броја различитих типова узорака, као и укупног број узорака, довело је до потребе да се добијање тражених параметара, односно њихова екстракција из мерених резултата на неки начин убрза и аутоматизује. За овакве захтеве, не постоји универзално решење. Број, опсег и прецизност мерених величина могу се значајно разликовати у зависности од коришћених мерних уређаја, узорака или услова мерења.

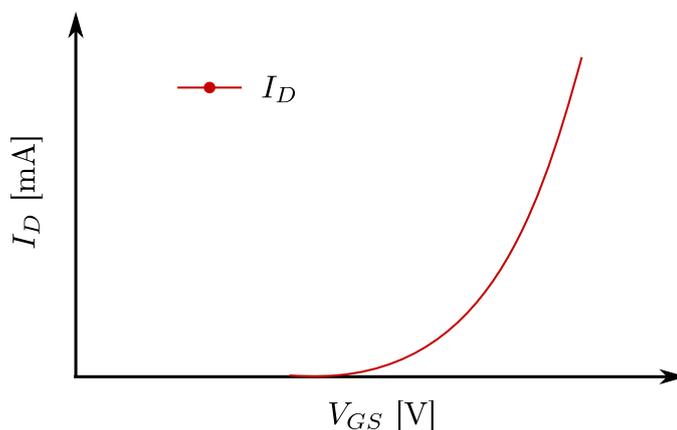
Ипак, модерна решења, упркос нестандардизованим захтевима, омогућавају писање скрипти и пројектовање програма који могу да обухвате јако велики број инструкција и изврше обраду јако великог броја података. У овом конкретном случају, софтверско решење треба да буде пројектовано тако да се, уз минималне корекције, може применити на различите типове MOS транзистора, а да притом испуњава и неколико стандардних задатака везаних за обраду података.

Мерење коришћењем уређаја B1500 *Semiconductor Analyzer* генерише излазни фајл са екстензијом *.csv* који садржи основне параметре мерења и измерене податке. Самим

тим, први задатак скрипте представља приступ и одговарајуће читавање измерених вредности из излазног фајла уређаја. Очитане вредности потребно је уписати у одређене низове како би се омогућила обрада тих података као нумеричких вредности у даљем раду. Софтверско решење треба да омогући и графички приказ прихваћених података. Најједноставнији начин провере да ли су сви подаци са уређаја коректно пренети у решење је скицирање графика са тим подацима и визуелна провера параметара графика. Када су измерени подаци пренети и проверени, потребно је применити неку од метода за одређивање напона прага. Резултате је потребно приказати кориснику, и по могућству уписати у одговарајућу датотеку.

Постоји више начина реализације софтверског решења које испуњава описане захтеве. За потребе обраде података и аутоматизације одређивања вредности напона прага MOS транзистора према резултатима добијеним у раније описаном експерименту осмишљена је специјална *Python* скрипта. Као софтверски алат искоришћено је *Python* развојно окружење *Spyder* [203]. Ово развојно окружење је одабрано јер садржи интегрисан излазни монитор за штампу излазних података, као и излазни плотер, односно излазни потпрозор за приказ графика. Ова карактеристика је у овом случају од великог значаја јер корисник треба да има непосредан увид у графике нацртане према измереним резултатима.

Напон прага транзистора приликом реализације ових експеримената није одређиван идентичном методом као и до сада. За разлику од методе другог извода, паралелно испитивање више различитих типова транзистора подразумевало је одређивање напона екстраполацијом тачке највеће транскондуктансе у засићењу (од енг. *Extrapolation method in the saturation region*) [120, 121]. Нека се претпостави облик мерених резултата, односно преносне карактеристике приказан на слици 4.16. Карактеристика заправо приказује струју дрејна. Ради једноставности објашњења, карактеристика је приказана у првом квадранту (код измерених вредности р-каналних компонената, као што је раније наглашено, и I_D и V_{GS} имају негативни предзнак, па би приказана карактеристика у инверзном облику била у трећем квадранту).



Слика 4.16: Илустрација облика карактеристике струје дрејна добијене мерењем.

Приказана преносна карактеристика измерена је у засићењу (краткоспајање гејта и дрејна). Због тога, први корак методе је прорачун корена струје дрејна $\sqrt{I_D}$ и графички приказ тих вредности, као што је приказано на слици 4.17.

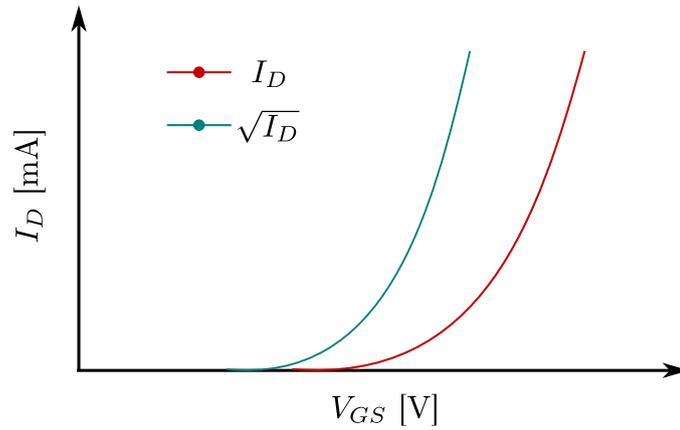
За карактеристику приказану на слици 4.17, сада је потребно одредити тачку највећег нагиба, односно највеће стрмине. Стрмина преносне карактеристике представља

транскондуктансу. Транскондуктанса MOS транзистора дефинише се као промена струје дрејна са променом напона на гејту. У општем случају, одређена је изразом:

$$g_m = \frac{dI_D}{dV_{GS}}. \quad (4.15)$$

За низ измерених резултата, једначина (4.15) може се свести на:

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}. \quad (4.16)$$



Слика 4.17: Илустрација карактеристике квадратног корена струје дрејна добијене на основу измерених резултата.

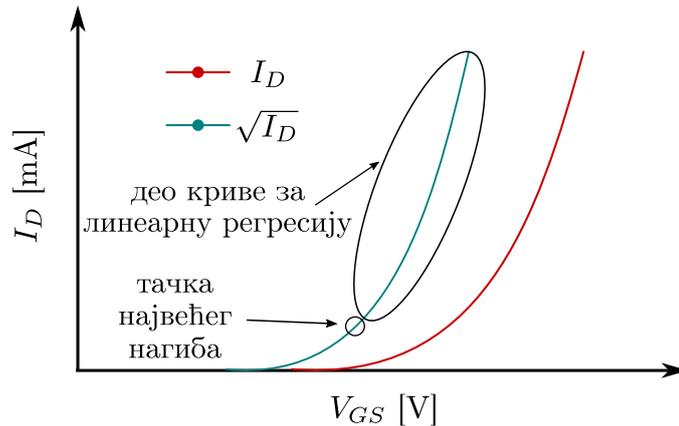
Одатле, за сваку од n тачака које чине преносну карактеристику (осим прве), транскондуктанса може се израчунати као:

$$g_{m(n)} = \frac{I_{D(n)} - I_{D(n-1)}}{V_{GS(n)} - V_{GS(n-1)}}. \quad (4.17)$$

Стрмина за карактеристику приказану на слици 4.17, узевши у обзир једначину (4.17), може се израчунати као:

$$g_{m_sq_n} = \frac{\sqrt{I_{D(n)}} - \sqrt{I_{D(n-1)}}}{V_{GS(n)} - V_{GS(n-1)}}. \quad (4.18)$$

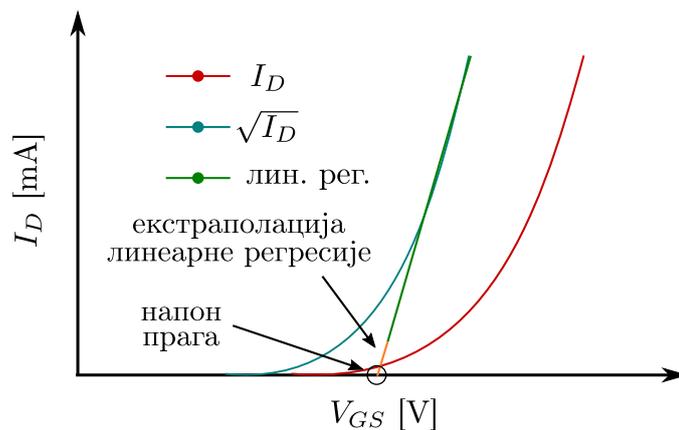
Решавањем једначине (4.18) $n - 1$ пута (за сваки пар тачака), могуће је одредити тачку T_{max} , индекса n_{max} , односно тачку највећег нагиба, односно стрмине, као што је приказано на слици 4.18.



Слика 4.18: Тачка највећег нагиба односно стрмине и део криве који подлеже линеарној регресији.

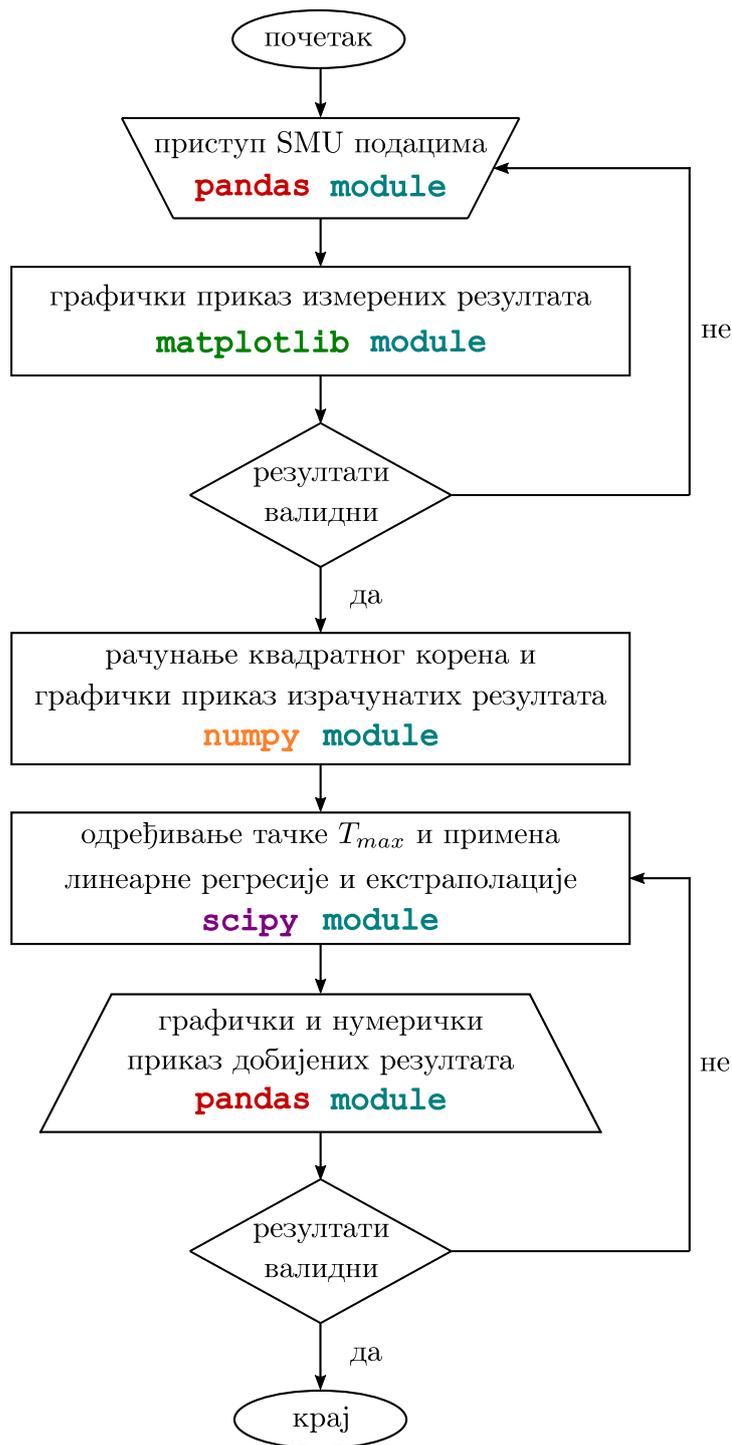
Одређивање тачке највећег нагиба такође одређује опсег тачака над којима је потребно извршити линеарну регресију. Линеарна регресија представља математички метод одређивања једначине праве за коју важи да су све тачке те праве што је могуће ближе одређеном нелинеарно распоређеном скупу фиксних (у овом случају експериментално добијених) резултата [204]. Коefицијенти једначине праве регресије добијају се као резултат минимума суме квадрата разлике експерименталне (фиксне) и фитоване (зависне) вредности. Део криве који треба подвргнути поступку линеарне регресије, такође је приказан на слици 4.18.

Начин одређивања вредности напона прага завршава се екстраполацијом праве линеарне регресије на x-осу, на којој је приказан напон V_{GS} . Екстраполација представља математички поступак предвиђања вредности променљиве или координате на основу познатог скупа вредности [204]. У овом конкретном случају, овај поступак је знатно олакшан, јер се вредност напона прага MOS транзистора добија у пресеку праве линије добијене екстраполацијом и x-осе, односно за случај када је $y = 0$, односно $\sqrt{I_D} = 0$, као што је приказано на слици 4.19.



Слика 4.19: Екстраполација на x-осу и одређивање вредности напона прага.

Софтверско решење за аутоматизацију треба да изврши сваки од описаних корака и да у складу са њима омогући кориснику увид у резултате након сваког корака. Алгоритам рада скрипте, као и главни *Python* модули коришћени у одговарајућим корацима приказани су на слици 4.20.

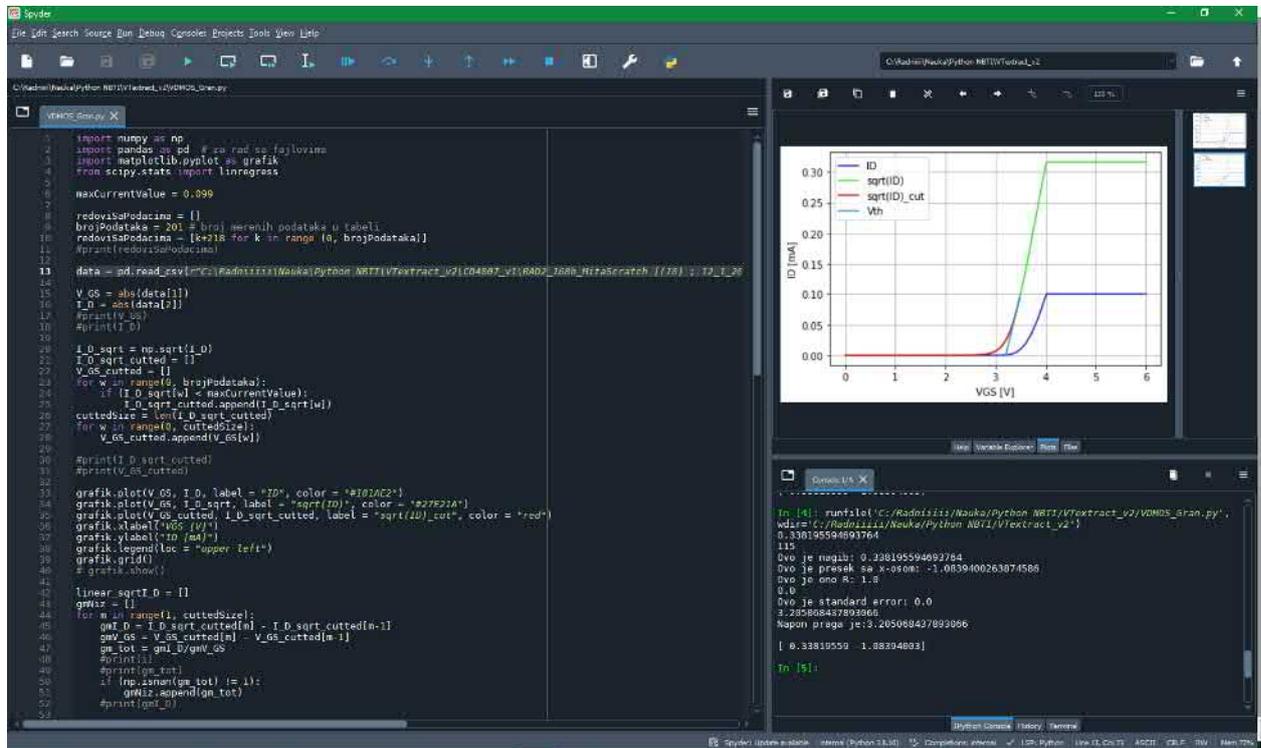


Слика 4.20: Алгоритам рада скрипте заједно са одговарајућим *Python* модулима искоришћеним у одговарајућим корацима.

Описани алгоритам процеса одређивања напона прага MOS транзистора представља значајан допринос аутоматизацији, али и даље, у одређеним корацима, захтева валидацију корисника. Поступак анализе резултата у правцу постојања и утицаја грешака при мерењу такође је могуће имплементирати, тако да извршавање скрипте буде потпуно или максимално независно од корисника. Постоје истраживања у литератури са применом одговарајућих алгоритама за машинско учење (од енг. *machine learning*) ко-

ји превазилазе ова ограничења [205]. Rezultati implemencacije opisanog algoritma i konkretne primene projektove skripte prikazani su na slici 4.21.

Na slici 4.21, izlazni monitor za prikaz grafickih rezultata prikazan je u gornjem desnom delu prozora. U donjem desnom delu prozora nalazi se izlazni monitor za prikaz rezultata i poruka korisniku, dok je sa leve strane prozora izvorni kod skripte.

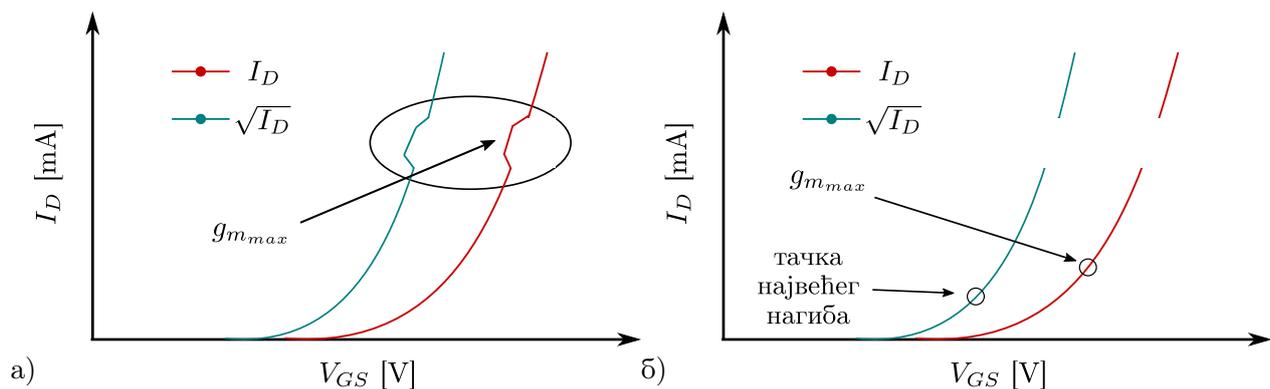


Слика 4.21: Примена скрипте коришћењем софтверског алата *Spyder*, са приказаним излазним мониторима за приказ резултата.

Поред излазног монитора, резултати коју обухватају тачку највеће стрмине, вредност највеће стрмине, вредност напона прага, време мерења и време обраде података уписују се и у додатну табелу како би се омогућила једноставна даља употреба тих података.

Приликом тражења тачке максималне стрмине могу се јавити одређени проблеми који могу да доведу до погрешног одређивања тачке у којој треба извршити линеарну екстраполацију. Неки од проблема који се могу јавити предвиђени су пројектованом скриптом и до извесне мере кодерски превазиђени. Један од проблема који се најчешће јавља представља појављивање грешке насумичне тачке или мале групе тачака приликом мерења. Нека се претпостави случај илустрован на слици 4.22.

Приликом мерења карактеристике, неколико секунди, дошло је до мерења евидентно мање вредности у односу на остатак карактеристике. Самим тим, осмишљена скрипта треба да овакав резултат одбаци као грешку у мерењу. Међутим, у зависности од позиције грешке на карактеристици, измерени резултати се могу или у потпуности одбацити (први услов приказан на слици 4.20), уколико се грешка дешава у „колелу“ карактеристике, или се проблем грешке може заобићи избацавањем тих тачака из скупа резултата, као што је приказано на слици 4.22 б).



Слика 4.22: Пример реалног случаја приликом мерења: а) Очигледна грешка приликом мерења; б) Облик кривих са којим пројектована скрипта наставља прорачун и заобилази грешку.

Уколико се грешка јавља у критичном делу карактеристике, скрипта кориснику јавља у излазном прозору да није могуће поуздано одредити тачку највеће стрмине, односно да самим тим није ни могуће одредити напон прага. Уколико се грешка може превазићи, приликом исписивања резултата на излазном монитору корисник ће добити информацију да је приликом обраде података утврђена грешка при мерењу. Корисник скрипте онда може погледати излазни прозор где директно може потврдити где је означена потенцијална грешка и да ли се добијени резултати могу сматрати валидним или је те резултате потребно одбацити приликом разматрања.

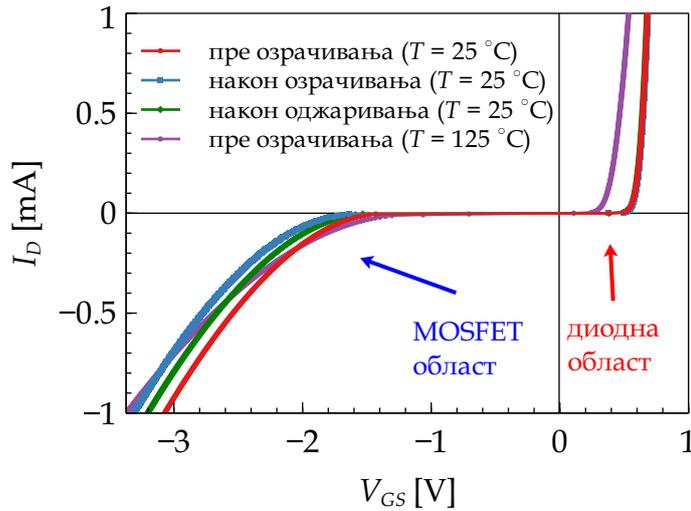
Битно је напоменути да описани метод за одређивање вредност напона прага MOS транзистора није једини метод за одређивање. У литератури је објављено пуно метода за одређивање напона прага MOS транзистора, где су поједини, за другачије услове прецизнији од других [120–122, 206, 207]. Иако је селекција одговарајуће методе јако важна код примене MOS компонената као дозиметара, где је егзактна вредност напона прага изузетно важна за процену апсорбоване дозе, приликом анализе промене напона прага, методи описани у литератури дају еквивалентне резултате.

4.3.5 Анализа резултата

Резултати сваке од карактеризација током различитих фаза експеримента из потпоглавља 4.3.3 приказани су на слици 4.23.

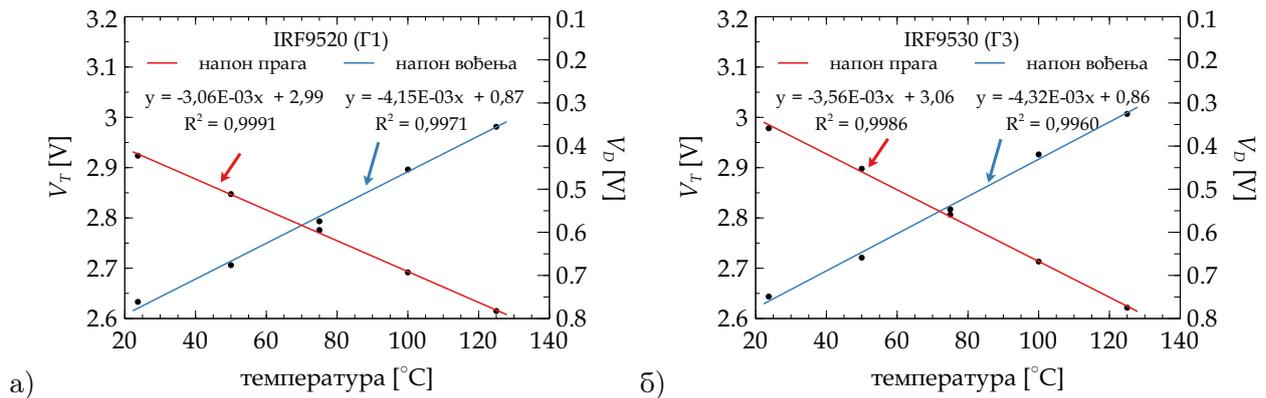
Као што се може видети са слике 4.23, мерења су извршена и у MOSFET области и у диодној области. За четири различите фазе експеримента, за део преносне карактеристике у MOSFET области може се приметити померање. Ово померање упућује на различите вредности напона прага, што је и очекивано. У диодној области, све карактеристике мерене на собној температури су преклапају и готово су идентичне. Једина карактеристика која је мерена на 125 °C је значајније померена. Показани померај показује критичне вредности према којима су добијени параметри за температурну компензацију.

Први сет резултата тиче се термалне карактеризације свих група узорака. Сваки од узорака прошао је кроз процес мерења на пет различитих температура, што доводи до укупно 160 мерења током термалне карактеризације.

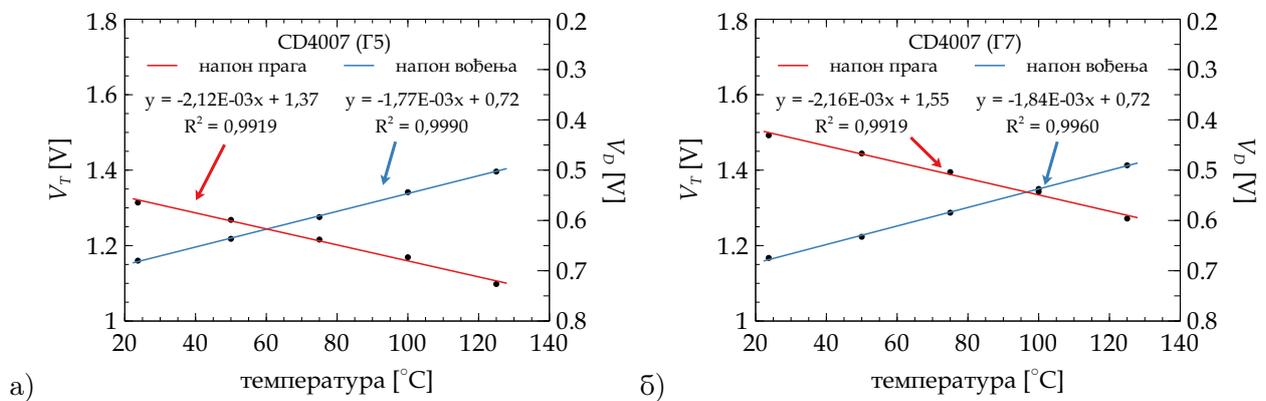


Слика 4.23: Преносне карактеристике у MOSFET и диодној области MOS транзистора из групе узорка Г5 током различитих фаза експеримента.

Мерени резултати у MOSFET области и у диодној области приказани су на сликама 4.24 и 4.25.



Слика 4.24: Термалне карактеристике група узорка са одговарајућим параметрима за фитовање (a , b , c и d у табели 4.5) и коефицијентима детерминације (R^2): а) Г1; б) Г3.



Слика 4.25: Термалне карактеристике група узорка са одговарајућим параметрима за фитовање (a , b , c и d у табели 4.5) и коефицијентима детерминације (R^2): а) Г5; б) Г7.

Вредности V_T приказане су на левој y -оси, а вредности V_D су, у инвертованом реду, приказане на десној y -оси. Како p -каналне компоненте имају негативне вредности за напоне прага, искоришћене су апсолутне вредности приликом приказа. Апсолутне вредности и V_T и V_D се смањују са повећањем температуре. Линеарна фитовања према експерименталним резултатима су извршена за сваку од група компонената. Једначине које описују праве настале линеарном фитовањем такође су приказане на сликама 4.25 и 4.24. На основу тих параметара и једначине (4.14) долази се до зависности V_T од V_D , односно вредности параметара k и l потребних за температурну компензацију. Сви израчунати параметри приказани су у табели 4.5.

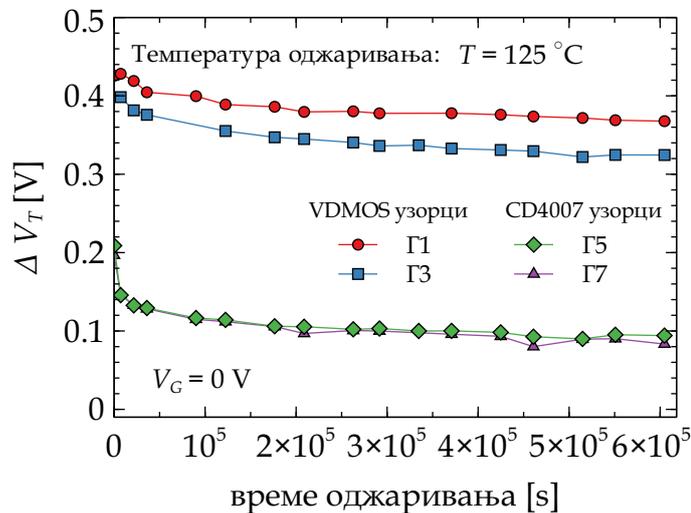
Табела 4.5: Израчунати термални параметри

		Г1	Г3
		Г2	Г4
релација V_T	a	$(-3,06 \pm 0,1) \cdot 10^{-3}$	$(-3,56 \pm 0,1) \cdot 10^{-3}$
и T (слика 4.24)	b	$2,99 \pm 0,02$	$3,06 \pm 0,01$
релација V_D	c	$(-4,15 \pm 0,2) \cdot 10^{-3}$	$(-4,32 \pm 0,2) \cdot 10^{-3}$
и T (слика 4.24)	d	$0,87 \pm 0,04$	$0,86 \pm 0,04$
релација	k	$0,75 \pm 0,03$	$0,83 \pm 0,02$
V_T и V_D	l	$2,35 \pm 0,02$	$2,36 \pm 0,01$
		Г5	Г7
		Г6	Г8
релација V_T	a	$(-2,12 \pm 0,1) \cdot 10^{-3}$	$(-2,16 \pm 0,1) \cdot 10^{-3}$
и T (слика 4.25)	b	$1,37 \pm 0,01$	$1,55 \pm 0,01$
релација V_D	c	$(-1,77 \pm 0,1) \cdot 10^{-3}$	$(-1,84 \pm 0,1) \cdot 10^{-3}$
и T (слика 4.25)	d	$0,72 \pm 0,01$	$0,72 \pm 0,01$
релација	k	$1,18 \pm 0,09$	$1,17 \pm 0,05$
V_T и V_D	l	$0,52 \pm 0,06$	$0,71 \pm 0,03$

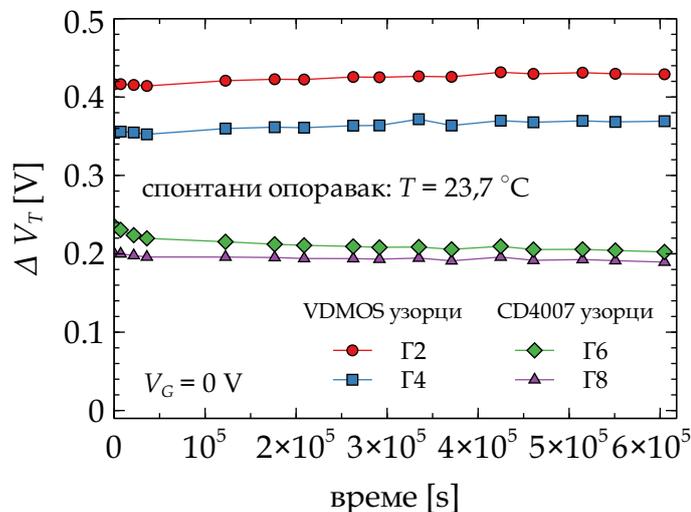
Након термалне карактеризације, као што је раније наведено, све групе узорка озрачене су дозом од 40 Gy при описаним условима. Након озрачивања, групе узорка Г1, Г3, Г5 и Г7 (укупно 24 узорка) смештене су у клима комору и изложене повишеној температури од 125 °C. Групе узорка Г2, Г4, Г6 и Г8 задржане су на собној температури од 23,7 °C. Од тог тренутка, преносне карактеристике свих узорка у обе области мерене су 16 пута у предодређеним интервалима током трајања од 168 сати, тако да је обављено укупно 512 мерења. На основу резултата мерења израчунате су вредности V_T и V_D , након чега је израчуната компензована вредност V_T . Температурно компензоване вредности промене напона прага узорка изложених повишеној температури приказане су на слици 4.26, док су вредности промене напона прага узорка изложених собној температури приказане на слици 4.27.

Код узорка из група Г1, Г3, Г5 и Г7, за које су резултати приказани на слици 4.26, изложеност повишеној температури довела је до смањења апсолутне вредности ΔV_T . Као и у претходном експерименту, при повишеној температури је дошло до опоравка

деградације изазване озрачивањем. Овај закључак поткрепљен је резултатима приказаним на слици 4.27, где се може видети да је код узорка из група Г2, Г4, Г6 и Г8, које су држане на собној температури, промена напона прага у периоду од 168 сати занемарљива и износи свега око 1,15 mV.



Слика 4.26: Температурно компензоване вредности промене напона прага узорака на повишеној температури (168 h).



Слика 4.27: Промена напона прага узорака задржаних на собној температури (168 h).

Повећана енергија носилаца наелектрисања узрокована повишеном температуром доводи до тога да део носилаца који је уграђен у оксид озрачивањем може да се неутралише и да тиме смањи деградацију оксида, која доводи до повећања апсолутне вредности напона прага. На собној температури, нема тог вишка енергије, па нема ни значајне неутрализације уграђених носилаца наелектрисања.

Описани опоравак дешава се при повишеној температури, али је видљив и на собној температури. Након хлађења узорака из групе Г1, Г3, Г5 и Г7, извршено је додатно мерење преносних карактеристика како би се утврдила вредност новог напона прага на

собној температури. Апсолутне вредности напона прага на $25\text{ }^\circ\text{C}$ за све узорке током трајања експеримента приказане су у табели 4.6. Ове вредности представљају праву основу за моделовање промене напона прага изазване зрачењем.

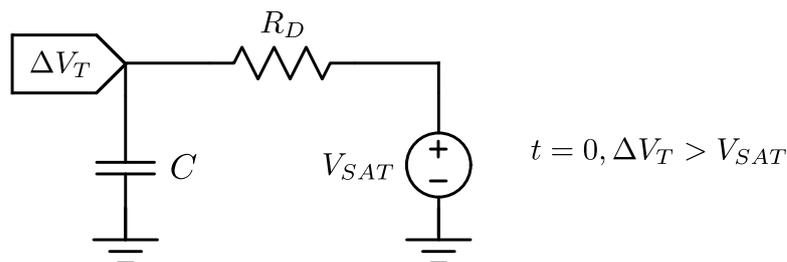
Табела 4.6: Еволуција $|V_T|$ кроз различите фазе експеримента мереног на собној температури ($T = 25\text{ }^\circ\text{C}$)

Група	Почетна вредност	Након озрачивања	Након оджаривања/ спонтаног опоравка
Г1	$2,924 \pm 0,015\text{ V}$	$3,333 \pm 0,004\text{ V}$	$3,027 \pm 0,005\text{ V}$
Г2			$3,349 \pm 0,009\text{ V}$
Г3	$3,000 \pm 0,007\text{ V}$	$3,362 \pm 0,007\text{ V}$	$3,065 \pm 0,007\text{ V}$
Г4			$3,372 \pm 0,015\text{ V}$
Г5	$1,314 \pm 0,005\text{ V}$	$1,532 \pm 0,006\text{ V}$	$1,423 \pm 0,006\text{ V}$
Г6			$1,530 \pm 0,008\text{ V}$
Г7	$1,492 \pm 0,015\text{ V}$	$1,697 \pm 0,020\text{ V}$	$1,605 \pm 0,012\text{ V}$
Г8			$1,696 \pm 0,009\text{ V}$

4.3.6 Приступ моделовању промене напона прага приликом термичког оджаривања

На први поглед моделовање промене напона прага приликом термичког оджаривања представља једноставан задатак. Како се промена вредности ΔV_T временом експоненцијално смањује за све испитиване групе узорака, еквивалентно електрично коло где је кондензатор главни елемент кола поново представља најједноставнији приступ. Смањење вредности напона на кондензатору преко отпорника описано је експоненцијалном функцијом, па је једноставним математичким поступком могуће извршити прорачун вредности елемената тог кола. Ипак, смањење ΔV_T временом постиже извесно засићење, као што је приказано на слици 4.26. У колу за моделовање, ово засићење, у електричном смислу, треба да представља засићење вредности напона на кондензатору на одређеној вредности. Кондензатор, у овом случају, не остаје потпуно празан. Због тога је елементарно RC коло потребно проширити одговарајућим напонским генератором. Елементарно еквивалентно електрично коло за моделовање промене напона прага током термичког оджаривања приказано је на слици 4.28.

Коло приказано на слици 4.28 састоји се од напонског генератора V_{SAT} , кондензатора C и отпорника R_D . V_{SAT} представља напонски генератор чија је вредност напона одређена вредношћу напона сатурације односно засићења ΔV_T приликом оджаривања. Вредност напона на кондензатору C моделује вредност ΔV_T током оджаривања.



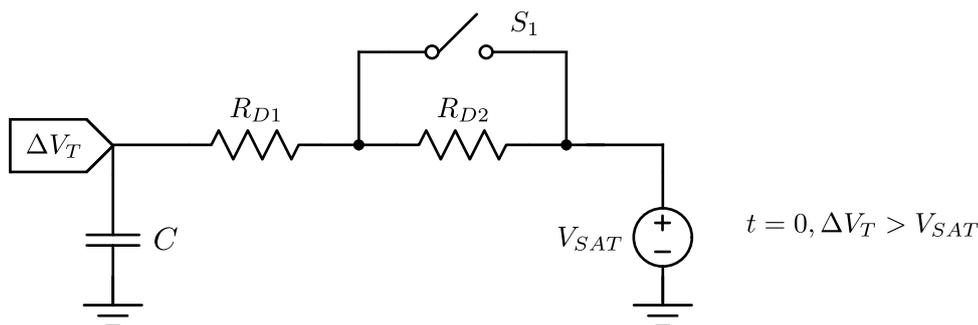
Слика 4.28: Елементарно еквивалентно електрично коло за моделовање промене напона прага током термичког оджаривања.

Вредност отпорности R_D представља отпорност преко које се празни кондензатор C и коју је потребно израчунати и повезати са експерименталним условима. Вредност напона на кондензатору C се онда може описати једначином:

$$v_c = (V_{Cstart} - V_{SAT}) \cdot e^{-\frac{t}{R_D \cdot C}} + V_{SAT}. \quad (4.19)$$

У једначини (4.19), вредност V_{Cstart} одређена је експериментом, тачније апсорбованом дозом и представља почетну вредност напона на кондензатору, чиме се моделује промена напона прага изазвана озрачивањем, на почетку процеса термичког оджаривања. Вредност t одређена је трајањем овог процеса.

Детаљнијом анализом резултата приказаним на слици 4.26, а у складу са разматрањима датим у потпоглављу 3.1, може се закључити да се највећи део опоравка деградације деси током првих 24 сата процеса термичког оджаривања. Због тога, време трајања термичког оджаривања се може поделити на два дела, од којих први траје 24 сата, а други од завршетка првог дела до краја експеримента, при чему се сваки део може моделовати засебно. Проширено еквивалентно електрично коло за моделовање промене напона прага током оджаривања приказано је на слици 4.29.



Слика 4.29: Проширено еквивалентно електрично коло за моделовање промене напона прага током термичког оджаривања.

Коло приказано на слици 4.29 састоји се, поред раније објашњених елемената V_{SAT} и C , и од отпорника R_{D1} и R_{D2} , као и прекидача S_1 . При моделовању прва 24 сата термичког оджаривања, прекидач S_1 је затворен. Због тога, кондензатор се празни преко отпорника R_{D1} . Пражњење кондензатора C тада је описано једначином (4.19), с тим што важи да је $t = 24 \text{ h}$. Након времена t , кондензатор се испразни до вредности V_{f1} . Прекидач S_1 се тада отвара, па се онда кондензатор празни преко редне везе отпорника

R_{D1} и отпорника R_{D2} . Промена вредности напона на кондензатору се тада може описати једначином:

$$v_c = (V_{f1} - V_{SAT}) \cdot e^{-\frac{t}{(R_{D1} + R_{D2}) \cdot C}} + V_{SAT}. \quad (4.20)$$

Може се сматрати да се током прва 24 сата термичког оджаривања деси опоравак 90% вредности ΔV_T која се може опоравити. Узевши у обзир наведену претпоставку, према експерименталним резултатима је могуће израчунати вредности параметара V_{f1} , R_{D1} и R_{D2} . Ради једноставнијег прорачуна, идентично као и у поглављима 2 и 3, вредност капацитивности кондензатора C постављена је на 1 mF.

Након одређивања вредности елемената еквивалентног кола, извршен је низ симулација коришћењем софтверског алата *LTspice*. Резултати моделовања, као и апсолутна и релативна грешка приказани су на сликама 4.30, 4.31 и 4.32, респективно.

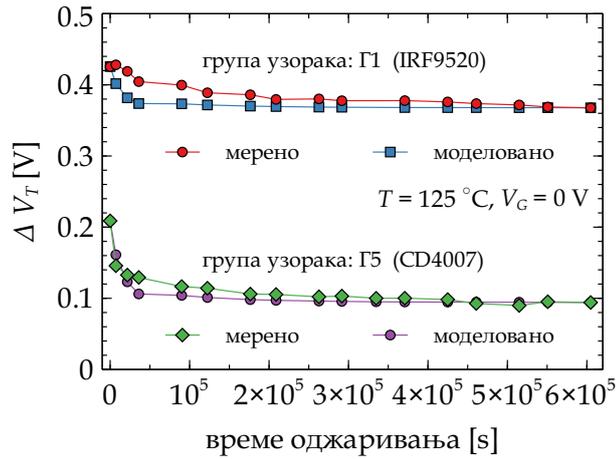
Резултати моделовања приказани на слици 4.30 указују на то да коло за моделовање прати ток промене напона прага приликом термичког оджаривања након озрачивања. Такође, највећи део опоравка деси се током прва 24 сата термичког оджаривања, па тиме условљено додавање отпорника R_{D2} и прекидача S_1 у коло даје одговарајуће резултате. Ово се може прецизније видети преко вредности апсолутне и релативне грешке, где је највећа грешка, упркос подели на два дела моделовања, забележена баш у почетном делу.

Специфичност еквивалентног електричног кола и резултата приказаних на сликама 4.30-4.32 је та што су мерења, која су послужила као основа за описано моделовање, вршена на повишеној температури, односно температури термичког оджаривања ($T = 125^\circ\text{C}$). Вредности елемената еквивалентног кола прорачунате су тако да имају одређене вредности на тој температури. На другим температурама, вредности елемената кола су другачије. Како би се моделовањем обухватио и овај температурни дрифт, уз вредности отпорности, па и капацитивности, потребно је израчунати и одговарајући температурни коефицијент. Овај температурни коефицијент би требало да буде негативан, јер би са повећањем вредности температуре требало да дође до смањења вредности отпорности. Облик једначине температурног коефицијента је:

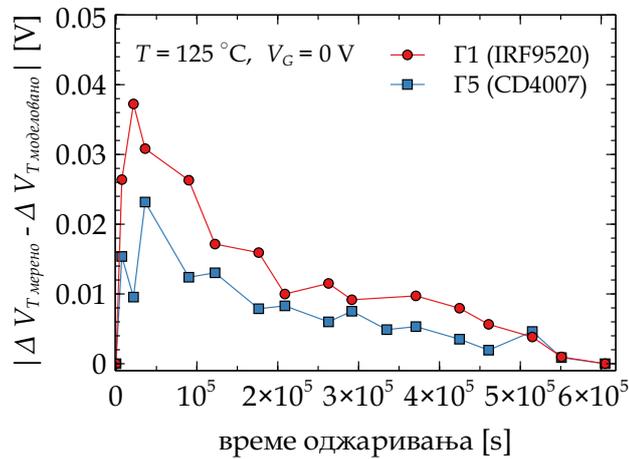
$$R_D(T) = R_D(T_0) (1 - \alpha_T(T - T_0)), \quad (4.21)$$

где је $R_D(T)$ вредност отпорности на температури T , $R_D(T_0)$ отпорност на референтној температури T_0 , а α_T температурни коефицијент који би требало израчунати.

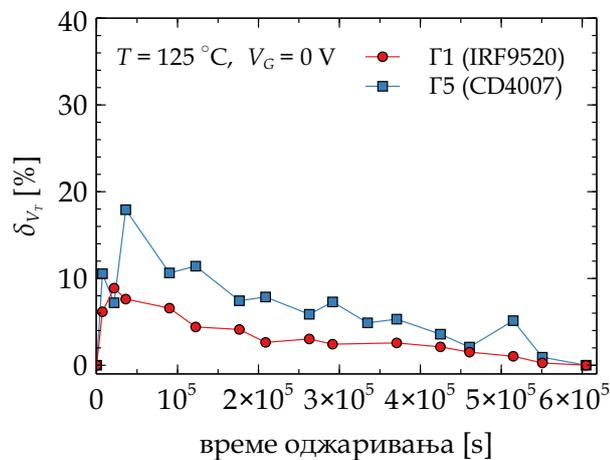
Узевши у обзир резултате приказане на сликама 4.26 и 4.27, који показују да на собној температури нема термичког оджаривања, па је и промена ΔV_T занемарива, анализа еквивалентног кола приказаног на слици 4.28 за тај случај би показала да нема празњења кондензатора. Односно, могло би се сматрати да се кондензатор празни преко довољно велике отпорности тако да је промена напона на кондензатору занемарљива. Постепеним повећавањем температуре отпорност се смањује, све док не достигне вредност отпорности за коју, применом једначине (4.19), промена вредности напона на кондензатору није занемарљива. У физичком смислу, то би био тренутак у ком утицај термичког оджаривања постаје значајан и у ком услед тога долази до опоравка и смањења вредности ΔV_T . Како би се на адекватан начин извршио прорачун температурних коефицијената, потребно је реализовати низ експеримената на различитим температурама, што би довело до прецизнијег описа ових вредности.



Слика 4.30: Резултати моделовања промене напона прага изазване термичким оджаривањем након озрачивања код узорка Г1 и Г5.



Слика 4.31: Апсолутна грешка приликом моделовања промене напона прага изазване термичким оджаривањем након озрачивања код узорка Г1 и Г5.

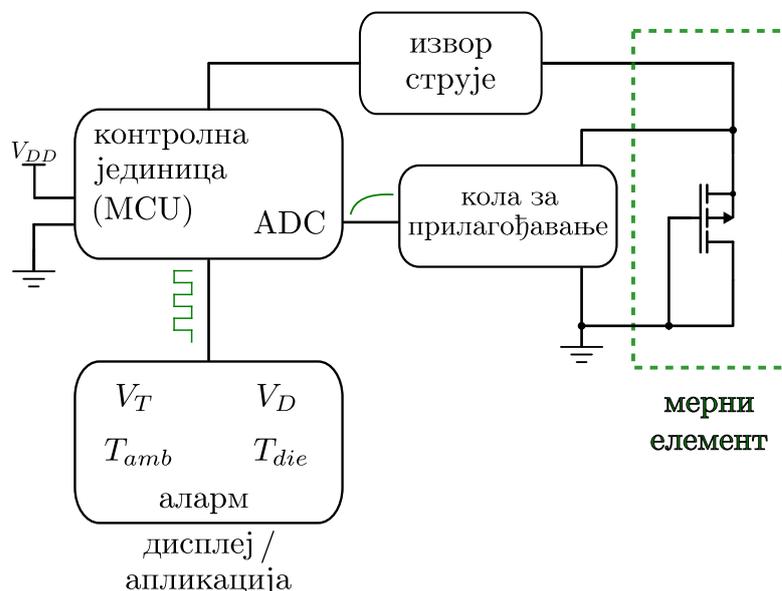


Слика 4.32: Релативна грешка приликом моделовања промене напона прага изазване термичким оджаривањем након озрачивања код узорка Г1 и Г5.

Битна особина предложеног модела је та што се, као што се може видети према резултатима приказаним на сликама 4.30 - 4.32 може равноправно користити за различите типове р-каналних MOS транзистора. Код VDMOS узорака, релативна грешка моделовања ни у једној тачки не прелази вредност од 10 %, док код CD4007 узорака прелази само у једној. Описана анализа као главни референтни елемент за моделовање узима физичке механизме који се дешавају када су коришћене компоненте изложене зрачењу. Предложени модел се релативно једноставно може прилагодити и ширем скупу модела компонената, што додаје на универзалности модела. Циљ компактног модела промене напона прага услед зрачења и других пратећих типова напрезања је на овај начин остварен.

4.3.7 Практична примена у дозиметрији

Приказани резултати указују да је ток промене ΔV_T резултат више различитих узрока. Ипак, велика температурна осетљивост може створити проблеме приликом мерења апсорбоване дозе, што је приметно код свих испитиваних група узорака, поготово у окружењима где постоји неконтролисана промена температуре. С друге стране, циљана изложеност високој температури доводи до оджаривања и делимичног опоравка деградације, што поново мења вредност напона прага озраченог узорка. У свакој од практичних примена у дозиметрији, потребно је омогућити мерење и у MOSFET области и у диодној области, да би се омогућило мерење напона прага, али и мерење напона вођења диоде. Илустрација примера примене р-каналних MOS транзистора у дозиметрији приказана је на слици 4.33.



Слика 4.33: Илустрација примера примене р-каналних MOS транзистора у дозиметрији.

За тип примене приказан на слици 4.33, који је најчешће заснован на коришћењу одређених микроконтролера (MCU - *Microcontroller Unit*), је од велике важности омогућити и мерење температуре чипа (T_{die}), као што је приказано у потпоглављу 4.3. Коришћењем система заснованог на приказаном колу, корисник може пратити низ резултата мерења, укључујући и температуру чипа и температуру околине (T_{amb}). У зависности од кретања вредности температуре, корисник може добијати информацију да

се резултати мерења више не могу сматрати поузданим, јер је дошло до делимичног оджаривања. Узевши у обзир да се испитивани узорци налазе у DIP кућиштима, једноставно је заменити мерни елемент и наставити са применом.

С друге стране, испитивани VDMOS узорци се најчешће у колима користе као прекидачки елементи у прекидачким изворима напајања. Већину резервних напајања у системима чине прекидачки извори напајања, због мањег утрошка енергије (најчешће напајани преко неке батерије или слично). Пре активације, коло резервног напајања које садржи VDMOS транзистор снаге, може бити изложено зрачењу. Пре почетка рада резервног напајања, мерењем преносне карактеристике VDMOS транзистора снаге, па даље и одређивањем вредности напона прага, може се доћи о информацији о апсорбованој дози зрачења.

У оба описана примера, моделовање вредности може имати значај. Коришћењем описаних модела и илустрације кола као што је приказано на слици 4.33 са већом прецизношћу се може добити информација о апсорбованој дози. Такође, са већом прецизношћу се може одредити утицај термичког оджаривања, као и услови при којима се мерења више не могу сматрати поузданим. У практичним применама, резултати мерења се такође константно могу поредити са моделованим, како би се обезбедила информација о потенцијалним одступањима која уносе додатне грешке при мерењу.

Поглавље 5

Моделовање промене напона прага изазване утицајем магнетног поља

Широка примена VDMOS транзистора снаге обухвата и примене где су електронска кола и системи који садрже VDMOS транзисторе изложени утицају магнетног поља, или су део система који, између осталог генерише статичко магнетно поље. Овакве примене заступљене су у аутоиндустрији, али и у медицинским уређајима, као што су уређаји за магнетну резонанцу и слични [100, 208]. Утицај магнетног поља на VDMOS транзисторе је тек од недавно тема истраживања [30, 99, 100, 209, 210]. Резултати истраживања доступни у литератури указују на то да под утицајем магнетног поља постаје изражена парамагнетна компонента дефеката изазваних другим типовима напрезања [211]. Ипак, тачни механизми ефеката које магнетно поље изазива код MOS транзистора са већом дебљином оксида, као и веза између дефеката изазваних другим типовима напрезања и магнетног поља још увек нису дефинитивно објашњени [101, 117, 212, 213].

Приликом различитих напрезања VDMOS транзистора снаге јавља се повећана концентрација наелектрисања у оксиду која, уз промену концентрације површинских стања, чини два главна типа дефеката који доводе до промене напона прага VDMOS транзистора. Тумачења у литератури [30, 99, 100] деле уграђена наелектрисања у оксиду на дубље и плиће уграђена. Наелектрисања која нису дубље заробљена у оксид могу се ослободити под утицајем одређеног спољашњег утицаја. Ова наелектрисања могу бити осетљива на спољашње магнетно поље. Битно је разумети да под утицајем спољашњег магнетног поља, у зависности од оријентације магнетног поља, наелектрисања могу или да се уграде дубље у оксид, или да се ослободе из оксида. У литератури су ове нестабилности назване парамагнетни дефекти [30, 99, 100, 211]. У електричном смислу, примена магнетног поља одређене оријентације може да доведе или до извесног повећања вредности промене напона прага или до смањења вредности промене напона прага, односно делимичног опоравка. Поред утицаја на наелектрисања уграђена у оксид, истраживања показују да примена магнетног поља јачег интензитета може имати утицаја и на површинска стања која се формирају на међуповршини Si/SiO₂ [100, 211].

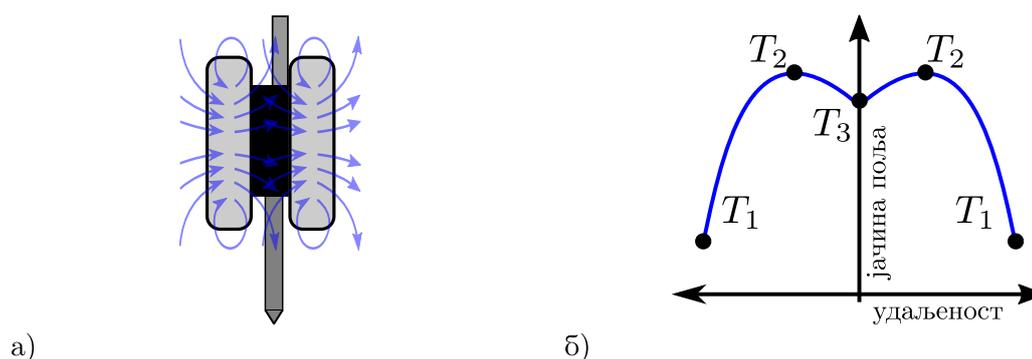
5.1 Експериментална поставка

Како би се направила основа за моделовање промене напона прага р-каналних VDMOS транзистора снаге под утицајем магнетног поља, потребно је прво реализовати одговарајуће експерименте са узорцима изложеним магнетном пољу. Као узорци поново

су искоришћени р-канални VDMOS транзистори снаге IRF9520 [111]. Почетна вредност напона прага искоришћених узорака је око -3 V .

5.1.1 Генерисање магнетног поља

Најједноставнији приступ за генерисање униформног магнетног поља је коришћењем сталних магнета. Позиционирањем два магнета идентичних карактеристика са обе стране кућишта узорка, између магнета се формира униформно магнетно поље у нивоу кућишта транзистора. Илустрација коришћења сталних магнета за генерисање униформног магнетног поља приказана је на слици 5.1.

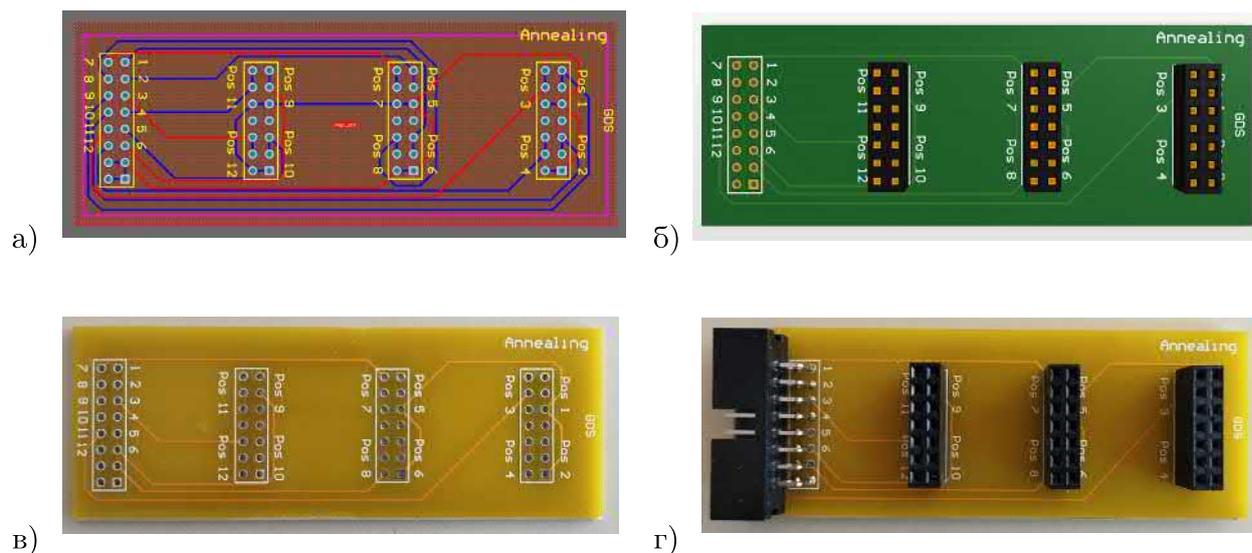


Слика 5.1: Илустрације генерисања униформног магнетног поља коришћењем магнета: а) Линије магнетног поља; б) Зависност јачине поља од позиције код два блиска магнета.

На слици 5.1 а) приказана је илустрација позиционирања два магнета са фронталне стране узорка, као и линије магнетног поља које се на овај начин формирају. На слици 5.1 б) означене су три специфичне тачке (по две симетрично постављене у односу на центар узорка). Тачке T_1 представљају центре магнета а тачке T_2 представљају површине магнета. Јачина магнетног поља повећава се кроз сваки од магнета и највећа је на површини магнета, односно у тачкама T_2 . Ван тела магнета, смањује се јачина магнетног поља. Позиционирањем магнета на одговарајући начин, у тачки T_3 , која у овом случају представља центар узорка, генерише се готово униформно магнетно поље, односно линије поља левог и десног магнета су готово праволинијске.

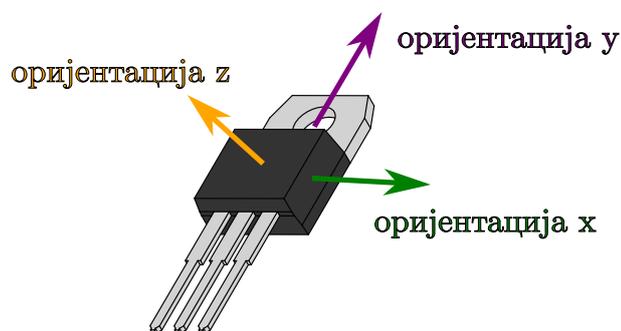
Према илустрацији са слике 5.1, јасно је да магнете треба позиционирати на специфичан начин. У овом експерименту коришћени су стални неодимијумски магнети, материјала N35, облика диска, пречника 12 mm и дебљине од 1 mm [214]. Са леве и са десне стране сваког од узорака позициониран је одговарајући број магнета, како би се у геометријском центру узорка генерисало магнетно поље одређене магнетне индукције.

Да би се током мерења обезбедио лакши приступ узорку изложеном дејству магнетног поља, пројектована је и израђена одговарајућа штампана плоча. На слици 5.2 приказан је распоред компонената (*layout*), 3Д модел, као и реализована штампана плоча, без конектора и са налемљеним конекторима.



Слика 5.2: Пројектовање и израда штампане плоче за потребе експеримента: а) Распоред компонената и веза на плочи; б) 3Д модел штампане плоче; в) Израђена штампана плоча; г) Израђена штампана плоча са залемљеним конекторима.

Помоћу описаног приступа, скупови од по два узорка изложени су деловању магнетног поља приближно истог интензитета и другачијих оријентација. Могуће оријентације деловања магнетног поља на узорке у кућишту ТО-220 приказане су на слици 5.3.



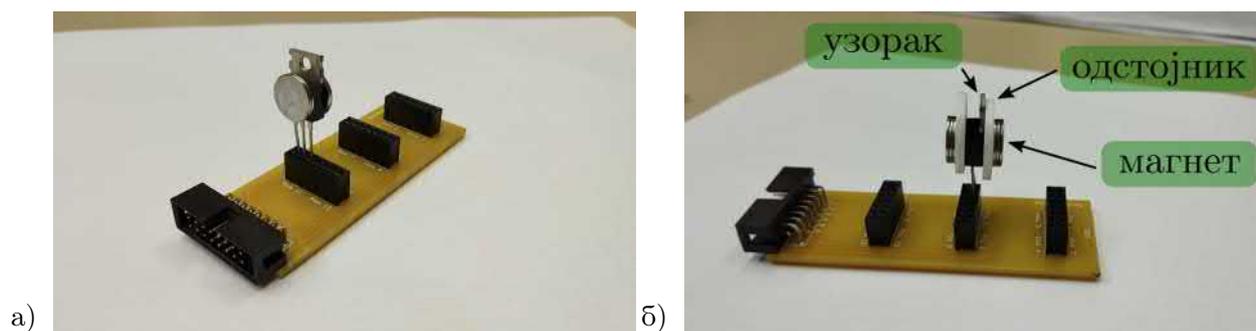
Слика 5.3: Оријентације деловања магнетног поља на узорке у кућишту ТО-220.

Коришћењем неодимијумских магнета узорци су изложени деловању магнетног поља у оријентацији x и y оријентацији z , са две различите вредности магнетне индукције. Групе узорака заједно са експерименталним условима приказане су у табели 5.1.

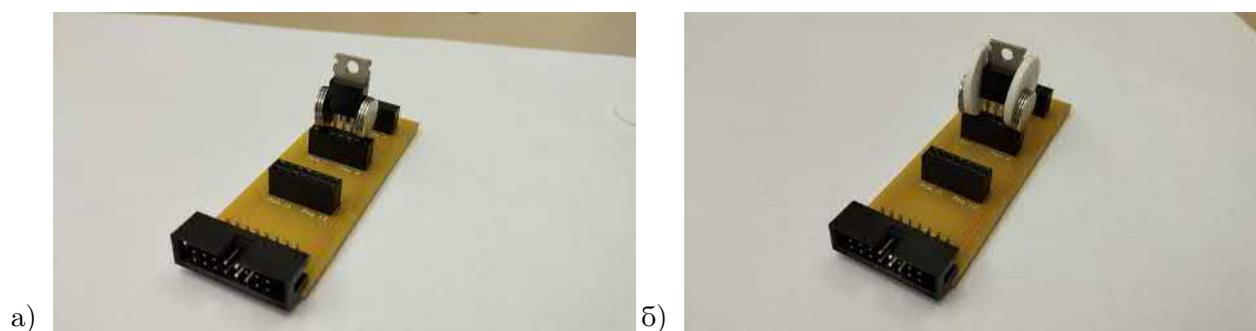
Табела 5.1: Услови експеримента за групе тестираних узорака на собној температури ($T = 25\text{ }^{\circ}\text{C}$)

групе узорака	оријентација поља	магнетна индукција
$\Gamma 1x$	x	$B = 130\text{ mT}$
$\Gamma 2x$	x	$B = 106\text{ mT}$
$\Gamma 1z$	z	$B = 140\text{ mT}$
$\Gamma 2z$	z	$B = 99,3\text{ mT}$

Битно је напоменути да су различити интензитети магнетне индукције за оријентације z и x последица геометријских карактеристика кућишта ТО-220. Магнети стављени фронтално у односу на узорак (оријентација z) и бочно у односу на узорак (оријентација x) налазе се на различитој међусобној удаљености, па се услед тога између њих формира поље другачије магнетне индукције. Вредности магнетних индукција за групе Г2 из табеле 5.1 добијене су коришћењем одговарајућих одстојника, односно даљим повећањем удаљености између магнета, као што је и приказано на сликама 5.4 б) и 5.5 б). За све наведене експерименталне услове, деловање магнетног поља на узорке трајало је 168 сати, односно 7 дана.

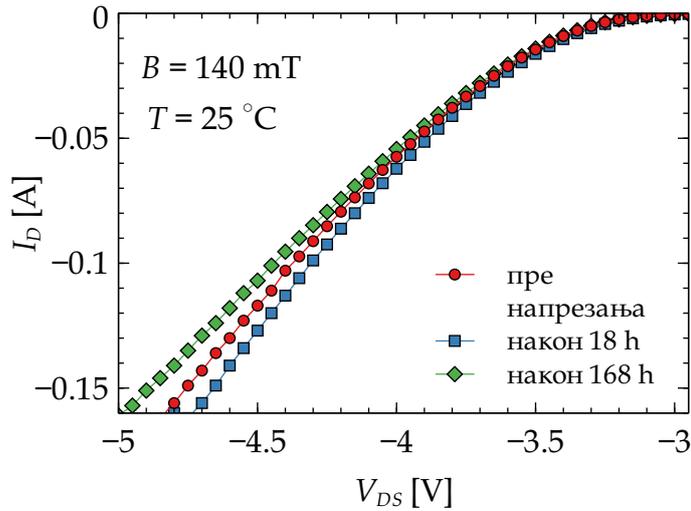


Слика 5.4: Позиција узорка IRF9520 и магнета на пројектованој штампаној плочи за оријентацију z магнетног поља: а) Г1 z ; б) Г2 z (са одстојницима).



Слика 5.5: Позиција узорка IRF9520 и магнета на пројектованој штампаној плочи за оријентацију x магнетног поља: а) Г1 x ; б) Г2 x (са одстојницима).

Процес карактеризације експерименталних узорака, као и у поглављима 2, 3 и 4, подразумева мерење преносне карактеристике у засићењу. Током трајања експеримента, преносне карактеристике свих узорака су мерене у предодређеним временским тренуцима. Преносне карактеристике све четири групе узорака (Г1 z , Г1 x , Г2 z и Г2 x) мерене су на два начина. Први је подразумевао мерење преносне карактеристике у магнетном пољу (док су магнети позиционирани око узорка), док је други подразумевао привремено уклањање магнета ради мерења преносне карактеристике. Сва мерења вршена су на собној температури ($T = 25\text{ }^{\circ}\text{C}$). Преносне карактеристике групе узорка Г1 z пре, након 18 h и након 168 h изложености магнетном пољу, мерене у магнетном пољу приказане су на слици 5.6.



Слика 5.6: Преносне карактеристике групе узорака $\Gamma 1z$ пре, након 18 h и након 168 h изложености магнетном пољу, мерене у магнетном пољу.

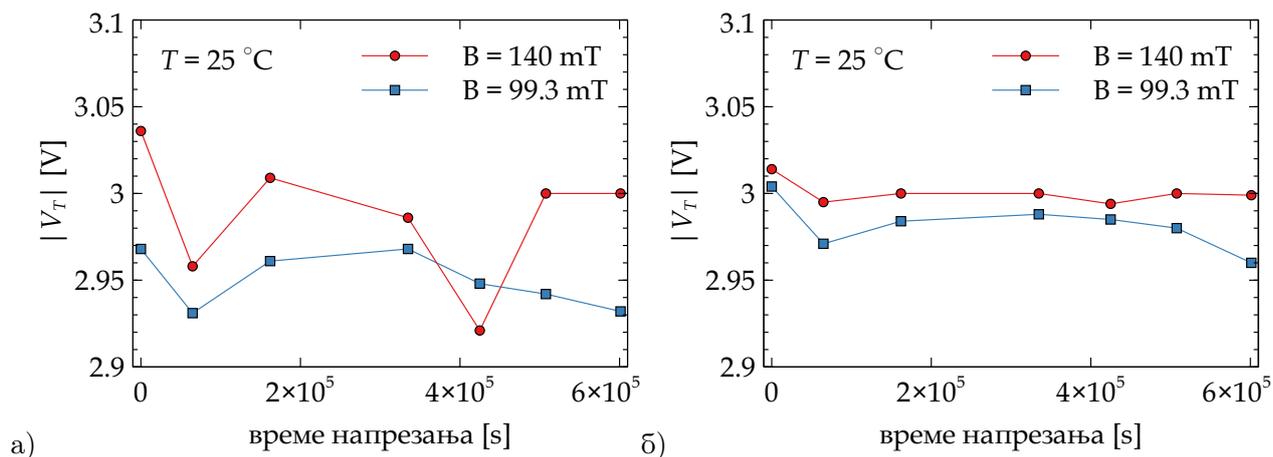
За одређивање вредности напона прага искоришћена је метода екстраполације линеарног дела преносне карактеристике у области засићења аутоматизована коришћењем *Python* скрипте, приказана у поглављу 4.3. Апсолутне вредности напона прага приказане су на сликама 5.7 и 5.8.

Као што се може видети према резултатима приказаним на сликама 5.7 и 5.8 деловање магнетног поља у обе оријентације доводи до смањивања апсолутне вредности напона прага. Вредност напона прага се смањује за обе оријентације магнетног поља и за обе вредности магнетних индукција. Такође, могуће је приметити да је разлика вредности напона прага између два мерења израженија приликом мерења ван магнетног поља (слике 5.7 а) и 5.8 а)) у односу на узорке чије су карактеристике мерене у магнетном пољу (слике 5.7 б) и 5.8 б)).

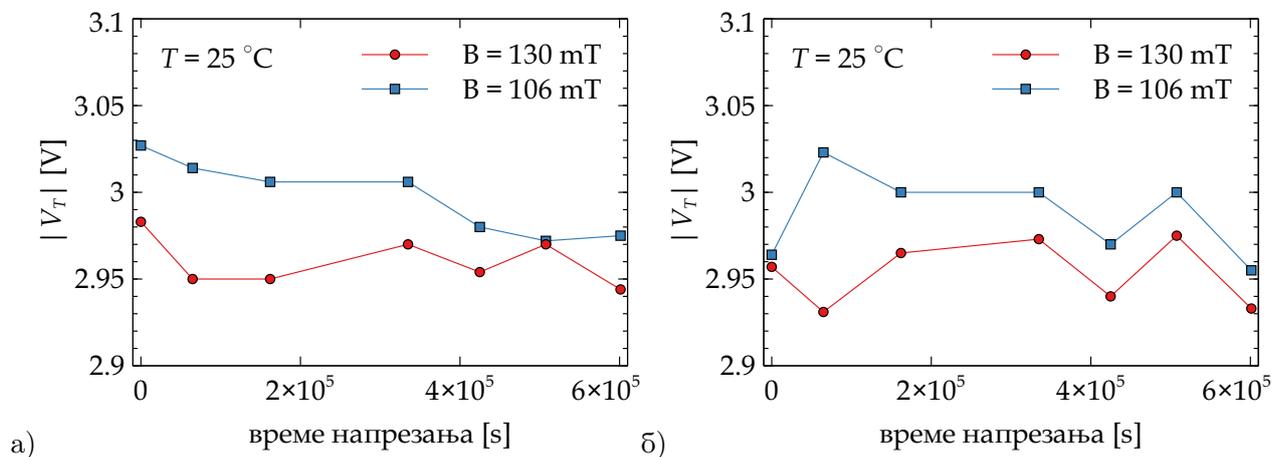
За разлику од раније описаних типова напрезања, примена статичког магнетног поља на узорке не доводи до значајне промене вредности напона прага. Такође, за разлику од раније описаних типова напрезања, нема експоненцијалног раста вредности промене напона прага која се повећава временом, бар не у периоду трајања експеримента. Ипак, на основу резултата приказаних на слици 5.6 може се закључити да магнетно поље утиче на преносне карактеристике р-каналних VDMOS транзистора снаге. Подаци у литератури [101,117] такође указују да магнетно поље има утицај на параметре VDMOS транзистора снаге.

Магнетно поље утиче на наелектрисање у кретању, услед дејства Лоренцове силе, [215]. Уколико нема наелектрисања у кретању, утицај магнетног поља може се сматрати занемаривим. Када постоји наелектрисање у кретању (приликом мерења преносне карактеристике, када има протицања струје, односно усмереног кретања наелектрисаних честица од сорса ка дрејну р-каналног VDMOS транзисторе снаге), постоји и утицај магнетног поља. Под овим утицајем, може се сматрати да носиоци наелектрисања закривљују своју путању кроз канал транзистора и да због тога прелазе дужи пут, повећавајући тиме ефективну дужину канала транзистора. Закривљење путање носилаца наелектрисања може се посматрати и као смањење њихове покретљивости. Оба ова параметра директно утичу на измерену вредност струје дрејна. Поред тога, као што се може приметити према резултатима приказаним на слици 5.6, померај преносне карак-

теристике након 18 h иде у десно, а померај преносне карактеристике након 168 h иде у лево у односу на положај преносне карактеристике измерене пре изложености магнетном пољу. Овакав померај упућује на постојање извесног турн-ароунд ефекта, при чему померај преносних карактеристика иде прво у десно, а потом у лево у односу на положај преносне карактеристике измерене пре изложености магнетном пољу. Ипак, како ови ефекти не доводе до значајне промене вредности напона прага, нису предмет дубље анализе ове докторске дисертације.



Слика 5.7: Апсолутне вредности напона прага р-каналних VDMOS транзистора снаге IRF9520 при изложености магнетном пољу оријентације z : а) Мерене ван магнетног поља; б) Мерене у магнетном пољу.



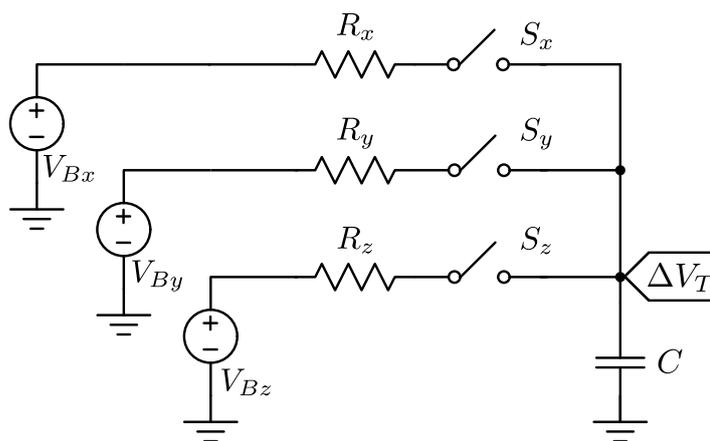
Слика 5.8: Апсолутне вредности напона прага р-каналних VDMOS транзистора снаге IRF9520 при изложености магнетном пољу оријентације x : а) Мерене ван магнетног поља; б) Мерене у магнетном пољу.

Може се закључити да присуство магнетног поља не ствара нове дефекте у структури р-каналног VDMOS транзистора снаге на начин сличан напонско температурном напрезању или озрачивању, а самим тим, не мења директно вредност напона прага. На основу резултата приказаних на сликама 5.6, 5.7 и 5.8 може се претпоставити да присуство магнетног поља утиче на друге параметре р-каналног VDMOS транзистора снаге,

пре свега на струју дрејна, при чему ова промена индиректно утиче и на одређену промену вредности напона прага. Такође, присуство додатног типа напрезања (напонског, температурног или слично), као и рад при реалним радним условима (протицање струје од неколико ампера кроз транзистор) могу значајније утицати на промену параметара.

5.2 Приступ моделовању промене напона прага еквивалентним електричним колом

Утицај магнетног поља на промену напона прага р-каналних VDMOS транзистора снаге приказана је на примеру анализираних узорака. Иако присуство магнетног поља утиче на рад компоненте, сама промена напона прага која настаје док је узорак у магнетном пољу је јако мала (у испитиваним експерименталним условима). Ипак, уочена промена се може описати одговарајућом математичком функцијом и могуће је предложити елементарно еквивалентно електрично коло за моделовање. Предлог еквивалентног електричног кола за моделовање промене напона прага р-каналних VDMOS транзистора снаге при деловању магнетног поља приказан је на слици 5.9. Поново, као у колима представљеним у поглављима 2, 3 и 4, централни елемент кола за моделовање је кондензатор C .



Слика 5.9: Еквивалентно електрично коло за моделовање промене вредности напона прага р-каналних VDMOS транзистора снаге приликом изложености магнетном пољу описаних оријентација.

За разлику од напонско температурног напрезања и озрачивања, која доводе до повећања апсолутне вредности напона прага, изложеност магнетном пољу доводи до смањивања апсолутне вредности напона прага р-каналних VDMOS транзистора снаге. Приступ искоришћен у поглављима 2, 3 и 4, где је повећање апсолутне вредности ΔV_T моделовано пуњењем кондензатора, може бити примењен и на моделовање утицаја магнетног поља, али је потребно имати у виду да је реална вредност ΔV_T супротног предзнака. Деловање магнетног поља различитих оријентација у различитој мери утиче на параметре узорка. Због тога, елементарно еквивалентно електрично коло садржи три напонска генератора, који су означени као V_{Bx} , V_{By} и V_{Bz} , три отпорника, који су означени као R_x , R_y и R_z , као и три прекидача, који су означени као S_x , S_y и S_z . Вредности напонских генератора V_{Bx} , V_{By} и V_{Bz} линеарно су сразмерни вредности магнетне индукције којој је узорак изложен. Вредности отпорника R_x , R_y и R_z одређени су углом између

смера магнетног поља и одговарајуће осе. У зависности од оријентације магнетног поља у коме се налази узорак, одређени прекидач је затворен, док су остали отворени. Уколико истовремено делује магнетно поље у више оријентација, више прекидача може бити затворено.

Битно је напоменути да је предложено коло могуће проширити додатним отпорницима у свакој од грана, како би се приликом моделовања детаљније разложило деловање магнетног поља различитих индукција, оријентација и углова. Приликом деловања магнетног поља на р-каналне VDMOS транзисторе снаге или на електрична кола која их садрже, поготово уколико је деловање последица одређених паразитних елемената или непредвиђених узрока, јако је тешко прецизно одредити сам угао деловања магнетног поља. Због тога, моделовање са циљем одређивања прецизне вредности параметара за моделовање, као и употреба тих елемената за прецизно израчунавање промене напона прага представља мање важан задатак.

5.3 Утицај магнетног поља у практичним применама

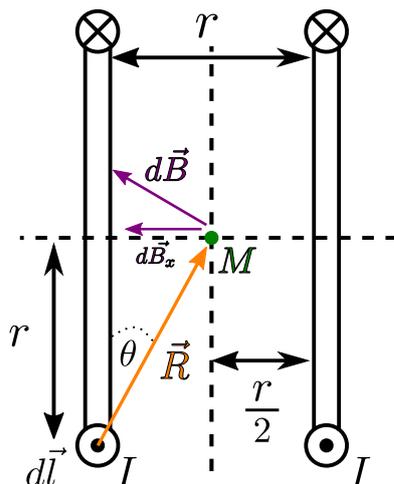
Описани метод за генерисање униформног магнетног поља постиже одговарајући ефекат, али поставља и одређена ограничења. Описаним приступом није могуће произвољно променити оријентацију деловања магнетног поља на узорак, тачније на енкапсулирани део узорка. Облик кућишта ГО-220 спречава позиционирање описаних магнета латерално у односу на енкапсулацију. Такође, вредност магнетне индукције која настаје између два неодимијумска магнета на малој удаљености је јако висока (преко 100 mT). У практичним применама, електрична кола која садрже р-каналне VDMOS транзисторе снаге се ретко налазе у магнетним пољима такве вредности магнетне индукције. Ипак, оваква кола могу бити изложена вишеструко мањим вредностима магнетне индукције, али на дуже време. Магнетно поље нижих вредности магнетне индукције је релативно компликовано реализовати коришћењем сталних магнета. Због тога, поред описаног приступа примењен је и други начин за генерисање униформног магнетног поља, а то је коришћењем Хелмхолцових калемова [216].

Хелмхолцови калемови представљају систем од два калема, позиционираних по истим осама, кроз које тече идентична струја у истом смеру [216]. Најчешће, калемови се мотају око кружног немагнетног језгра полупречника r , где се тачка у којој је потребно генерисати униформно магнетно поље налази на удаљености $r/2$ од геометријских центара калемова, као што је илустровано на слици 5.10.

У општем случају, према Ампер-Лапласовом обрасцу [215], вредност магнетне индукције у тачки M коју генерише елемент струјне контуре $d\vec{l}$ кроз коју тече струја I може се израчунати као:

$$d\vec{B} = \frac{\mu_0 \cdot I}{4\pi} \cdot \frac{d\vec{l} \times \vec{R}}{R^3}. \quad (5.1)$$

У једначини (5.1), μ_0 представља магнетну пермеабилност, а \vec{R} представља вектор положаја тачке M који је по интензитету једнак удаљености тачке M од посматраног дела контуре.



Слика 5.10: Илустрација Хелмхолцових калемова са означеним величинама које се разматрају при прорачуну вредности магнетне индукције у тачки M .

Како је у овом случају вектор елемента струјне контуре $d\vec{l}$ увек под правим углом у односу на вектор положаја \vec{R} , векторски производ ове две величине своди се на:

$$|d\vec{l} \times \vec{R}| = dl \cdot R, \quad (5.2)$$

па се једначина (5.1) своди на:

$$dB = \frac{\mu_0 \cdot I}{4\pi} \cdot \frac{dl}{R^2}. \quad (5.3)$$

Вектор магнетне индукције $d\vec{B}$ могуће је разложити на две компоненте, $d\vec{B}_x$ и $d\vec{B}_y$. Вектор $d\vec{B}_y$ такође је могуће разложити на две компоненте. Једна, која настаје као последица протицања струје у једном смеру кроз калем (на слици 5.10 означена симболом \otimes) и друга, која настаје као последица протицања струје у супротном смеру кроз калем (на слици 5.10 означена симболом \odot). Ове две компоненте вектора $d\vec{B}_y$ ће се међусобно компензовати од наспрамних елемената на струјној контури.

С друге стране, компонента $d\vec{B}_x$, заједно са вектором $d\vec{B}$ заклапа угао θ који је једнак као угао са нормалним крацима са углом θ који представља угао између вектора удаљености \vec{R} и равни калема. Косинус тог угла θ се онда може израчунати као:

$$\cos\theta = \frac{r}{R}, \quad (5.4)$$

одакле се добија да је:

$$dB_x = dB \cdot \cos\theta = \frac{\mu_0 \cdot I}{4\pi} \cdot \frac{dl}{R^2} \cdot \frac{r}{R}. \quad (5.5)$$

Вредност магнетне индукције добија се интегралњем по кружној контури ($l = 2\pi r$):

$$B_x = \int dB_x = \frac{\mu_0 \cdot I}{4\pi} \cdot \frac{2\pi r \cdot r}{R^3}, \quad (5.6)$$

$$B_x = \frac{\mu_0 \cdot I}{2} \cdot \frac{r^2}{R^3}. \quad (5.7)$$

Са слике 5.10 могуће је уочити и правоугли троугао који чине вектор положаја \vec{R} , полупречник кружне контуре калема и линија која представља удаљеност тачке M од

геометријског центра калема. Како је вектор положаја \vec{R} хипотенуза, на основу овог правоуглог троугла могуће је израчунати:

$$R^2 = r^2 + \left(\frac{r}{2}\right)^2 = \frac{5}{4} \cdot r^2. \quad (5.8)$$

Заменом једначине (5.8) у једначину (5.7), прорачун B_x своди се на:

$$B_x = \frac{\mu_0 \cdot I}{2} \cdot \frac{r^2}{\left(\frac{5}{4}r^2\right)^{\frac{3}{2}}}, \quad (5.9)$$

одакле се сређивањем добија:

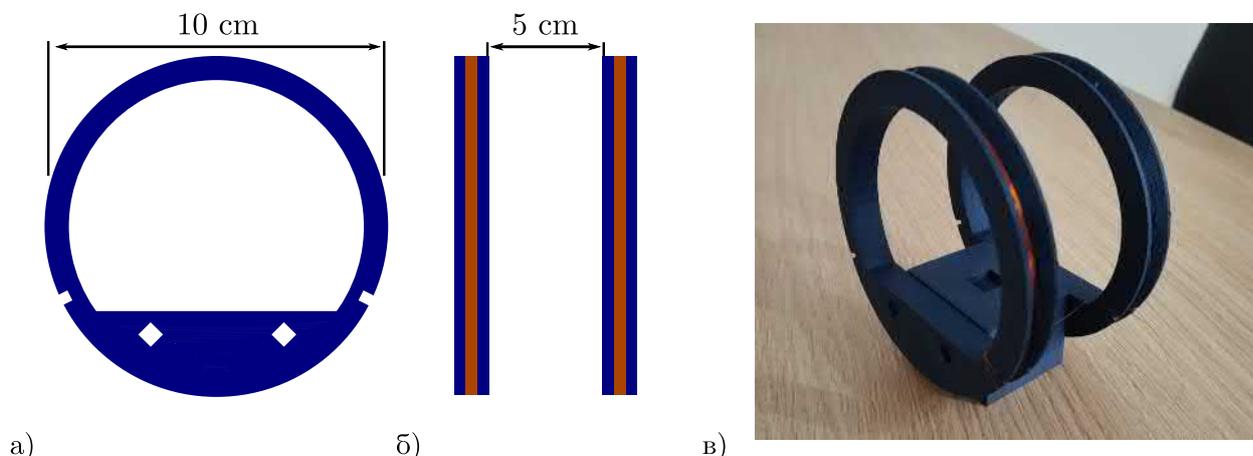
$$B_x = \frac{1}{2} \cdot \left(\frac{4}{5}\right)^{\frac{3}{2}} \cdot \frac{\mu_0 I}{r}. \quad (5.10)$$

Како је магнетна индукција у тачки M последица деловања и левог и десног калема који су мотани у истом смеру, израз (5.10) потребно је помножити са два, након чега се добија израз за вредност магнетне индукције у центру Хелмхолцових калемова:

$$B = \left(\frac{4}{5}\right)^{\frac{3}{2}} \cdot \frac{\mu_0 N I}{r}. \quad (5.11)$$

У једначини (5.11), B је вредност магнетне индукције, μ_0 је магнетна пермеабилност средине (у овом случају вакуума односно ваздуха), N је број намотаја жице по калему, I је струја која тече кроз калемове, а r полупречник калемског тела око кога се врши мотање калемова (самим тим уједно и удаљеност између центара калемова). Коришћењем описаног приступа, подешавањем струје кроз калемове могуће је подешавати и јачину магнетног поља у центру везе калемова.

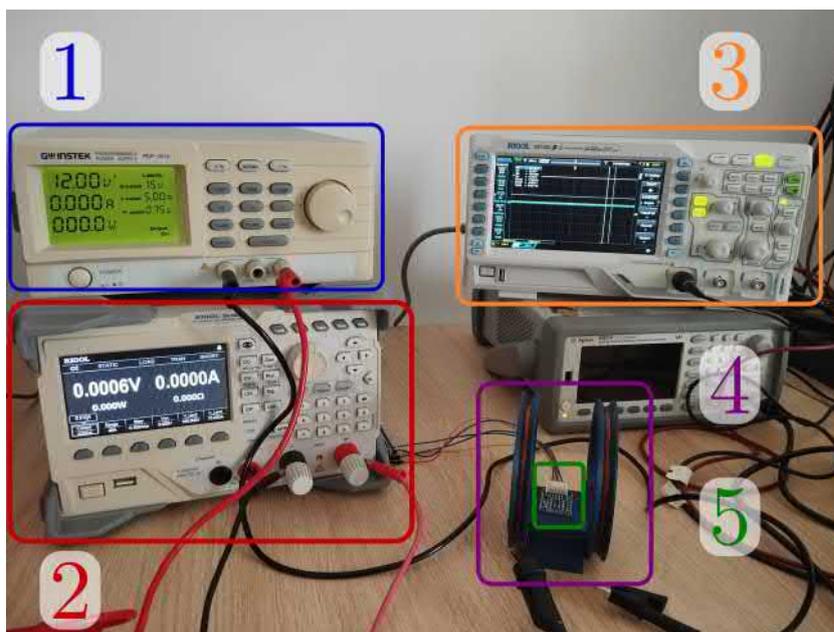
За примену генерисања униформног магнетног поља пројектована су, а потом и израђена калемска тела од PLA пластике. На калемска тела од пластике намотано је по 50 намотаја идентичне бакарне жице пречника 0,2 mm. На овај начин направљена је минијатурна спрега Хелмхолцових калемова која омогућава генерисање униформног магнетног поља према описаном поступку. Пројектовани и израђени елементи приказани су на слици 5.11.



Слика 5.11: Елементи за реализацију Хелмхолцових калемова: а) Изглед једног од калемских тела са бочне стране; б) Изглед два калемска тела на међусобном растојању од 5 cm; в) Склопљен систем са намотаном жицом.

Реализован систем повезан је на извор напајања и активно оптерећење како би се омогућила прецизна контрола струје кроз њега, а самим тим и контрола индукованог магнетног поља. Услед толеранције вредности димензија реализованих калемова, као и толеранције дебљине жице, неуниформног мотања жице и осталих потенцијалних одступања, интензитет магнетне индукције прво је проверен комерцијалним магнетометром BMM150, као што је приказано на слици 5.12 [217].

Након калибрације система за генерисање униформног магнетног поља, реализовани су експерименти са узорком комерцијалног р-каналног VDMOS транзистора снаге IRF9520. Узорак је позициониран у геометријски центар Хелмхолцових калемова, на начин као што је приказано на слици 5.13 а). Правац деловања линија магнетног поља приказан је на слици 5.13 б). У складу са раније описаним разматрањима може се посматрати да генерисано магнетно поље има x оријентацију, односно да делује дуж ширине узорка. Вредност магнетне индукције генерисане у центру узорка на овај начин је $150 \mu\text{T}$. Узорак је био позициониран у центру израђених калемова 12 сати. Током тог времена извршено је 9 мерења преносне карактеристике на идентичан начин оном који је описан раније у овом поглављу. Приликом мерења, извор струје је привремено искључен па је и генерисано магнетно поље привремено прекинуто.

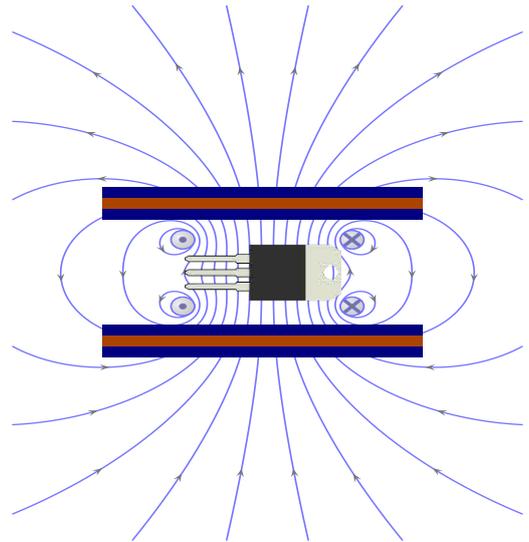


Слика 5.12: Тестирање и додатна калибрација реализованог система: 1) Извор напајања Gwinstek PSP-2010 [218]; 2) Активно оптерећење RIGOL DL3021A [219]; 3) Осцилоскоп RIGOL DS1102Z [220]; 4) Хелмхолцови калемови; 5) Комерцијални магнетометар BMM150 искоришћен за додатну калибрацију генерисаног магнетног поља [221].

Након мерења, узорак се враћа на позицију у центар калемова, извор се укључује, магнетно поље се генерише и наставља изложеност узорка магнетном пољу. Вредност напона прага одређена је са преносне карактеристике коришћењем *Python* скрипте описане у поглављу 4. Апсолутне вредности напона прага приказане су на слици 5.14.

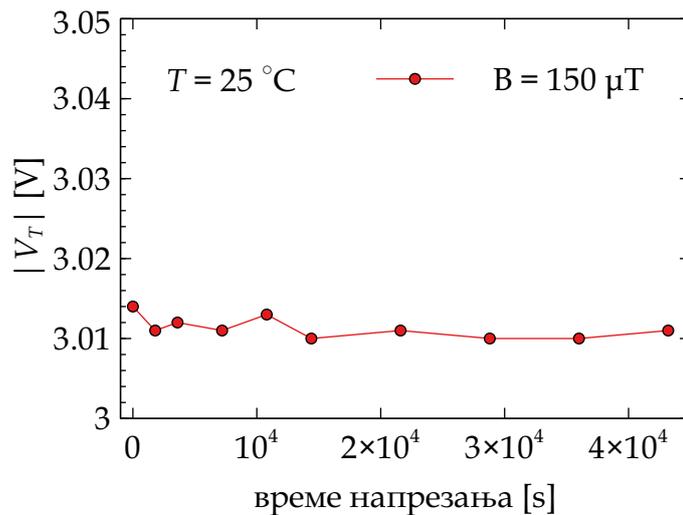


а)



б)

Слика 5.13: а) Позиционирање узорка у центар Хелмхолцових калемова; б) Илустрација деловања линија магнетног поља.

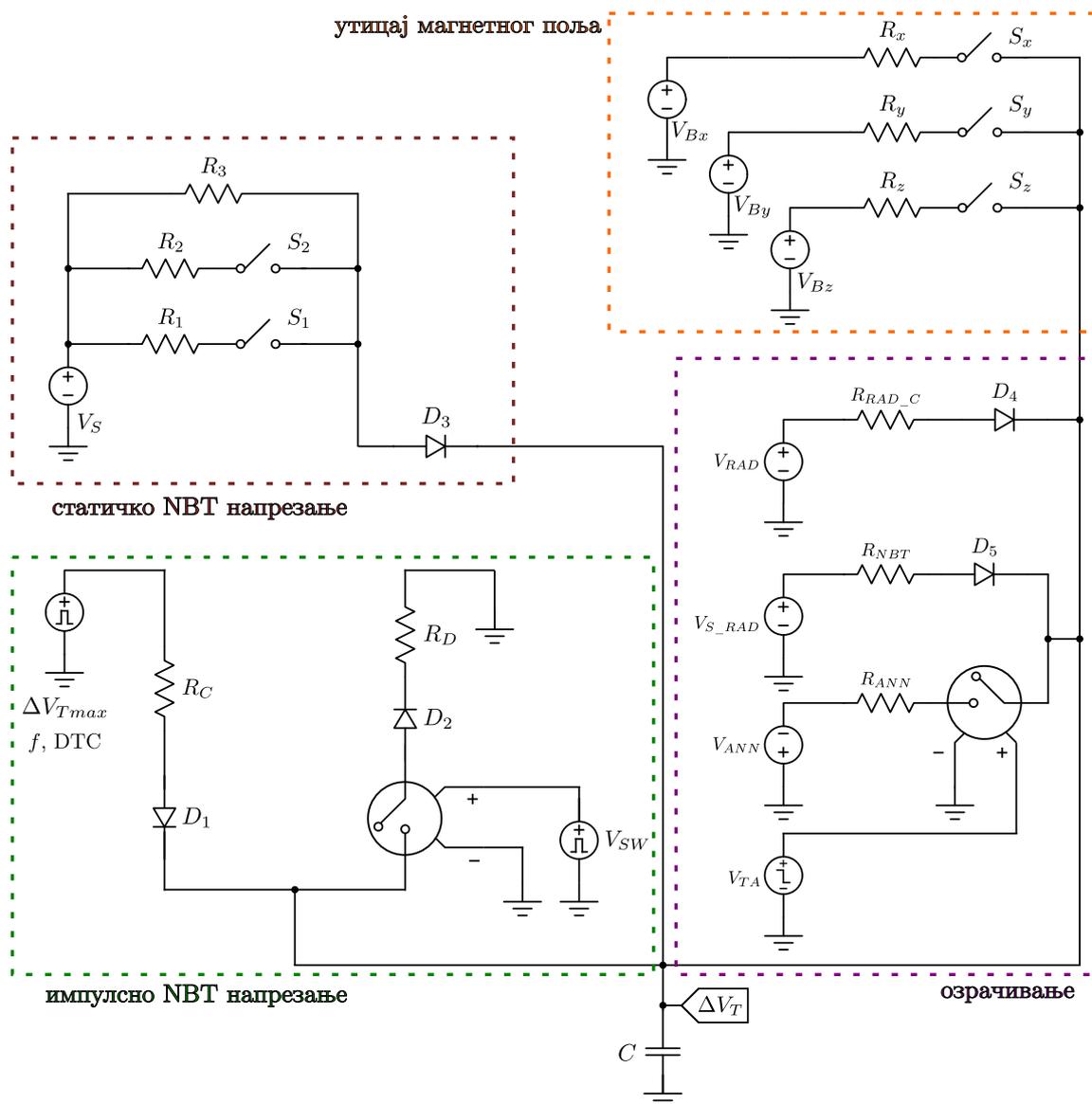


Слика 5.14: Апсолутне вредности напона прага р-каналног VDMOS транзистора снаге IRF9520 при изложености магнетном пољу оријентације x вредности магнетне индукције $B = 150 \mu\text{T}$.

Као што се може видети према резултатима приказаним на слици, а у складу са претходним разматрањима, магнетно поље ограничене магнетне индукције, које се среће у практичним применама, веома мало утиче на промену напона прага р-каналних VDMOS транзистора снаге. Због тога, предложено еквивалентно електрично коло приказано је само концептуално.

5.4 Моделовање промене напона прага изазване истовременим дејством различитих типова напрезања

У контролисаним условима је могуће изложити узорке р-каналних VDMOS транзистора снаге само једном типу напрезања (пример магнетног поља). Ипак, у делу практичних применама, ове компоненте су изложене напрезањима више различитих типова истовремено, односно бивају изложене комбинованим типовима напрезања. Према математичким релацијама приказаним у склопу дисертације, као и према еквивалентним електричним колима која моделују промену напона прага р-каналних VDMOS транзистора снаге, могуће је пројектовати комплексно коло које моделује промене напона прага изазване истовременим дејством различитим типовима напрезања. Ово коло приказано је на слици 5.15.



Слика 5.15: Еквивалентно електрично коло за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване различитим типовима напрезања.

Коло које је приказано на слици 5.15 састоји се од еквивалентних електричних кола која су приказана у поглављима 2, 3, 4 и 5. Према томе, подељено је на четири целине, где је поред сваке целине наглашено на који тип напрезања се односи. Поред тога, коло са слике 5.15 садржи и неколико додатних диода, конкретно диоде D_3 , D_4 , D_5 , које имају строго усмерачку улогу. Ове диоде спречавају пражњење кондензатора приликом моделовања појединих типова напрезања, односно када неки типови напрезања нису присутни.

Коло, као целину, је могуће симулирати коришћењем симулатора као што је *LTspice* и слични. Извршавањем симулација добија се вредност промене напона прага изазвана различитим типовима напрезања. Како је циљ био пројектовати компактни модел, време симулација коришћењем овог кола, када се симулирају један или два типа напрезања, јесте значајније краће него покретање симулација са физичким моделима. Са тог становишта, може се сматрати да је један од главних циљева истраживања ове докторске дисертације остварен. Ипак, када је потребно симулирати три или више истовремено присутних типова напрезања, време симулације може бити и доста дуже (реда величине неколико сати). Са циљем даљег побољшања осмишљеног компактног модела, предложена је једноставна неуронска мрежа.

Истраживања из претходних година показују да се компактни модели одређених физичких појава могу пројектовати коришћењем вештачких неуронских мрежа (*Artificial Neural Networks* - ANN) [222–226]. Циљ коришћења вештачке неуронске мреже је да на основу познатих вредности улазних параметара, као и вредности излазних параметара за те улазне параметре покуша да, коришћењем одговарајућих алгоритама који заправо чине суштински део неуронске мреже, израчуна и предвиди вредности излазних параметара за шири скуп улазних параметара. Један од главних корака рада са неуронским мрежама представља машинско учење (*Machine Learning* - ML), у литератури названо и тренирање неуронске мреже.

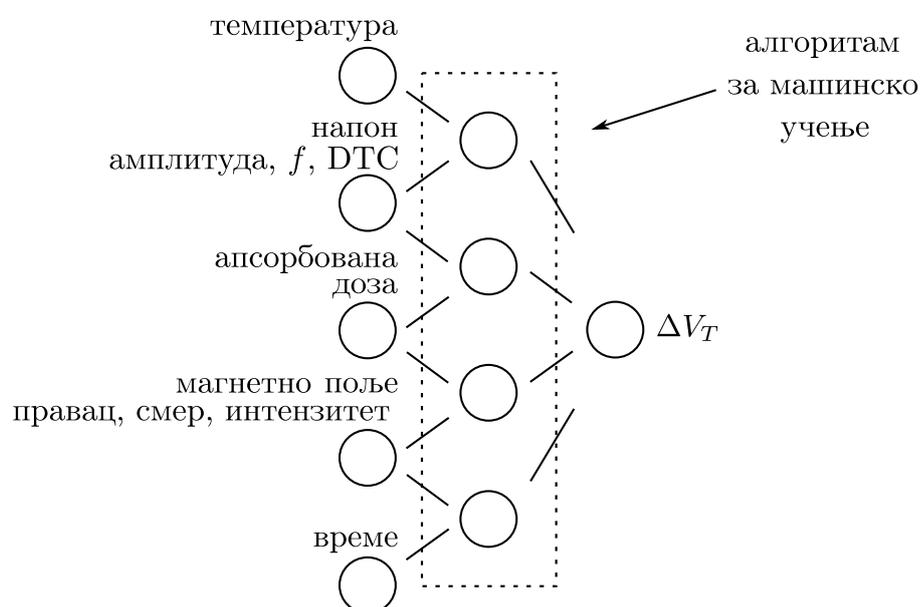
Скуп улазних параметара који описују различите типове напрезања који су анализирани у склопу ове докторске дисертације приказан је на слици 5.16. Коришћењем еквивалентних електричних кола описаних у склопу ове докторске дисертације, сумираних на слици 5.15, могуће је израчунати промену напона прага за јако широк скуп радних услова, односно различите вредности сваког од различитих типова напрезања.

Параметри на основу којих су одређене математичке релације који су основа за израчунавање вредности елемената еквивалентних кола за моделовање су експериментални резултати. Шири скуп експерименталних услова за које су реализовани експерименти и њима добијени одговарајући експериментални резултати додатно би проширили основу за моделовање. То би до извесне мере утицало на вредности појединих коефицијената у изведеним математичким релацијама. Због тога, потребно је омогућити адаптивност новим експерименталним резултатима. Овакав поступак могуће је извести пројектовањем, а онда и тренирањем одговарајуће неуронске мреже. Са тим циљем, као један од закључака ове докторске дисертације, односно предлог за наставак ових истраживања јесте пројектовање вештачке неуронске мреже, чији је основни дијаграм приказан на слици 5.16.

Описани метод захтева и неки вид пројектовања апликације, односно интерфејса преко кога корисник може константно уносити нове низове улазних и излазних података, експерименталне услове при којима су подаци добијени и тиме вршити машинско учење пројектоване неуронске мреже. Сам алгоритам машинског учења може бити заснован на неком од доступних алгоритама као што су SVM (*Support Vector Machines*)

алгоритам или k-NN (*k-Nearest Neighbors*) алгоритам. У литератури је доступан велики број алгоритама за машинско учење који се свакодневно развијају [225, 226].

Неуронска мрежа која је прошла кроз процес машинског учења представља производ вештачке интелигенције (*Artificial Intelligence - AI*) који у потпуности заобилази потребу за коришћењем специфичног симулатора. Корисник преко апликације уноси скуп радних услова, време рада при тим условима и добија увид у промену напона прага при тим условима. Овакав приступ ипак приликом предвиђања вредности промене напона прага за које нема могућност извршења симулације има већу маргину грешке. Баш због тога, примена овог приступа, бар до сада познатим средствима није довољно прецизна за потпуно апстрактно моделовање вредности промене напона прага. Ипак, у применама где је потребно брзо извршити велики број симулација концепт коришћења неуронске мреже над којом је примењен процес машинског учења резултатима симулација предложених модела представља модерно и ефикасно решење.



Слика 5.16: Илустрација слоја улазних параметара, скривених слојева где се примењује алгоритам за машинско учење и излазни слој, где је једини излазни параметар промена напона прага.

Само пројектовање неуронске мреже, улазних, скривених и излазних слојева представља комплексан задатак који превазилази тему ове докторске дисертације. Међутим, чињеница је да пројектовање адаптивног компактног модела за промену напона прага р-каналних VDMOS транзистора снаге изазване различитим типовима напрезања преко неуронске мреже вероватно представља једну од најважнијих тема будућег истраживања.

Поглавље 6

Закључак

У склопу ове докторске дисертације приказан је и анализиран низ еквивалентних електричних кола за моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване различитим типовима напрезања. Описана кола моделују промену напона прага насталу статичким напонско температурним напрезањем, импулсним напонско температурним напрезањем, озрачивањем, дејством магнетног поља, као и комбинацијама неких од ових типова напрезања. Основу моделовања су чинили експериментални резултати. У већини експримената узорци су били комерцијални р-канални VDMOS транзистори снаге IRF9520, али су, ради универзалности пројектованих модела коришћени и узорци IRF9530, а за поједине моделе и р-канални MOS транзистори из две различите серије комерцијалног интегрисаног кола CD4007.

За моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване статичким NBT напрезањем предложена су три еквивалентна електрична кола. Свако од еквивалентних кола засновано је на RC колима, где се промена напона прага моделује пуњењем кондензатора преко одговарајућих отпорника. Вредности отпорности отпорника су одређене експерименталним условима убрзаног статичког NBT напрезања. Основа за моделовање били су експериментално резултати, где је детаљно описана процедура мерења. Коришћењем методе најмањих квадрата изведена је математичка релација између услова убрзаног NBT напрезања и вредности елемената еквивалентних електричних кола за моделовање. Проширено коло за моделовање, које узима у обзир подфазну расподелу засновану на физичким механизмима, моделује промену напона прага са мањом релативном грешком у односу на основно коло за моделовање. Приликом моделовања без подфазне расподеле за низ експерименталних услова, вредност релативне грешке моделованих резултата за прву трећину времена трајања експеримента (почетне подфазе) је преко 50 %. Приликом моделовања са подфазном расподелом (проширено еквивалентно електрично коло), за 90 % времена трајања експеримента релативна грешка је мања од 20 %.

За моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване импулсним NBT напрезањем су такође предложена три различита еквивалентна електрична кола. Промена напона прага и у овом случају се моделује променом напона на кондензатору, али је приликом овог моделовања акценат на моделовању опоравка, односно смањења апсолутне вредности промене напона прага, која се моделује пражењењем кондензатора. Свако коло је концептуално различито по принципу на који се врши моделовање опоравка (додавање отпорника за пражењење кондензатора и пражњење преко напонски контролисаног променљивог отпорника за шта је искоришћен JFET). Предложена су два различита математичка метода за успостављање релације између

услова убрзаног импулсног NBT напрезања и вредности елемената еквивалентних електричних кола за моделовање. Са циљем испитивања описаних приступа извршен је низ симулација са низом различитих експерименталних услова, пре свега са различитим облицима сигнала који врши импулсно напрезање. Утврђено је да се најмање вредности грешака добијају када је за успостављање математичке релације искоришћена Лагранжова теорема, као и када еквивалентно електрично коло за моделовање садржи више отпорника за пуњење и пражњење кондензатора. Коришћењем овог кола релативна грешка ни у једном случају не прелази 20 %, док је средња вредност релативне грешке 6,2 %. Симулације са предложеним колима за моделовање извршене су и за специфичан облик импулсних сигнала који су заступљени у практичним применама компоненте. Закључено је да и при овим условима предложена кола, уз извесна одступања, остварују моделовање експерименталних резултата уз средњу вредност апсолутне грешке од 9,6 %.

За моделовање промене напона прага р-каналних VDMOS транзистора снаге изазване зрачењем предложено је пет еквивалентних електричних кола. Два се односе на моделовање промене напона прага изазване само зрачењем изазване промене напона прага, а три се односе на моделовање промене напона прага изазване сукцесивним озрачивањем и напонско температурним напрезањем, односно сукцесивним озрачивањем и импулсним NBT напрезањем. Према експерименталним резултатима утврђено је да за ниске дозе зрачења промена напона прага која настаје озрачивањем ниским дозама има готово линеарни раст. Ипак, са циљем одржавања континуитета са претходним поглављима, као централни елемент свих предложених кола за моделовање поново је одабран кондензатор. Моделовање линеарног раста вредности промене напона прага приказано је као пуњење кондензатора преко отпорности јако велике вредности. Експоненцијална промена вредности напона прага коју узрокује пратеће напрезање, било температурно или NBT напрезање, моделована је пуњењем односно пражњењем кондензатора преко отпорника чија је вредност одређена експерименталним условима. За различите скупове експерименталних услова, током истих експеримената, у ограниченим временским интервалима, долази и до повећавања и до смањивања вредности промене напона прага. Појава *turn-around* ефекта значајно усложњава поступак пројектовања еквивалентног електричног кола, па је и анализа кола нешто комплекснија. Предложеним приступом је ипак добијена средња вредност релативне грешке од 9,9 %. У поглављу 4 извршено је и упоређивање утицаја зрачења на промену напона прага до тада анализираних VDMOS компонената са другим комерцијалним компонентама. Реализован је низ експеримената над узорцима комерцијалних р-каналних VDMOS компонената (IRF9520 и IRF9530), као и над узорцима р-каналних MOS транзистора из две различите серије комерцијалног интегрисаног кола CD4007. Детаљно је описана мерна метода, као и аутоматизован начин одређивања вредности напона прага коришћењем *Python* скрипти. Након анализе ефеката, коришћењем предложеног еквивалентног електричног кола извршено је и моделовање промене напона прага код анализираних узорака. Предложеним приступом добијена је средња вредност релативне грешке од 8,1 %. Овиме је приказана универзалност предложеног начина компактног моделовања, јер се, уз нумеричке корекције може применити и на компоненте са другачијом структуром.

За моделовање промене напона прага р-каналних VDMOS транзистора снаге у присуству магнетног поља предложено је основно еквивалентно електрично коло. На основу реализованих експеримената над комерцијалним узорцима IRF9520, промена напона прага услед изложености магнетном пољу је значајније мања, када се упореди са другим типовима напрезања. Како магнетно поље утиче на наелектрисање у кретању, само при-

суство магнетног поља не доводи до формирања нових дефеката код узорака када нису везани у коло (за разлику од напонско температурних напрезања или зрачења). Ипак, може се претпоставити да присуство магнетног поља има утицаја на друге параметре анализираних узорака. Потребно је извршити додатна испитивања која би требало да укључују активно стање транзистора, како би се утврдили одговорни механизми који доводе до промене параметара и направила солидна основа за даље моделовање. Како би примена р-каналних VDMOS транзистора снаге ретко подразумевала изложеност само магнетном пољу, већ би у већини практичних примена транзистори били изложени дејству више различитих типова напрезања, предложено је проширено еквивалентно коло које врши моделовање промене напона прага изазване различитим типовима напрезања. Пошто је у том случају потребно унети велики број улазних параметара у то проширено еквивалентно коло, предложен је концепт неуронске мреже и алгорита за машинско учење за одређивање промене напона прага изазване различитим типовима напрезања који предложеном компактном моделу доприноси на универзалности.

Циљ ове докторске дисертације је моделовање промене напона прага р-каналних VDMOS транзистора снаге изазваних различитим типовима напрезања коришћењем еквивалентних електричних кола. Једна од главних карактеристика пројектованог модела је релативно једноставна могућност проширења модела односно увођења зависности промене напона прага изазване другачијим типом напрезања (температуре испод нуле, другачији типови зрачења, магнетног поља, напрезање електричним пољем и слично). Баш због тога, моделовање не представља заокружен поступак, већ процес који је потребно константно унапређивати.

Истраживање је могуће проширити испитивањем утицаја самозагревања, испитивањем утицаја инјекције врућих носилаца, као и симултаним и сукцесивним комбиновањем више различитих типова напрезања. Компактан модел је могуће додатно проширити моделовањем транскондуктансе, отпорности укључења, али и покретљивости носилаца наелектрисања, односно струје дрејна.

Литература

- [1] M. Riordan, “The Lost History of the Transistor,” *IEEE Spectrum*, vol. 41, no. 5, pp. 44–49, May 2004.
- [2] B. Lojek, “The MOS Transistor,” in *History of Semiconductor Engineering*. Springer, Berlin Heidelberg, 2007, pp. 317–374.
- [3] K. Heumann, “Power Semiconductor Devices,” in *EESSES Electric Energy Systems and Engineering Series*. Springer, Berlin Heidelberg, 1986, pp. 13–35.
- [4] W. H. Krautschneider, H. Terletzki, and Q. Wang, “Reliability Problems of Submicron MOS Transistors and Circuits,” *Microelectronics Reliability*, vol. 32, no. 11, pp. 1499–1508, Nov. 1992.
- [5] C. Schlünder, “Device Reliability Challenges for Modern Semiconductor Circuit Design – A Review,” *Advances in Radio Science*, vol. 7, pp. 201–211, May 2009.
- [6] S. M. Shakil and M. S. Ullah, “Reliability Issues in Current MOSFET and Beyond Silicon Technology,” in *International Conference on Industrial Engineering and Operations Management*, ser. Houston '23. IEOM Society International, Jun. 2023, p. 1058.
- [7] A. Abuelnaga, M. Narimani, and A. S. Bahman, “A Review on IGBT Module Failure Modes and Lifetime Testing,” *IEEE Access*, vol. 9, pp. 9643–9663, 2021.
- [8] J. H. Stathis, “The Physics of NBTI: What Do We Really Know?” in *2018 IEEE International Reliability Physics Symposium (IRPS)*. IEEE, Mar. 2018, pp. 2A11–2A14.
- [9] Y. Liu, “Study of Oxide Breakdown, Hot Carrier and NBTI Effects on MOS Device and Circuit Reliability,” Ph.D. dissertation, University of Central Florida, Orlando, 2005.
- [10] H. Amrouch, V. M. v. Santen, O. Prakash, H. Kattan, S. Salamin, S. Thomann, and J. Henkel, “Reliability Challenges with Self-Heating and Aging in FinFET Technology,” in *2019 IEEE 25th International Symposium on On-Line Testing and Robust System Design (IOLTS)*. IEEE, Jul. 2019, pp. 68–71.
- [11] Y. Miura and Y. Matukura, “Investigation of Silicon-Silicon Dioxide Interface Using MOS Structure,” *Japanese Journal of Applied Physics*, vol. 5, no. 2, p. 180, Feb. 1966.
- [12] K. O. Jeppson and C. M. Svensson, “Negative Bias Stress of MOS Devices at High Electric Fields and Degradation of MNOS Devices,” *Journal of Applied Physics*, vol. 48, no. 5, pp. 2004–2014, May 1977.

- [13] S. Ogawa, M. Shimaya, and N. Shiono, "Interface-Trap Generation at Ultrathin SiO₂ (4–6 nm)-Si Interfaces During Negative-Bias Temperature Aging," *Journal of Applied Physics*, vol. 77, no. 3, pp. 1137–1148, Feb. 1995.
- [14] D. K. Schroder and J. A. Babcock, "Negative Bias Temperature Instability: Road to Cross in Deep Submicron Silicon Semiconductor Manufacturing," *Journal of Applied Physics*, vol. 94, no. 1, pp. 1–18, Jun. 2003.
- [15] N. Stojadinović, D. Danković, S. Djorić-Veljković, V. Davidović, I. Manić, and S. Golubović, "Negative Bias Temperature Instability Mechanisms in P-Channel Power VDMOSFETs," *Microelectronics Reliability*, vol. 45, no. 9–11, pp. 1343–1348, Sep. 2005.
- [16] J. H. Stathis and S. Zafar, "The Negative Bias Temperature Instability in MOS Devices: A Review," *Microelectronics Reliability*, vol. 46, no. 2–4, pp. 270–286, Feb. 2006.
- [17] D. Danković, I. Manić, V. Davidović, S. Djorić-Veljković, S. Golubović, and N. Stojadinović, "Negative Bias Temperature Instability in N-Channel Power VDMOSFETs," *Microelectronics Reliability*, vol. 48, no. 8–9, pp. 1313–1317, Aug. 2008.
- [18] R. Kotecha, G. Moreno, B. Mather, and S. Narumanchi, "Modeling Needs for Power Semiconductor Devices and Power Electronics Systems," in *2019 IEEE International Electron Devices Meeting (IEDM)*, 2020, pp. 1211–1214.
- [19] S. Shamsir, M. Sakib Hasan, O. Hassan, P. Sarathi Paul, M. Razuan Hossain, and S. K. Islam, *Semiconductor Device Modeling and Simulation for Electronic Circuit Design*. IntechOpen, Dec. 2020.
- [20] S. Behera, G. Dash, M. R. Jena, and S. R. Pattanaik, *Novel Materials-Based Devices to Mitigate Challenges*. Elsevier, 2023, pp. 119–157.
- [21] *LTspice*, Analog Devices, softverski alat.
- [22] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, "The Statistical Analysis of Individual Defects Constituting NBTI and Its Implications for Modeling DC- and AC-Stress," in *2010 IEEE International Reliability Physics Symposium*. IEEE, May 2010, pp. 7–15.
- [23] A. E. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, and M. A. Alam, "Recent Issues in Negative-Bias Temperature Instability: Initial Degradation, Field Dependence of Interface Trap Generation, Hole Trapping Effects, and Relaxation," *IEEE Transactions on Electron Devices*, vol. 54, no. 9, pp. 2143–2154, Sep. 2007.
- [24] K. Kang, H. Kufluoglu, K. Roy, and M. Ashraful Alam, "Impact of Negative-Bias Temperature Instability in Nanoscale SRAM Array: Modeling and Analysis," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 10, pp. 1770–1781, Oct. 2007.
- [25] T. Grasser, P.-J. Wagner, P. Hehenberger, W. Goes, and B. Kaczer, "A Rigorous Study of Measurement Techniques for Negative Bias Temperature Instability," *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 3, pp. 526–535, Sep. 2008.

- [26] J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, B. Kaczer, and G. Groeseneken, "An Equivalent Circuit Model for the Recovery Component of BTI," in *ESSDERC 2008 - 38th European Solid-State Device Research Conference*, vol. 46. IEEE, 2008, pp. 55–58.
- [27] E. Živanović, S. Veljković, N. Mitrović, I. Jovanović, S. Djorić-Veljković, A. Paskaleva, D. Spassov, and D. Danković, "A Reliability Investigation of VDMOS Transistors: Performance and Degradation Caused by Bias Temperature Stress," *Micromachines*, vol. 15, no. 4, p. 503, Apr. 2024.
- [28] "Google Scholar, dostupno na: <https://scholar.google.com> (pretraga sa "negative bias temperature instability")," 2024.
- [29] G. S. Ristić, M. M. Pejović, and A. B. Jakšić, "Fowler–Nordheim High Electric Field Stress of Power VDMOSFETs," *Solid-State Electronics*, vol. 49, no. 7, pp. 1140–1152, Jul. 2005.
- [30] C. Tahanout, H. Tahy, M. Boubaaya, B. Djezzar, M. Marah, B. Nadji, and N. Saoula, "NBTI Stress on Power VDMOS Transistors Under Low Magnetic Field," in *2015 IEEE International Integrated Reliability Workshop (IIRW)*. IEEE, Oct. 2015, pp. 147–150.
- [31] N. Stojadinović, I. Manić, V. Davidović, D. Danković, S. Djorić-Veljković, S. Golubović, and S. Dimitrijević, "Effects of Electrical Stressing in Power VDMOSFETs," in *2003 IEEE Conference on Electron Devices and Solid-State Circuits (IEEE Cat. No.03TH8668)*, ser. EDSSC-03. IEEE, 2003, pp. 291–296.
- [32] N. Stojadinović, D. Danković, I. Manić, V. Davidović, S. Djorić-Veljković, and S. Golubović, "Impact of Negative Bias Temperature Instabilities on Lifetime in P-Channel Power VDMOSFETs," in *2007 8th International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services*. IEEE, Sep. 2007, pp. 275–282.
- [33] I. Manić, S. Djorić-Veljković, V. Davidović, D. Danković, S. Golubović, and N. Stojadinović, "Mechanisms of Spontaneous Recovery in DC Gate Bias Stressed Power VDMOSFETs," *IET Circuits, Devices and Systems*, vol. 2, no. 2, p. 213, 2008.
- [34] I. Manić, D. Danković, A. Prijić, V. Davidović, S. Djorić-Veljković, S. Golubović, Z. Prijić, and N. Stojadinović, "NBTI Related Degradation and Lifetime Estimation in P-Channel Power VDMOSFETs Under the Static and Pulsed NBT Stress Conditions," *Microelectronics Reliability*, vol. 51, no. 9–11, pp. 1540–1543, Sep. 2011.
- [35] V. Davidović, D. Danković, A. Ilić, I. Manić, S. Golubović, S. Djorić-Veljković, Z. Prijić, and N. Stojadinović, "NBTI and Irradiation Effects in P-Channel Power VDMOS Transistors," *IEEE Transactions on Nuclear Science*, vol. 63, no. 2, pp. 1268–1275, Apr. 2016.
- [36] V. Davidović, D. Danković, A. Ilić, I. Manić, S. Golubović, S. Djorić-Veljković, Z. Prijić, A. Prijić, and N. Stojadinović, "Effects of Consecutive Irradiation and Bias Temperature Stress in P-Channel Power Vertical Double-Diffused Metal Oxide Semiconductor Transistors," *Japanese Journal of Applied Physics*, vol. 57, no. 4, p. 044101, Mar. 2018.

- [37] A. Prijić, D. Danković, L. Vračar, I. Manić, Z. Prijić, and N. Stojadinović, “A Method for Negative Bias Temperature Instability (NBTI) Measurements on Power VDMOS Transistors,” *Measurement Science and Technology*, vol. 23, no. 8, p. 085003, May 2012.
- [38] D. Danković, I. Manić, A. Prijić, S. Djorić-Veljković, V. Davidović, N. Stojadinović, Z. Prijić, and S. Golubović, “Negative Bias Temperature Instability in P-Channel Power VDMOSFETs: Recoverable Versus Permanent Degradation,” *Semiconductor Science and Technology*, vol. 30, no. 10, p. 105009, Aug. 2015.
- [39] D. Danković, I. Manić, V. Davidović, A. Prijić, M. Marjanović, A. Ilić, Z. Prijić, and N. D. Stojadinović, “On the Recoverable and Permanent Components of NBTI in P-Channel Power VDMOSFETs,” *IEEE Transactions on Device and Materials Reliability*, vol. 16, no. 4, pp. 522–531, Dec. 2016.
- [40] I. Manić, “Efekti elektricnog naprežanja kod VDMOS tranzistora snage,” doktorska disertacija, Univerzitet u Nišu, Elektronski fakultet u Nišu, 2005.
- [41] D. Danković, “Nestabilnosti komercijalnih VDMOS tranzistora snage usled naponsko temperaturnih naprežanja oksida gejta,” doktorska disertacija, Univerzitet u Nišu, Elektronski fakultet u Nišu, 2009.
- [42] V. Davidović, “Analiza tehnika za razdvajanje efekata naelektrisanja u oksidu gejta i površinskih stanja kod VDMOS tranzistora snage,” doktorska disertacija, Univerzitet u Nišu, Elektronski fakultet u Nišu, 2010.
- [43] S. Djorić-Veljković, “Uticaaj testova pouzdanosti na efekte zračenja kod VDMOS tranzistora snage,” doktorska disertacija, Univerzitet u Nišu, Elektronski fakultet u Nišu, 2006.
- [44] T. Nigam, “Pulse-Stress Dependence of NBTI Degradation and Its Impact on Circuits,” *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 1, pp. 72–78, Mar. 2008.
- [45] T. Grasser, T. Aichinger, G. Pobegen, H. Reisinger, P.-J. Wagner, J. Franco, M. Nelhiebel, and B. Kaczer, “The ‘Permanent’ Component of NBTI: Composition and Annealing,” in *2011 International Reliability Physics Symposium*. IEEE, Apr. 2011, pp. 6A21–6A29.
- [46] M. A. Alam and S. Mahapatra, “A Comprehensive Model of PMOS NBTI Degradation,” *Microelectronics Reliability*, vol. 45, no. 1, pp. 71–81, Jan. 2005.
- [47] H. Aono, E. Murakami, K. Okuyama, A. Nishida, M. Minami, Y. Ooji, and K. Kubota, “Modeling of NBTI Saturation Effect and its Impact on Electric Field Dependence of the Lifetime,” *Microelectronics Reliability*, vol. 45, no. 7–8, pp. 1109–1114, Jul. 2005.
- [48] T. Grasser, R. Entner, O. Triebel, H. Enichlmair, and R. Minixhofer, “TCAD Modeling of Negative Bias Temperature Instability,” in *2006 International Conference on Simulation of Semiconductor Processes and Devices*. IEEE, Sep. 2006, pp. 330–333.
- [49] T. Grasser, *Bias Temperature Instability for Devices and Circuits*. Springer New York, 2014.

- [50] G. Rzepa, J. Franco, B. O’Sullivan, A. Subirats, M. Simicic, G. Hellings, P. Weckx, M. Jech, T. Knobloch, M. Waltl, P. J. Roussel, D. Linten, B. Kaczer, and T. Grasser, “Comphy — A Compact-Physics Framework for Unified Modeling of BTI,” *Microelectronics Reliability*, vol. 85, pp. 49–65, Jun. 2018.
- [51] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. E. Islam, and M. A. Alam, “A Comparative Study of Different Physics-Based NBTI Models,” *IEEE Transactions on Electron Devices*, vol. 60, no. 3, pp. 901–916, Mar. 2013.
- [52] S. Mahapatra and N. Parihar, “A Review of NBTI Mechanisms and Models,” *Microelectronics Reliability*, vol. 81, pp. 127–135, Feb. 2018.
- [53] N. Parihar, N. Goel, A. Chaudhary, and S. Mahapatra, “A Modeling Framework for NBTI Degradation Under Dynamic Voltage and Frequency Scaling,” *IEEE Transactions on Electron Devices*, vol. 63, no. 3, pp. 946–953, Mar. 2016.
- [54] N. Parihar, N. Goel, S. Mukhopadhyay, and S. Mahapatra, “BTI Analysis Tool—Modeling of NBTI DC, AC Stress and Recovery Time Kinetics, Nitrogen Impact, and EOL Estimation,” *IEEE Transactions on Electron Devices*, vol. 65, no. 2, pp. 392–403, Feb. 2018.
- [55] S. Mahapatra and N. Parihar, “Modeling of NBTI Using BAT Framework: DC-AC Stress-Recovery Kinetics, Material, and Process Dependence,” *IEEE Transactions on Device and Materials Reliability*, vol. 20, no. 1, pp. 4–23, Mar. 2020.
- [56] S. Mahapatra, N. Parihar, N. Goel, N. Choudhury, T. Samadder, and U. Sharma, “BAT Framework Modeling of AC NBTI: Stress Mode, Duty Cycle and Frequency,” in *Recent Advances in PMOS Negative Bias Temperature Instability*. Springer, Singapore, Nov. 2021, pp. 287–304.
- [57] S. Mahapatra, A. E. Islam, S. Deora, V. D. Maheta, K. Joshi, A. Jain, and M. A. Alam, “A Critical Re-evaluation of the Usefulness of R-D Framework in Predicting NBTI Stress and Recovery,” in *2011 International Reliability Physics Symposium*, vol. 57. IEEE, Apr. 2011, pp. 6A.3.1–6A.3.10.
- [58] J. H. Stathis, S. Mahapatra, and T. Grasser, “Controversial Issues in Negative Bias Temperature Instability,” *Microelectronics Reliability*, vol. 81, pp. 244–251, Feb. 2018.
- [59] N. Schuch, V. Dal Bem, A. I. Reis, and R. P. Ribas, “Equivalent Circuit for NBTI Evaluation in CMOS Logic Gates,” *ECS Transactions*, vol. 23, no. 1, pp. 421–428, Sep. 2009.
- [60] E. Maricaud, L. Zhang, J. Franco, P. Roussel, G. Groeseneken, and G. Gielen, “A Compact NBTI Model for Accurate Analog Integrated Circuit Reliability Simulation,” in *2011 European Solid-State Device Research Conference (ESSDERC)*. IEEE, Sep. 2011, pp. 147–150.
- [61] J. B. Velamala, “Compact Modeling and Simulation for Digital Circuit Aging,” Ph.D. dissertation, Arizona State University, 2012.

- [62] J. Wan and H. G. Kerkhoff, “An Arbitrary Stressed NBTI Compact Model for Analog/Mixed-Signal Reliability Simulations,” in *International Symposium on Quality Electronic Design (ISQED)*. IEEE, Mar. 2013, pp. 31–37.
- [63] C. Ma, H. J. Mattausch, K. Matsuzawa, S. Yamaguchi, T. Hoshida, M. Imade, R. Koh, T. Arakawa, and M. Miura-Mattausch, “Universal NBTI Compact Model for Circuit Aging Simulation under Any Stress Conditions,” *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 3, pp. 818–825, Sep. 2014.
- [64] O. Prakash, S. Beniwal, S. Maheshwaram, A. Bulusu, N. Singh, and S. K. Manhas, “Compact NBTI Reliability Modeling in Si Nanowire MOSFETs and Effect in Circuits,” *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 2, pp. 404–413, Jun. 2017.
- [65] N. Parihar, U. Sharma, R. G. Southwick, M. Wang, J. H. Stathis, and S. Mahapatra, “Ultrafast Measurements and Physical Modeling of NBTI Stress and Recovery in RMG FinFETs Under Diverse DC–AC Experimental Conditions,” *IEEE Transactions on Electron Devices*, vol. 65, no. 1, pp. 23–30, Jan. 2018.
- [66] A. Herrera-Moreno, J. L. García-Gervacio, H. Villacorta-Minaya, and H. Vázquez-Leal, “TCAD Analysis and Modeling for NBTI Mechanism in FinFET Transistors,” *IEICE Electronics Express*, vol. 15, no. 14, pp. 20 180 502–20 180 502, 2018.
- [67] X. Li, J. Qing, Y. Sun, Y. Zeng, Y. Shi, and Y. Wang, “Linear and Resolution Adjusted On-Chip Aging Detection of NBTI Degradation,” *IEEE Transactions on Device and Materials Reliability*, vol. 18, no. 3, pp. 383–390, Sep. 2018.
- [68] R. Gao, “Bias Temperature Instability Modelling and Lifetime Prediction on Nano-scale MOSFETs,” Ph.D. dissertation, Liverpool John Moores University, 2018.
- [69] K.-U. Giering, K. Puschkarsky, H. Reisinger, G. Rzepa, G. Rott, R. Vollertsen, T. Grasser, and R. Jancke, “NBTI Degradation and Recovery in Analog Circuits: Accurate and Efficient Circuit-Level Modeling,” *IEEE Transactions on Electron Devices*, vol. 66, no. 4, pp. 1662–1668, Apr. 2019.
- [70] Y. Swami and S. Rai, “Ultra-Thin High-K Dielectric Profile Based NBTI Compact Model for Nanoscale Bulk MOSFET,” *Silicon*, vol. 11, no. 3, pp. 1661–1671, Sep. 2018.
- [71] T. Hosaka, S. Nishizawa, R. Kishida, T. Matsumoto, and K. Kobayashi, “Compact Modeling of NBTI Replicating AC Stress / Recovery from a Single-shot Long-term DC Measurement,” in *2019 IEEE 25th International Symposium on On-Line Testing and Robust System Design (IOLTS)*. IEEE, Jul. 2019, pp. 305–309.
- [72] N. Mitrović, D. Danković, Z. Prijić, and N. Stojadinović, “Modelling of ΔV_T in NBT Stressed P-Channel Power VDMOSFETs,” in *2019 IEEE 31st International Conference on Microelectronics (MIEL)*. IEEE, Sep. 2019, pp. 177–180.
- [73] N. Zagni, “Simulation and Modeling Methods for Predicting Performance and Reliability Limits of 21st-Century Electronics,” Ph.D. dissertation, University of Modena, 2020.

- [74] D. Danković, N. Mitrović, Z. Prijić, and N. D. Stojadinović, “Modeling of NBTS Effects in P-Channel Power VDMOSFETs,” *IEEE Transactions on Device and Materials Reliability*, vol. 20, no. 1, pp. 204–213, Mar. 2020.
- [75] N. Mitrović, D. Danković, Z. Prijić, and N. Stojadinović, “Modelovanje promena napona praga p-kanalnih VDMOS tranzistora snage tokom NBT naprezanja,” in *2020 64. godišnja konferencija za ETRAN*, 2020, pp. MO121–MO125.
- [76] M. Igarashi, “A Study of BTI-Induced Variability and Highly Sensitive On-Chip Digital Aging Monitor for High Reliability,” Ph.D. dissertation, Kyoto Institute of Technology, 2021.
- [77] A. Bhattacharjee, D. K. Sahu, and S. N. Pradhan, “Lookup Table-based Negative-Bias Temperature Instability Effect and Leakage Power Co-optimization using Genetic Algorithm Approach,” *International Journal of Circuit Theory and Applications*, vol. 49, no. 7, pp. 1902–1915, May 2021.
- [78] D. Danković, N. Mitrović, S. Veljković, V. Davidović, S. Djorić-Veljković, Z. Prijić, A. Paskaleva, D. Spassov, and S. Golubović, “A Review of the Electric Circuits for NBTI Modeling in P-Channel Power VDMOSFETs,” in *2021 IEEE 32nd International Conference on Microelectronics (MIEL)*. IEEE, Sep. 2021, pp. 55–62.
- [79] J. F. Zhang, R. Gao, M. Duan, Z. Ji, W. Zhang, and J. Marsland, “Bias Temperature Instability of MOSFETs: Physical Processes, Models, and Prediction,” *Electronics*, vol. 11, no. 9, p. 1420, Apr. 2022.
- [80] T. P. Y. Tran, “CMOS 180nm Compact Modeling Including Aging Laws for Harsh Environment,” Ph.D. dissertation, Université de Bordeaux, 2022.
- [81] Z. C. Wang, C. Chen, H. D. Wang, C. Y. Wang, Z. F. Wang, and X. R. Ye, “A Modelling Method of the On-State Resistance of P-Channel Power MOSFETs Under NBTI Stress,” *Microelectronics Reliability*, vol. 150, p. 115157, Nov. 2023.
- [82] N. Mitrović, D. Danković, Z. Prijić, and N. Stojadinović, “Modeling of NBTI Degradation in P-Channel VDMOSFETs,” *Journal of Applied Engineering Science*, vol. 18, no. 4, pp. 515–519, Dec. 2020.
- [83] C. Chen, H. Wang, H. Yin, W. Zheng, and G. Zhai, “Establishment of Degradation Model and Transfer Model for P-Channel Power MOSFETs Under Negative Bias Temperature Stress,” in *2024 IEEE 10th International Power Electronics and Motion Control Conference (IPEMC2024-ECCE Asia)*. IEEE, May 2024, pp. 4280–4284.
- [84] K.-U. Giering, G. Rott, G. Rzepa, H. Reisinger, A. K. Puppala, T. Reich, W. Gustin, T. Grasser, and R. Jancke, “Analog-Circuit NBTI Degradation and Time-Dependent NBTI Variability: An Efficient Physics-Based Compact Model,” in *2016 IEEE International Reliability Physics Symposium (IRPS)*. IEEE, Apr. 2016, pp. 4C41–4C46.
- [85] A. Bhattacharjee and S. N. Pradhan, “NBTI-Aware Power Gating Design with Dynamically Varying Stress Probability Control on Sleep Transistor,” *Journal of Circuits, Systems and Computers*, vol. 30, no. 11, p. 2120004, Feb. 2021.

- [86] M. Marjanović, S. Veljković, N. Mitrović, E. Živanović, A. Gavrić, and D. Danković, “Modified SPICE-Compatible Model Integrating NBTI and Self-Heating Effects for VDMOS Transistors,” in *2024 11th International Conference on Electrical, Electronic and Computing Engineering (IcETRAN)*. IEEE, Jun. 2024, pp. 1–6.
- [87] R. Entner, “Modeling and Simulation of Negative Bias Temperature Instability,” Ph.D. dissertation, Technical University of Vienna, Faculty of Electrical Engineering and Information Technology, 2007.
- [88] G. Rzepa, “Efficient Physical Modeling of Bias Temperature Instability,” Ph.D. dissertation, Technical University of Vienna, Faculty of Electrical Engineering and Information Technology, 2018.
- [89] W. Goes, “Hole Trapping and the Negative Bias Temperature Instability,” Ph.D. dissertation, Technical University of Vienna, Faculty of Electrical Engineering and Information Technology, 2011.
- [90] L. Brusamarello, “Modeling and Simulation of Device Variability and Reliability at the Electrical Level,” Ph.D. dissertation, Federal University of Rio Grande do Sul, Institute of Informatics., 2011.
- [91] Z. Ji, “Characterization of Negative Bias Temperature Instability and Lifetime Prediction for pMOSFETs,” Ph.D. dissertation, Liverpool John Moores University, 2010.
- [92] D. Danković, I. Manić, N. Stojadinović, Z. Prijić, S. Djorić-Veljković, V. Davidović, A. Prijić, A. Paskaleva, D. Spassov, and S. Golubović, “Modelling of Threshold Voltage Shift in Pulsed NBT Stressed P-Channel Power VDMOSFETs,” in *2017 IEEE 30th International Conference on Microelectronics (MIEL)*. IEEE, Oct. 2017, pp. 147–151.
- [93] J. R. Schwank, M. R. Shaneyfelt, D. M. Fleetwood, J. A. Felix, P. E. Dodd, P. Paillet, and V. Ferlet-Cavrois, “Radiation Effects in MOS Oxides,” *IEEE Transactions on Nuclear Science*, vol. 55, no. 4, pp. 1833–1853, Aug. 2008.
- [94] G. S. Ristić, “Influence of Ionizing Radiation and Hot Carrier Injection on Metal-Oxide-Semiconductor Transistors,” *Journal of Physics D: Applied Physics*, vol. 41, no. 2, p. 023001, Jan. 2008.
- [95] M. M. Pejović, “Application of P-Channel Power VDMOSFET as a High Radiation Doses Sensor,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 4, pp. 1905–1910, Aug. 2015.
- [96] M. A. Carvajal, F. Simancas, D. Guirado, M. Vilches, A. M. Lallena, and A. J. Palma, “A Compact and Low Cost Dosimetry System based on MOSFET for In Vivo Radiotherapy,” *Sensors and Actuators A: Physical*, vol. 182, pp. 146–152, Aug. 2012.
- [97] N. D. Vasović and G. S. Ristić, “A New Microcontroller-based RADFET Dosimeter Reader,” *Radiation Measurements*, vol. 47, no. 4, pp. 272–276, Apr. 2012.
- [98] M. S. Martínez-García, F. Simancas, A. J. Palma, A. M. Lallena, J. Banqueri, and M. A. Carvajal, “General Purpose MOSFETs for the Dosimetry of Electron Beams Used in Intra-Operative Radiotherapy,” *Sensors and Actuators A: Physical*, vol. 210, pp. 175–181, Apr. 2014.

- [99] S. M. Merah, B. Nadji, and H. Tahı, “Low Magnetic Field Impact on NBTI Degradation,” *Microelectronics Reliability*, vol. 55, no. 9–10, pp. 1460–1463, Aug. 2015.
- [100] H. Tahı, C. Tahanout, M. Boubaaya, B. Djeddar, S. M. Merah, B. Nadji, and N. Saoula, “Experimental Investigation of NBTI Degradation in Power VDMOS Transistors Under Low Magnetic Field,” *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 1, pp. 99–105, Mar. 2017.
- [101] H. Tahı, B. Djeddar, and H. Timlelt, “Capacitance–Voltage Technique Based on Time Varying Magnetic Field for VDMOSFET—Part I: Concept and Implementation,” *IEEE Transactions on Electron Devices*, vol. 68, no. 5, pp. 2173–2180, May 2021.
- [102] R. Vattikonda, W. Wang, and Y. Cao, “Modeling and Minimization of PMOS NBTI Effect for Robust Nanometer Design,” in *43rd annual conference on Design automation - DAC '06*, ser. DAC '06. ACM Press, 2006, p. 1047.
- [103] S. Kumar, C. Kim, and S. Sapatnekar, “An Analytical Model for Negative Bias Temperature Instability,” in *2006 IEEE/ACM International Conference on Computer Aided Design*. IEEE, Nov. 2006, pp. 493–496.
- [104] W. Wang, S. Yang, S. Bhardwaj, S. Vrudhula, F. Liu, and Y. Cao, “The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 18, no. 2, pp. 173–183, Feb. 2010.
- [105] O. V. Aleksandrov, “Model of the Negative-Bias Temperature Instability of p-MOS Transistors,” *Semiconductors*, vol. 54, no. 2, pp. 233–239, Feb. 2020.
- [106] S. Adolf and W. Nebel, “Abstraction NBTI Model,” *IT - Information Technology*, vol. 63, no. 5–6, pp. 299–310, Sep. 2021.
- [107] L. Ren, Q. Shen, and C. Gong, “Real-Time Aging Monitoring for Power MOSFETs Using Threshold Voltage,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*. IEEE, Oct. 2016, pp. 441–446.
- [108] J. R. Celaya, A. Saxena, P. Wysocki, S. Saha, and K. Goebel, “Towards Prognostics of Power MOSFETs: Accelerated Aging and Precursors of Failure,” in *Annual Conference of the PHM Society*, vol. 2, no. 1. PHM Society, Oct. 2010, pp. 1–10.
- [109] D. Danković, I. Manić, S. Djorić-Veljković, V. Davidović, S. Golubović, and N. Stojadinović, “NBT Stress-Induced Degradation and Lifetime Estimation in P-Channel Power VDMOSFETs,” *Microelectronics Reliability*, vol. 46, no. 9–11, pp. 1828–1833, Sep. 2006.
- [110] R. K. Williams, M. N. Darwish, R. A. Blanchard, R. Siemieniec, P. Rutter, and Y. Kawaguchi, “The Trench Power MOSFET—Part II: Application Specific VDMOS, LD-MOS, Packaging, and Reliability,” *IEEE Transactions on Electron Devices*, vol. 64, no. 3, pp. 692–712, Mar. 2017.
- [111] *IRF9520, Data sheet*, International Rectifier, 1998.

- [112] R. M. Fleming and B. L. Draper, “Gate Oxide Reliability in an Integrated Metal-Oxide-Semiconductor Field-Effect Transistor-Microelectromechanical System Technology,” *Journal of Vacuum Science and Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, vol. 24, no. 1, pp. 91–96, Jan. 2006.
- [113] V. Re, L. Gaioni, M. Manghisoni, L. Ratti, V. Speziali, and G. Traversi, “CMOS Technologies in the 100nm Range for Rad-Hard Front-End Electronics in Future Collider Experiments,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 596, no. 1, pp. 107–112, Oct. 2008.
- [114] P. B. Green, “Designing with Power MOSFETs,” Infineon, Tech. Rep., 2022.
- [115] M. Alwan, B. Beydoun, K. Ketata, and M. Zoeter, “Two-Dimensional Simulation of the Thermal Stress Effect on Static and Dynamic VDMOS Characteristics,” *Materials Science and Engineering: B*, vol. 124–125, pp. 335–340, Dec. 2005.
- [116] D. Danković, I. Manić, A. Prijić, V. Davidović, D.-V. Snežana, S. Golubović, Z. Prijić, and N. Stojadinović, “Effects of Static and Pulsed Negative Bias Temperature Stressing on Lifetime in P-Channel Power VDMOSFETs,” *Informacije MIDEM*, vol. 43, pp. 58–66, Mar. 2013.
- [117] H. Tahi, B. Djezzar, and H. Timlelt, “Capacitance–Voltage Technique Based on Time Varying Magnetic Field for VDMOSFET—Part II: Measurements and Parameter Extractions,” *IEEE Transactions on Electron Devices*, vol. 68, no. 5, pp. 2181–2188, May 2021.
- [118] *6645A DC Power Supply, Data sheet*, Keysight, 2017.
- [119] *B2901A Source Measure Unit, Data sheet*, Keysight, 2024.
- [120] A. Ortiz-Conde, F. J. Garcia Sanchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, “A Review of Recent MOSFET Threshold Voltage Extraction Methods,” *Microelectronics Reliability*, vol. 42, no. 4–5, pp. 583–596, Apr. 2002.
- [121] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. Terán Barrios, J. J. Liou, and C.-S. Ho, “Revisiting MOSFET Threshold Voltage Extraction Methods,” *Microelectronics Reliability*, vol. 53, no. 1, pp. 90–104, Jan. 2013.
- [122] C. Stankus and M. Ahmed, “Comparing Smoothing Techniques for Extracting MOSFET Threshold Voltage,” *Solid-State Electronics*, vol. 164, p. 107744, Feb. 2020.
- [123] S. Zafar, A. Callegari, E. Gusev, and M. V. Fischetti, “Charge Trapping Related Threshold Voltage Instabilities in High Permittivity Gate Dielectric Stacks,” *Journal of Applied Physics*, vol. 93, no. 11, pp. 9298–9303, Jun. 2003.
- [124] C. G. Van de Walle, “Stretched-Exponential Relaxation Modeled Without Invoking Statistical Distributions,” *Physical Review B*, vol. 53, no. 17, pp. 11 292–11 295, May 1996.

- [125] S. Zafar, B. H. Lee, J. Stathis, A. Callegari, and T. Ning, “A Model for Negative Bias Temperature Instability (NBTI) in Oxide and High-k pFETs,” in *Digest of Technical Papers. 2004 Symposium on VLSI Technology, 2004*. IEEE, 2004, pp. 208–209.
- [126] S. Zafar, “Statistical Mechanics based Model for Negative Bias Temperature Instability Induced Degradation,” *Journal of Applied Physics*, vol. 97, no. 10, p. 103709, May 2005.
- [127] J.-M. Lee, I.-T. Cho, J.-H. Lee, and H.-I. Kwon, “Bias-Stress-Induced Stretched-Exponential Time Dependence of Threshold Voltage Shift in InGaZnO Thin Film Transistors,” *Applied Physics Letters*, vol. 93, no. 9, p. 093504, Sep. 2008.
- [128] D. Danković, I. Manić, S. Djorić-Veljković, V. Davidović, S. Golubović, and N. Stojadinović, “Lifetime Estimation in NBT Stressed P-Channel Power VDMOSFETs,” in *2006 25th International Conference on Microelectronics*. IEEE, 2006, pp. 605–608.
- [129] N. Modolo, C. De Santi, G. Baratella, A. Bettini, M. Borga, N. Posthuma, B. Bakroot, S. You, S. Decoutere, A. Bevilacqua, A. Neviani, G. Meneghesso, E. Zanoni, and M. Meneghini, “Compact Modeling of Nonideal Trapping/Detrapping Processes in GaN Power Devices,” *IEEE Transactions on Electron Devices*, vol. 69, no. 8, pp. 4432–4437, Aug. 2022.
- [130] J.-H. Na, J.-H. Park, W. Park, J. Feng, J.-S. Eun, J. Lee, S.-H. Lee, J. Jang, I. M. Kang, D.-K. Kim, and J.-H. Bae, “Dependence of Positive Bias Stress Instability on Threshold Voltage and Its Origin in Solution-Processed Aluminum-Doped Indium Oxide Thin-Film Transistors,” *Nanomaterials*, vol. 14, no. 5, p. 466, Mar. 2024.
- [131] M. S. Krishnan and V. Kol’dyaev, “Modeling Kinetics of Gate Oxide Reliability Using Stretched Exponents,” in *2002 IEEE International Reliability Physics Symposium, 40th Annual (Cat. No.02CH37320)*, ser. RELPHY-02. IEEE, 2002, pp. 421–422.
- [132] C.-H. Liu, M. T. Lee, C.-Y. Lin, J. Chen, Y. T. Loh, F.-T. Liou, K. Schroefer, A. A. Katsetos, Z. Yang, N. Rovedo, T. B. Hook, C. Wann, and T.-C. Chen, “Mechanism of Threshold Voltage Shift (ΔV_{th}) Caused by Negative Bias Temperature Instability (NBTI) in Deep Submicron pMOSFETs,” *Japanese Journal of Applied Physics*, vol. 41, no. Part 1, No. 4B, pp. 2423–2425, Apr. 2002.
- [133] A. Suresh, P. Wellenius, and J. F. Muth, “High Performance Transparent Thin Film Transistors Based on Indium Gallium Zinc Oxide as the Channel Material,” in *2007 IEEE International Electron Devices Meeting*. IEEE, 2007, pp. 587–590.
- [134] I. Manić, D. Danković, S. Djorić-Veljković, V. Davidović, S. Golubović, and N. Stojadinović, “Effects of Low Gate Bias Annealing in NBT Stressed P-Channel Power VDMOSFETs,” *Microelectronics Reliability*, vol. 49, no. 9–11, pp. 1003–1007, Sep. 2009.
- [135] N. Stojadinović, I. Manić, D. Danković, S. Djorić-Veljković, V. Davidović, A. Prijić, S. Golubović, and Z. Prijić, “Negative Bias Temperature Instability in Thick Gate Oxides for Power MOS Transistors,” in *Bias Temperature Instability for Devices and Circuits*, T. Grasser, Ed. Springer, New York, Sep. 2013, pp. 533–559.
- [136] C. R. Rao and H. Toutenburg, *Linear Models*. Springer, New York, 1995.

- [137] T. Grasser, W. Gos, V. Sverdlov, and B. Kaczer, “The Universality of NBTI Relaxation and its Implications for Modeling and Characterization,” in *2007 IEEE International Reliability Physics Symposium, 45th Annual*. IEEE, Apr. 2007, pp. 268–280.
- [138] N. Mitrović, D. Danković, B. Randelović, Z. Prijić, and N. Stojadinović, “Modeling of Static NBT Stressing in P-Channel VDMOSFETs using Least Square Method,” *Informacije MIDEEM - Journal of Microelectronics, Electronic Components and Materials*, pp. 205–214, Nov. 2020.
- [139] D. Danković, I. Manić, A. Prijić, V. Davidović, Z. Prijić, S. Golubović, S. Djorić-Veljković, A. Paskaleva, D. Spassov, and N. Stojadinović, “A Review of Pulsed NBTI in P-Channel Power VDMOSFETs,” *Microelectronics Reliability*, vol. 82, pp. 28–36, Mar. 2018.
- [140] A. Testa, S. De Caro, S. Panarello, S. Patane, R. Letor, S. Russo, S. Poma, and D. Patti, “Stress Analysis and Lifetime Estimation on Power MOSFETs for Automotive ABS Systems,” in *2008 IEEE Power Electronics Specialists Conference*. IEEE, Jun. 2008, pp. 1169–1175.
- [141] N. Mitrović, S. Veljković, V. Davidović, S. Djorić-Veljković, S. Golubović, E. Živanović, Z. Prijić, and D. Danković, “Impact of Negative Bias Temperature Instability on P-Channel Power VDMOSFET Used in Practical Applications,” *Microelectronics Reliability*, vol. 138, p. 114634, Nov. 2022.
- [142] P. B. Green and L. Zheng, “Gate Drive for Power MOSFETs in Switching Applications,” Infineon, Tech. Rep., 2022.
- [143] T. P. Aichinger, “On the Role of Hydrogen in Silicon Device Degradation and Metalization Processing,” Ph.D. dissertation, Technical University of Vienna, Faculty of Electrical Engineering and Information Technology, 2010.
- [144] I. Manić, D. Danković, V. Davidović, A. Prijić, S. Djorić-Veljković, S. Golubović, Z. Prijić, and N. Stojadinović, “Effects of Pulsed Negative Bias Temperature Stressing in P-Channel Power VDMOSFETs,” *Facta Universitatis, Series: Electronics and Energetics*, vol. 29, no. 1, pp. 49–60, 2016.
- [145] D. Danković, N. Stojadinović, Z. Prijić, I. Manić, V. Davidović, A. Prijić, S. Djorić-Veljković, and S. Golubović, “Analysis of Recoverable and Permanent Components of Threshold Voltage Shift in NBT Stressed P-Channel Power VDMOSFET,” *Chinese Physics B*, vol. 24, no. 10, p. 106601, Sep. 2015.
- [146] A. Chenouf, B. Djeddar, A. Benabdelmoumene, and H. Tahi, “On the Circuit-Level Reliability Degradation Due to AC NBTI Stress,” *IEEE Transactions on Device and Materials Reliability*, vol. 16, no. 3, pp. 290–297, Sep. 2016.
- [147] *33521A Function /Arbitrary Waveform Generator, Data sheet*, Keysight, 2021.
- [148] C. Schlünder, K. Puschkarsky, G. A. Rott, W. Gustin, and H. Reisinger, “NBTI: Experimental Investigation, Physical Modelling, Circuit Aging Simulations and Verification,” *Microelectronics Reliability*, vol. 82, pp. 1–10, Mar. 2018.

- [149] K. Puschkarsky, H. Reisinger, C. Schlunder, W. Gustin, and T. Grasser, "Voltage-Dependent Activation Energy Maps for Analytic Lifetime Modeling of NBTI Without Time Extrapolation," *IEEE Transactions on Electron Devices*, vol. 65, no. 11, pp. 4764–4771, Nov. 2018.
- [150] K. Puschkarsky, H. Reisinger, G. A. Rott, C. Schlunder, W. Gustin, and T. Grasser, "An Efficient Analog Compact NBTI Model for Stress and Recovery Based on Activation Energy Maps," *IEEE Transactions on Electron Devices*, vol. 66, no. 11, pp. 4623–4630, Nov. 2019.
- [151] J. H. Li, "Proof of Lagrange Mean Value Theorem and its Application in Text Design," *Chemical Engineering Transactions*, vol. 51, p. 325–330, 2016.
- [152] A. Prijić, D. Danković, and Z. Prijić, *Uvod u poluprovodničke komponente i njihovu primenu*. Elektronski fakultet, Univerzitet u Nišu, 2020.
- [153] "Driving Vibration Motors with Pulse Width Modulation, AB-012," Precision Micro-drives, Tech. Rep., 2021.
- [154] P. K. Tamma, "Selecting P-channel MOSFETs for Switching Applications," Infineon, Application Note AN-LV-11-2013-V1.0-EN-059, Tech. Rep., 2013.
- [155] K. W. A. Chee and T. Ye, *Towards New Generation Power MOSFETs for Automotive Electric Control Units*. InTech, Aug. 2018.
- [156] "P-Channel MOSFETs, the Best Choice for High-Side Switching," Vishay, Application Note 804, 1997.
- [157] "Power MOSFET Applications in Automotive BLDC and PMSM drives," Nexperia, Tech. Rep., 2022.
- [158] "Driving PWM Loads with TI High-Side Switches," Texas Instruments, Tech. Rep., 2021.
- [159] T. Uesugi, "Power Devices for Automotive Applications - Reviews of Technologies for Low Power Dissipation and High Ruggedness," in *R&D Review of Toyota CRDL*, vol. 35, no. 2, 2000, pp. 1–7.
- [160] S. Chen, J. Chen, Y. Chi, F. Liu, and Y. He, "Modeling to Predict the Time Evolution of Negative Bias Temperature Instability (NBTI) Induced Single Event Transient Pulse Broadening," *Science China Technological Sciences*, vol. 55, no. 4, pp. 1101–1106, Feb. 2012.
- [161] R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Impact of NBTI-Induced Pulse-Width Modulation on SET Pulse-Width Measurement," *IEEE Transactions on Nuclear Science*, vol. 60, no. 4, pp. 2630–2634, Aug. 2013.
- [162] D. Danković, I. Manić, V. Davidović, A. Prijić, S. Djorić-Veljković, S. Golubović, Z. Prijić, and N. Stojadinović, "Lifetime Estimation in NBT-Stressed P-Channel Power VD-MOSFETS," *Facta Universitatis, Series: Automatic Control and Robotics*, vol. 11, no. 1, pp. 15–23, 2012.

- [163] N. Mitrović, S. Veljković, Z. Prijić, and D. Danković, “Lifetime Estimation of P-Channel Power VDMOSFETs Applied in Automotive Applications,” in *2023 Zooming Innovation in Consumer Technologies Conference (ZINC)*. IEEE, May 2023, pp. 97–100.
- [164] H. Hu, Z. Lin, and X. Chen, “A Novel High Voltage Start-up Current Source for SMPS,” in *2012 24th International Symposium on Power Semiconductor Devices and ICs*. IEEE, Jun. 2012, pp. 197–200.
- [165] E. Marcault, A. Bourennane, P. Tounsi, M. Breil, and J. Dorkel, “VDMOS Electrical Parameters Potentially Usable as Mechanical State Indicators for Power VDMOS Assemblies,” *IET Circuits, Devices and Systems*, vol. 8, no. 3, pp. 188–196, May 2014.
- [166] N. Stojadinović, S. Djorić-Veljković, V. Davidović, S. Golubović, S. Stanković, A. Prijić, Z. Prijić, I. Manić, and D. Danković, “NBTI and Irradiation Related Degradation Mechanisms in Power VDMOS Transistors,” *Microelectronics Reliability*, vol. 88–90, pp. 135–141, Sep. 2018.
- [167] S. Veljković, N. Mitrović, V. Davidović, S. Golubović, S. Djorić-Veljković, A. Paskaleva, D. Spassov, S. Stanković, M. Andjelković, Z. Prijić, I. Manić, A. Prijić, G. Ristić, and D. Danković, “Response of Commercial P-Channel Power VDMOS Transistors to Ionizing Irradiation and Bias Temperature Stress,” *Journal of Circuits, Systems and Computers*, vol. 31, no. 18, p. 115213, Jul. 2022.
- [168] M. A. G. Silveira, R. B. B. Santos, F. G. Leite, N. E. Araújo, K. H. Cirne, M. A. A. Melo, A. Rallo, V. A. P. Aguiar, F. Aguirre, E. L. A. Macchione, N. Added, and N. H. Medina, “Electric Field and Temperature Effects in Irradiated MOSFETs,” in *AIP Conference Proceedings*, 2016, p. 080004.
- [169] G. S. Ristić, S. D. Ilić, R. Duane, M. S. Andjelković, A. J. Palma, A. M. Lallena, M. D. Krstić, S. J. Stanković, and A. B. Jakšić, “Radiation Sensitive MOSFETs Irradiated with Various Positive Gate Biases,” *Journal of Radiation Research and Applied Sciences*, vol. 14, no. 1, pp. 353–357, Dec. 2021.
- [170] G. S. Ristić, N. D. Vasović, M. Kovačević, and A. B. Jakšić, “The Sensitivity of 100 nm RADFETs with Zero Gate Bias up to Dose of 230 Gy(Si),” *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, vol. 269, no. 23, pp. 2703–2708, Dec. 2011.
- [171] M. S. Andjelković, G. S. Ristić, and A. B. Jakšić, “Using RADFET for the Real-Time Measurement of Gamma Radiation Dose Rate,” *Measurement Science and Technology*, vol. 26, no. 2, p. 025004, Jan. 2015.
- [172] G. S. Ristić, M. Andjelković, and A. B. Jakšić, “The Behavior of Fixed and Switching Oxide Traps of RADFETs During Irradiation up to High Absorbed Doses,” *Applied Radiation and Isotopes*, vol. 102, pp. 29–34, Aug. 2015.
- [173] J. Román-Raya, I. Ruiz-García, P. Escobedo, A. J. Palma, D. Guirado, and M. A. Carvajal, “Light-Dependent Resistors as Dosimetric Sensors in Radiotherapy,” *Sensors*, vol. 20, no. 6, p. 1568, Mar. 2020.

- [174] I. Ruiz-García, J. Román-Raya, J. Banqueri, A. J. Palma, D. Guirado, and M. A. Carvajal, "Commercial Photodiodes and Phototransistors as Dosimeters of Photon Beams for Radiotherapy," *Medical Physics*, vol. 48, no. 9, pp. 5440–5447, Jul. 2021.
- [175] I. Ruiz-García, J. Román-Raya, P. Escobedo, M. Andjelkovic, D. Guirado, A. Palma, and M. Carvajal, "Thermal Drift Reduction in Photodiode Dosimeters with Switching Bias," *Measurement*, vol. 199, p. 111538, Aug. 2022.
- [176] V. Davidović, D. Danković, S. Golubović, S. Djorić-Veljković, I. Manić, Z. Prijić, A. Prijić, N. Stojadinović, and S. Stanković, "NBT Stress and Radiation Related Degradation and Underlying Mechanisms in Power VDMOSFETs," *Facta Universitatis, Series: Electronics and Energetics*, vol. 31, no. 3, pp. 367–388, 2018.
- [177] M. A. Carvajal, P. Escobedo, M. Jiménez-Melguizo, M. S. Martínez-García, F. Martínez-Martí, A. Martínez-Olmos, and A. J. Palma, "A Compact Dosimetric System for MOSFETs Based on Passive NFC Tag and Smartphone," *Sensors and Actuators A: Physical*, vol. 267, pp. 82–89, Nov. 2017.
- [178] S. D. Ilić, M. S. Andjelković, R. Duane, A. J. Palma, M. Sarajlić, S. Stanković, and G. S. Ristić, "Recharging Process of Commercial Floating-Gate MOS Transistor in Dosimetry Application," *Microelectronics Reliability*, vol. 126, p. 114322, Nov. 2021.
- [179] G. S. Ristić, S. D. Ilić, S. Veljković, A. S. Jevtić, S. Dimitrijević, A. J. Palma, S. Stanković, and M. S. Andjelković, "Commercial P-Channel Power VDMOSFET as X-Ray Dosimeter," *Electronics*, vol. 11, no. 6, p. 918, Mar. 2022.
- [180] A. Pousibet-Garrido, P. Escobedo, D. Guirado, G. S. Ristić, A. J. Palma, and M. A. Carvajal, "Batteryless NFC Dosimeter Tag for Ionizing Radiation Based on Commercial MOSFET," *Sensors and Actuators A: Physical*, vol. 354, p. 114295, May 2023.
- [181] N. Mitrović, D. Guirado, D. Danković, A. J. Palma, G. Ristić, and M. A. Carvajal, "Consecutive Irradiation and Thermal Annealing of Commercial P-Channel Power VDMOSFETs," in *2023 IEEE 33rd International Conference on Microelectronics (MIEL)*. IEEE, Oct. 2023, pp. 273–276.
- [182] K. Niskanen, H. Kettunen, M. Lahti, M. Rossi, J. Jaatinen, D. Söderström, and A. Javanainen, "Effect of 20 MeV Electron Radiation on Long Term Reliability of SiC Power MOSFETs," *IEEE Transactions on Nuclear Science*, vol. 70, no. 4, pp. 456–461, Apr. 2023.
- [183] *Institut za nuklearne nauke „Vinča"*. <https://www.vin.bg.ac.rs/>.
- [184] S. Djorić-Veljković, I. Manić, V. Davidović, D. Danković, S. Golubović, and N. Stojadinović, "Annealing of Radiation-Induced Defects in Burn-in Stressed Power VDMOSFETs," *Nuclear Technology and Radiation Protection*, vol. 26, no. 1, pp. 18–24, 2011.
- [185] D. Danković, V. Davidović, S. Golubović, S. Veljković, N. Mitrović, and S. Djorić-Veljković, "Radiation and Annealing Related Effects in NBT Stressed P-Channel Power VDMOSFETs," *Microelectronics Reliability*, vol. 126, p. 114273, Nov. 2021.

- [186] S. Djorić-Veljković, I. Manić, V. Davidović, D. Danković, S. Golubović, and N. Stojadinović, “Annealing Influence on Recovery of Electrically Stressed Power Vertical Double-Diffused Metal Oxide Semiconductor Transistors,” *Japanese Journal of Applied Physics*, vol. 54, no. 6, p. 064101, May 2015.
- [187] X. Li *et al.*, “Degradation of VDMOS Under Simultaneous and Sequential Stress of Gamma Ray Irradiation and Annealing Process,” *IEEE Transactions on Electron Devices*, vol. 70, no. 6, pp. 2947–2955, Jun. 2023.
- [188] S. Wang, P. Liu, and J. Zhang, “Threshold Voltage Adjustment of pMOS-Radiation Field-Effect Transistor with Thick Thermal Oxide,” *Micro and Nano Letters*, vol. 8, no. 10, pp. 575–578, Oct. 2013.
- [189] G. S. Ristić, S. D. Ilić, M. S. Andjelković, R. Duane, A. J. Palma, A. M. Lalena, M. D. Krstić, and A. B. Jaksić, “Sensitivity and Fading of Irradiated RADFETs With Different Gate Voltages,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 1029, p. 166473, Apr. 2022.
- [190] V. Davidović, N. Stojadinović, D. Danković, S. Golubović, I. Manić, S. Djorić-Veljković, and S. Dimitrijević, “Turn-Around of Threshold Voltage in Gate Bias Stressed P-Channel Power Vertical Double-Diffused Metal–Oxide–Semiconductor Transistors,” *Japanese Journal of Applied Physics*, vol. 47, no. 8R, p. 6272, Aug. 2008.
- [191] X. R. Ye, C. Chen, Y. X. Wang, L. Wang, and G. F. Zhai, “VDMOSFET HEF Degradation Modelling Considering Turn-around Phenomenon,” *Microelectronics Reliability*, vol. 80, pp. 37–41, Jan. 2018.
- [192] D. N. Mitić, *Elektrotehnika I*. Petrograf, Niš, 2007.
- [193] *CD4007, Data sheet*, Texas Instruments.
- [194] M. A. Carvajal, M. S. Martínez-García, A. Martínez-Olmos, J. Banqueri, and A. J. Palma, “A Simplified Thermal Model for Lateral MOSFET and its Application to Temperature Monitoring,” *Semiconductor Science and Technology*, vol. 29, no. 9, p. 095017, Aug. 2014.
- [195] M. S. Martínez-García, A. J. Palma, M. Lallena-Arquillo, A. Jaksić, J. T. del Río, D. G. Llorente, J. Banqueri, and M. A. Carvajal, “Accuracy Improvement of MOSFET Dosimeters in Case of Variation in Thermal Parameters,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 2, pp. 487–493, Apr. 2015.
- [196] M. A. Carvajal, M. S. Martínez-García, D. Guirado, D. Martínez-Olmos, and A. J. Palma, “Thermal Compensation Technique using the Parasitic Diode for DMOS Transistors,” *Sensors and Actuators A: Physical*, vol. 249, pp. 249–255, Oct. 2016.
- [197] Infineon, “Power MOSFET Basics,” Tech. Rep., 2023.
- [198] R. O. Ocaya, “An Experiment to Profile the Voltage, Current and Temperature Behaviour of a P–N Diode,” *European Journal of Physics*, vol. 27, no. 3, pp. 625–633, Apr. 2006.

- [199] *IRF9530, Data sheet*, International Rectifier, 1998.
- [200] *B1500A Semiconductor Device Parameter Analyzer Datasheet*, Keysight, 2018.
- [201] *VCL4006 Temperature and Climatic Test Systems*, Votsch Industrietechnik, 2005.
- [202] *Siemens Artiste Linear Accelerator*. <https://www.oncologysystems.com/inventory/used-linear-accelerator/siemens-artiste-linear-accelerator/>, Siemens.
- [203] *Spyder software tool*, Spyder, 2024.
- [204] B. Popović and P. Popović, *Statističko modeliranje*. Univerzitet u Nišu, Prirodno–matematički fakultet, 2018.
- [205] M. S. Ibrahim, W. Abbas, M. Waseem, C. Lu, H. H. Lee, J. Fan, and K.-H. Loo, “Long-Term Lifetime Prediction of Power MOSFET Devices Based on LSTM and GRU Algorithms,” *Mathematics*, vol. 11, no. 15, p. 3283, Jul. 2023.
- [206] D. Flandre, V. Kilchytska, and T. Rudenko, “ g_m/i_d Method for Threshold Voltage Extraction Applicable in Advanced MOSFETs With Nonlinear Behavior Above Threshold,” *IEEE Electron Device Letters*, vol. 31, no. 9, pp. 930–932, Sep. 2010.
- [207] G. Espineira, A. J. Garcia-Loureiro, and N. Seoane, “Does the Threshold Voltage Extraction Method Affect Device Variability?” *IEEE Journal of the Electron Devices Society*, vol. 9, pp. 469–475, 2021.
- [208] V. Graziano, L. Guarrasi, and A. Pavlin, “VIPower: High Side Drivers for Automotive,” STMicroelectronics, Application Note AN1596, 2002.
- [209] H.-C. Chow, P. Chatterjee, and W.-S. Feng, “A Simple Drain Current Model for MOS Transistors with the Lorentz Force Effect,” *Sensors*, vol. 17, no. 6, p. 1199, May 2017.
- [210] H. Abdelhamid, A. M. Anis, M. E. Aboulwafa, and M. I. Eladawy, “Magnetic Field Effect on Threshold Voltage for Ultrathin Silicon Gate-All-Around Nanowire Field-Effect-Transistors,” *Silicon*, vol. 12, no. 1, pp. 49–57, Feb. 2019.
- [211] O. V. Koplak, A. I. Dmitriev, T. Kakeshita, and R. B. Morgunov, “Magnetic Field Effect on Spin Dependent Conversion of Nonequilibrium Si–O Chemical Bonds on the Czochralski-grown Si Crystal Surface,” *Journal of Applied Physics*, vol. 110, no. 4, p. 044905, Aug. 2011.
- [212] G. T. Hasan, A. H. Mutlaq, K. J. Ali, and M. A. Saad, “Modeling of Magnetic Sensitivity of the Metal-Oxide-Semiconductor Field-Effect Transistor With Double Gates,” *International Journal of Electrical and Computer Engineering (IJECE)*, vol. 13, no. 3, pp. 2632–2639, Jun. 2023.
- [213] N. Mitrović, S. Veljković, and D. Danković, “Impact of Low Magnetic Field on NBT Stressed P-Channel Power VDMOSFETs,” in *16th International Conference on Applied Electromagnetics – PES 2023*, 2023, pp. 34–37.
- [214] *N35 Disc Magnet Datasheet*, Farnell.
- [215] J. V. Surutka, *Elektromagnetika, osmo izdanje*. Akademska misao, Beograd, 2006.

- [216] M. Popović and M. Ponjavić, *Osnovi analogne elektronike*. Elektrotehnički fakultet, Beograd, 2020.
- [217] N. Mitrović, S. Veljković, Z. Prijić, and D. Danković, “Design and Testing of Low-Cost Portable Magnetometer for Consumer Applications,” in *2024 Zooming Innovation in Consumer Technologies Conference (ZINC)*. IEEE, May 2024, pp. 96–99.
- [218] *GW Instek Programmable Power Supply, User manual*, GW Instek, 2014.
- [219] *DL3000 Series Programmable DC Electronic Load, datasheet*, Rigol Technologies, 2014.
- [220] *DS1000Z-E Series Digital Oscilloscope, datasheet*, Rigol Technologies, 2020.
- [221] *BMM150 Geomagnetic Sensor, datasheet*, Bosch, Apr. 2013.
- [222] N. Karimi and K. Huang, “Prognosis of NBTI Aging Using a Machine Learning Scheme,” in *2016 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT)*. IEEE, Sep. 2016, pp. 7–10.
- [223] A. Bu and J. Li, “A Learning-Based Framework for Circuit Path Level NBTI Degradation Prediction,” *Electronics*, vol. 9, no. 11, p. 1976, Nov. 2020.
- [224] S. Choi, D. G. Park, M. J. Kim, S. Bang, J. Kim, S. Jin, K. S. Huh, D. Kim, J. Mitard, C. E. Han, and J. W. Lee, “Automatic Prediction of Metal–Oxide–Semiconductor Field-Effect Transistor Threshold Voltage Using Machine Learning Algorithm,” *Advanced Intelligent Systems*, vol. 5, no. 1, p. 2200302, Dec. 2022.
- [225] K. Singh and S. Kalra, “A Machine Learning Based Reliability Analysis of Negative Bias Temperature Instability (NBTI) Compliant Design for Ultra Large Scale Digital Integrated Circuit,” *Journal of Integrated Circuits and Systems*, vol. 18, no. 2, pp. 1–12, Sep. 2023.
- [226] J. Hutchins, S. Alam, D. S. Rampini, B. G. Oripov, A. N. McCaughan, and A. Aziz, “Machine Learning-Powered Compact Modeling of Stochastic Electronic Devices Using Mixture Density Networks,” *Scientific Reports*, vol. 14, no. 1, pp. 1–10, Mar. 2024.

Биографија аутора

Никола Митровић рођен је 13.07.1994. године у Нишу. Основну школу „Стефан Немања“ и гимназију „Светозар Марковић“ завршио је у Нишу, обе са одличним успехом и као носилац дипломе „Вук Караџић“. Електронски факултет у Нишу, модул Електронске компоненте и микросистеми, завршио је 13. 10. 2017. године. Мастер студије уписао је 2017. године на Електронском факултету у Нишу, на студијском програму Електроника и микросистеми. Мастер рад одбранио је 28.09.2018. године са оценом 10. Током студирања за остварене резултате добитник је већег броја похвалница, повеља и награда.

Докторске студије уписао је 2018. године на Електронском факултету у Нишу из научне области Нанотехнологије и микросистеми. Од марта 2019. године до децембра 2020. године био је докторант стипендиста Министарства просвете науке и технолошког развоја Републике Србије где је прикључен пројекту у области технолошког развоја „Развој, оптимизација и примена технологија самонапајајућих сензора“.

Од 30. 12. 2020. године запослен је као асистент за ужу научну област Микроелектроника и микросистеми на Електронском факултету у Нишу, где је реизабран 2023. године. Као асистент је ангажован у настави за држање вежби на осам предмета. Један је од аутора помоћног уџбеника под насловом „Лабораторијски практикум са задацима за самосталан рад из предмета Аналогна микроелектроника“, који је издао Електронски факултет у Нишу и књиге „Примена ARM микроконтролера“ коју је издала Академска Мисао из Београда. Члан је IEEE удружења од 2016. године.

До сада је објавио укупно 69 радова, од чега 15 у научним часописима, 28 радова на међународним и 26 радова на домаћим научним скуповима. Према подацима са сајта *Scopus* његови радови су цитирани 120 пута.

Списак објављених научних радова

Научни радови објављени у водећим међународним часописима

1. Miloš Marjanović, Stefan D. Ilić, Sandra Veljković, **Nikola Mitrović**, Umutcan Gurer, Ozan Yilmaz, Aysegul Kahraman, Aliekber Aktag, Huseyin Karacali, Erhan Budak, Danijel Danković, Goran Ristić and Ercan Yilmaz, “The SPICE Modeling of a Radiation Sensor Based on a MOSFET with a Dielectric HfO₂/SiO₂ Double-Layer”, *Sensors*, vol. 25, no. 2, p. 546, 2025, DOI: <https://doi.org/10.3390/s25020546>.
2. Snežana Djorić-Veljković, Emilija Živanović, Vojkan Davidović, Sandra Veljković, **Nikola Mitrović**, Goran Ristić, Albena Paskaleva, Dencho Spassov, Danijel Danković, “Recovery Analysis of Sequentially Irradiated and NBT-Stressed VDMOS Transistors”, *Micromachines*, vol. 16, no. 1, p. 27, 2025, DOI: <https://doi.org/10.3390/mi16010027>.
3. Dencho Spassov, Albena Paskaleva, Elżbieta Guziewicz, Tzvetan Ivanov, Todor Stanchev, Vojkan Davidović, Sandra Veljković, **Nikola Mitrović**, Danijel Danković, “Impact of Trapped Charge on the Breakdown Phenomena in HfO₂/Al₂O₃ — Based Memory Capacitors”, *Journal of Circuits, Systems and Computers*, accepted paper, DOI: 10.1142/S0218126625410038.
4. Emilija Živanović, Sandra Veljković, **Nikola Mitrović**, Igor Jovanović, Snežana Đorić-Veljković, Albena Paskaleva, Dencho Spassov, Danijel Danković, “A Reliability Investigation of VDMOS Transistors: Performance and Degradation Caused by Bias Temperature Stress”, *Micromachines*, vol. 15, no. 4, p. 503, 2024, ISSN 2072-666X, DOI: 10.3390/mi15040503.
5. Sandra Veljković, **Nikola Mitrović**, Igor Jovanović, Emilija Živanović, Albena Paskaleva, Dencho Spassov, Dragan Mančić, Danijel Danković, “Self-Heating of Stressed VDMOS Devices Under Specific Operating Conditions”, *Microelectronics Reliability*, vol. 150, p. 115213, 2023, ISSN 0026-2714, DOI: 10.1016/j.microrel.2023.115213.
6. Danijel Danković, Miloš Marjanović, **Nikola Mitrović**, Emilija Živanović, Milan Danković, Aneta Prijić, Zoran Prijić, “The Importance of Students’ Practical Work in High Schools for Higher Education in Electronic Engineering”, *IEEE Transaction on Education*, vol. 66, no. 2, pp. 146-155, 2023, ISSN 0018-9359, DOI: 10.1109/TE.2022.3202629.
7. **Nikola Mitrović**, Sandra Veljković, Vojkan Davidović, Snežana Đorić-Veljković, Snežana Golubović, Emilija Živanović, Zoran Prijić, Danijel Danković, “Impact of Negative Bias Temperature Instability on P-Channel Power VDMOSFET Used in Practical Applications”, *Microelectronics Reliability*, vol. 138, no. 9, p. 114634, 2022, ISSN 0026-2714, DOI: 10.1016/j.microrel.2022.114634.

8. Sandra Veljković, **Nikola Mitrović**, Vojkan Davidović, Snežana Golubović, Snežana Đorić-Veljković, Albena Paskaleva, Dencho Spassov, Slobodan Stanković, Marko Anđelković, Zoran Prijić, Ivica Manić, Aneta Prijić, Goran Ristić, Danijel Danković, “Response of Commercial P-Channel Power VDMOS Transistors to Ionizing Irradiation and Bias Temperature Stress”, *Journal of Circuits, Systems and Computers*, vol. 31, no. 18, p. 2240003, 2022, ISSN 0218-1266, DOI: 10.1142/S0218126622400035.
9. Danijel Danković, Vojkan Davidović, Snežana Golubović, Sandra Veljković, **Nikola Mitrović**, Snežana Djorić-Veljković, “Radiation and Annealing Related Effects in NBT Stressed P-Channel Power VDMOSFETs”, *Microelectronics Reliability*, vol. 126, p. 114273, 2021, ISSN 0026-2714, DOI: 10.1016/j.microrel.2021.114273.
10. **Nikola Mitrović**, Danijel Danković, Branislav Ranđelović, Zoran Prijić, Ninoslav Stojadinović, “Modeling of Static Negative Bias Temperature Stressing in P-Channel VDMOSFETs using Least Square Method”, *Informacije MIDEM, Journal of Microelectronics, Electronic Components and Materials*, vol. 50, no. 3, pp. 205-214, 2020, ISSN 0352-9045, DOI: 10.33180/infmidem2020.305.
11. Danijel Danković, **Nikola Mitrović**, Zoran Prijić, Ninoslav Stojadinović, “Modeling of NBTS Effects in P-Channel Power VDMOSFETs”, *IEEE Transactions on Device and Materials Reliability*, vol. 20, no. 1, pp. 204-213, 2020, ISSN 1530-4388, DOI: 10.1109/TDMR.2020.2974131.

Научни радови објављени у домаћим часописима

12. Sandra Veljković, **Nikola Mitrović**, Vojkan Davidović, Emilija Živanović, Goran Ristić, Danijel Danković, “Successive Irradiation and Bias Temperature Stress Induced Effects on Commercial P-Channel Power VDMOS Transistors”, *Facta Universitatis, Series: Electronics and Energetics*, vol. 37, no. 4, pp. 561-579, 2024, ISSN: 0353-3670, DOI: 10.2298/FUEE2404561V.
13. Snežana Đorić-Veljković, **Nikola Mitrović**, Sandra Veljković, Vojkan Davidović, Emilija Živanović, Ivica Manić, Danijel Danković, “The Role of OLED Devices in the Development of Smart Cities”, *Facta Universitatis, Series: Architecture and Civil Engineering*, pp. 1-11, 2024, ISSN: 0354-4605, DOI: 10.2298/FUACE230630032D.
14. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, Danijel Danković, “Implementation and Testing of Websocket Protocol in ESP32 based IoT systems”, *Facta Universitatis, Series: Electronics and Energetics*, vol. 36, no. 2, pp. 267-284, 2023, ISSN: 0353-3670, DOI: 10.2298/FUEE2302267M.
15. **Nikola Mitrović**, Danijel Danković, Zoran Prijić, Ninoslav Stojadinović, “Modeling of NBTI degradation in P-Channel VDMOSFETs”, *Journal of Applied Engineering Science*, vol. 18, no. 4, 2020, ISSN 1451-4117, DOI: 10.5937/jaes0-26760.

Научни радови саопштени на међународним научним скуповима и штампани у одговарајућим зборницима радова

16. Sandra Veljković, **Nikola Mitrović**, Miloš Marjanović, Emilija Živanović, Vojkan Davidović, Goran Ristić, Danijel Danković, “Stress-Induced Degradations and Self-Heating Effects in P-Channel Power VDMOS Transistors”, Proc. of XVII International Conference on Systems, Automatic Control and Measurements (SAUM 2024), Niš, Serbia, November 2024, pp. 125-128, DOI: 10.46793/SAUM24.125V.
17. Sandra Veljković, **Nikola Mitrović**, Vojkan Davidović, Albena Paskaleva, Dencho Spassov, Igor Jovanović, Emilija Živanović, Goran Ristić, Danijel Danković, “The effects of NBT stressing on later operation of power VDMOS transistors under normal conditions”, Proc. of 35th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2024), Parma, Italy, September 2024, pp. 1-4.
18. Miloš Marjanović, Sandra Veljković, **Nikola Mitrović**, Emilija Živanović, Aleksandar Gavrić, Danijel Danković, “Modified SPICE-Compatible Model Integrating NBTI and Self-Heating Effects for VDMOS Transistors”, Proc. of 11th International Conference on Electrical, Electronic and Computing Engineering (IcETRAN 2024), Niš, Serbia, June 2024, pp. 1-6, DOI: 10.1109/IcETRAN62308.2024.10645094.
19. **Nikola Mitrović**, Sandra Veljković, Zoran Prijić, Danijel Danković, “Design and Testing of Low-Cost Portable Magnetometer for Consumer Applications”, Proc. of Zooming Innovation in Consumer Technologies Conference (ZINC 2024), Novi Sad, Serbia, May 2024, pp. 96-99, DOI: 10.1109/ZINC61849.2024.10579294.
20. **Nikola Mitrović**, Antonio Pousibet-Garrido, Sandra Veljković, Isidoro Ruiz-Garica, Danijel Danković, Alberto J. Palma, Goran Ristić, Miguel A. Carvajal, “NFC Implementation Methods for ESP32 Based IoT Systems”, Proc. of 16th IEEE International Conference on Advanced Technologies, Systems and Services in Telecommunications (TELSIKS 2023), Niš, Serbia, October 2023, pp. 266-269, DOI: 10.1109/TELSIKS57806.2023.10316112.
21. Miloš Marjanović, **Nikola Mitrović**, Sandra Veljković, Emilija Živanović, Danijel Danković, “Is Microelectronics Recognizable in Serbian School System?”, Proc. of IEEE 33rd International Conference on Microelectronics (MIEL 2023), Niš, Serbia, October 2023, pp. 317-322, DOI: 10.1109/MIEL58498.2023.10315877.
22. Sandra Veljković, **Nikola Mitrović**, Snežana Đorić-Veljković, Vojkan Davidović, Ivica Manić, Emilija Živanović, Srboљjub Stanković, Marko Anđelković, Goran Ristić, Albena Paskaleva, Dencho Spassov, “Effects in Commercial p-Channel Power VDMOS Transistors Initiated by Negative Bias Temperature Stress and Irradiation”, Proc. of IEEE 33rd International Conference on Microelectronics (MIEL 2023), Niš, Serbia, October 2023, pp. 277-280, DOI: 10.1109/MIEL58498.2023.10315932.
23. **Nikola Mitrović**, Damian Guirado, Danijel Danković, Alberto J. Palma, Goran Ristić, Miguel A. Carvajal, “Effects in Commercial p-Channel Power VDMOS Transistors Initiated by Negative Bias Temperature Stress and Irradiation”, Proc. of IEEE 33rd International Conference on Microelectronics (MIEL 2023), Niš, Serbia, October 2023, pp. 273-276, DOI: 10.1109/MIEL58498.2023.10315908.

24. Dencho Spassov, Albena Paskaleva, Elzbieta Guziewicz, Tzvetan Ivanov, Todor Stanchev, Vojkan Davidović, Sandra Veljković, **Nikola Mitrović**, Danijel Danković, "Characterization of the Electric Breakdowns in Metal-Insulator-Silicon Capacitor Structures with HfO₂/Al₂O₃ Layers for Non-Volatile Memory Applications", Proc. of IEEE 33rd International Conference on Microelectronics (MIEL 2023), Niš, Serbia, October 2023, pp. 63-66, DOI: 10.1109/MIEL58498.2023.10315813.
25. Miloš Marjanović, Umutcan Gurer, **Nikola Mitrović**, Ozan Yilmaz, Danijel Danković, Erhan Budak, Goran Ristić, Ercan Yilmaz, "SPICE Modeling of RADFETs with Different Gate Oxide Thicknesses", Proc. of IEEE 33rd International Conference on Microelectronics (MIEL 2023), Niš, Serbia, October 2023, pp. 269-272, DOI: 10.1109/MIEL58498.2023.10315808.
26. Sandra Veljković, **Nikola Mitrović**, Igor Jovanović, Emilija Živanović, Albena Paskaleva, Dencho Spassov, Dragan Mančić, Danijel Danković, "Self-Heating of Stressed VDMOS Devices Under Specific Operating Conditions", Proc. of 34th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2023), Toulouse, France, October 2023, vol. 150, p. 115213, 2023, DOI: 10.1016/j.microrel.2023.115213.
27. Marko Anđelković, Junchao Chen, Rizwan Tariq Syed, Fabian Vargas, Markus Ulbricht, Miloš Krstić, Stefan Ilić, Miloš Marjanović, Sandra Veljković, **Nikola Mitrović**, Danijel Danković, Goran Ristić, Russell Duane, Nikola Vasović, Aleksandar Jakšić, Alberto J. Palma, Antonio M. Lallena, Miguel A. Carvajal, "Towards a Smart Multi-Sensor Ionizing Radiation Monitoring System", Proc. of 26th Euromicro Conference on Digital System Design (DSD 2023), Golem, Albania, September 2023, pp. 286-293, DOI: 10.1109/DSD60849.2023.00048.
28. **Nikola Mitrović**, Sandra Veljković, Danijel Danković, "Impact of Low Magnetic Field on NBT Stressed P-Channel Power VDMOSFETs", Proc. of 16th International Conference on Applied Electromagnetics (PES 2023), August 2023, pp. 34-37.
29. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, Danijel Danković, "IoT Enabled Software Platform for Air Quality Measurements", Proc. of International Conference on E-business technologies (EBT 2023), Belgrade, Serbia, June 2023, pp. 147-151.
30. **Nikola Mitrović**, Sandra Veljković, Zoran Prijić, Danijel Danković, "Lifetime Estimation of P-Channel Power VDMOSFETs Applied in Automotive Applications", Proc. of Zooming Innovation in Consumer Technologies Conference (ZINC 2023), Novi Sad, Serbia, May 2023, pp. 97-100, DOI: 10.1109/ZINC58345.2023.10174162.
31. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, Danijel Danković, "Design of IoT Platform for Air Quality Monitoring System", Proc. of the 19th International Conference "Man and Working Environment" - Occupational and Environmental Safety Engineering & Management (OESEM 2022), Nis, Serbia, 2022, pp. 195-199.
32. **Nikola Mitrović**, Sandra Veljković, Vojkan Davidović, Snežana Đorić-Veljković, Snežana Golubović, Emilija Živanović, Zoran Prijić, Danijel Danković, "Impact of Negative Bias Temperature Instability on P-Channel Power VDMOSFET Used in Practical Applications" Proc. of 33th European Symposium on Reliability of Electron Devices,

- Failure Physics and Analysis (ESREF 2022), Berlin, Germany, September 2022, vol. 138, p. 114634, 1-5, DOI: 10.1016/j.microrel.2022.114634.
33. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, Danijel Danković, “NFC Enabled Wi-Fi Managing System for ESP32 Based IoT System”, Proc. of International Conference on E-business technologies (EBT 2022), Belgrade, Serbia, June 2022, pp. 57-60.
 34. **Nikola Mitrović**, Sandra Veljković, Zoran Prijić, Danijel Danković, “Comparison of the Performance of the Different GPS Receivers in Practical Applications”, Proc. of Zooming Innovation in Consumer Technologies Conference (ZINC 2022), Novi Sad, Serbia, May 2022, pp. 11-16, DOI: 10.1109/ZINC55034.2022.9840698.
 35. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, Danijel Danković, “Implementation of WebSockets in ESP32 Based IoT Systems”, Proc. of 15th International Conference on Advanced Technologies, Systems and Services in Telecommunications (TELSIKS 2021), Niš, Serbia, October 2021, pp. 261-264, DOI: 10.1109/TELSIKS52058.2021.9606244.
 36. Danijel Danković, Vojkan Davidović, Snežana Golubović, Sandra Veljković, **Nikola Mitrović**, Sežana Djorić-Veljković, “Radiation and Annealing Related Effects in NBT Stressed P-Channel Power VDMOSFETs”, Proc. of 32nd European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2021), Bordeaux, France, October 2021, vol. 126 p. 114273, pp. 1-5, DOI: 10.1016/j.microrel.2021.114273.
 37. Danijel Danković, **Nikola Mitrović**, Sandra Veljković, Vojkan Davidović, Snežana Djorić-Veljković, Zoran Prijić, Albena Paskaleva, Dencho Spassov, Snežana Golubović, “A Review of the Electric Circuits for NBTI Modeling in p-Channel Power VDMOSFETs”, Proc. of 32nd International Conference on Microelectronics (MIEL 2021), Niš, Serbia, September 2021, pp. 55-62, DOI: 10.1109/MIEL52794.2021.9569030.
 38. Sandra Veljković, **Nikola Mitrović**, Snežana Djorić-Veljković, Vojkan Davidović, Ivica Manić, Snežana Golubović, Albena Paskaleva, Dencho Spassov, Zoran Prijić, Aneta Prijić, Srboľjub Stanković, Danijel Danković, “Effects of Bias Temperature Stress and Irradiation in Commercial P-Channel Power VDMOS Transistors”, Proc. of 32nd International Conference on Microelectronics (MIEL 2021), Niš, Serbia, September 2021, pp. 345-350, DOI: 10.1109/MIEL52794.2021.9569154.
 39. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, Danijel Danković „Testing the Efficiency of Wi-Fi Data Transmission in ESP-based IoT systems“, Proc. of E-business technologies conference (EBT 2021), June 2021, pp 110-112.
 40. **Nikola Mitrović**, Milan Stojanović, “Practical Methods for Teaching of Solar Cell Characterization”, Proc. of 55th International Scientific Conference on Information, Communication and Energy Systems and Technologies (ICEST 2020), Niš, Serbia, September 2020, pp. 85-88. DOI: 10.1109/ICEST49890.2020.9232756.
 41. **Nikola Mitrović**, Danijel Danković, Zoran Prijić, Ninoslav Stojadinović, “Modelling of ΔV_T in NBT Stressed P-Channel Power VDMOSFETs”, Proc. of 31st International Conference on Microelectronics (MIEL 2019), Niš, Serbia, September 2019, pp. 177-180. DOI: 10.1109/MIEL.2019.8889584.

42. Milan Stojanović, **Nikola Mitrović**, Ljubomir Vračar, Danijel Danković, “Design and Realization of Solar Cell Monitoring System”, Proc. of 7th Student Conference “Energy Efficiency and Sustainable Development” (SCEESD), Skoplje, North Macedonia, November 2019, pp. 102-107.
43. **Nikola Mitrović**, “Comparison of Output Power Between Static and Rotating Solar Panel”, Proc. of 6th Student Conference “Energy Efficiency and Sustainable Development” (SCEESD), Skoplje (North Macedonia), December 2018, pp. 41-47.

Научни радови саопштени на националним научним скуповима и штампани у одговарајућим зборницима радова

44. Danijel Danković, Emilija Živanović, Miloš Marjanović, Sandra Veljković, **Nikola Mitrović**, “Istorijat i razvoj elektronike u Nišu”, Zbornik radova sa naučnog skupa 75 godina od otkrića tranzistora, održanog 15. decembra 2023. godine, Beograd, Srbija, Objavljeno 2. Oktobra, 2024, str. 75-89.
45. Aleksandar Gavrić, **Nikola Mitrović**, Emilija Živanović, Miloš Marjanović, Danijel Danković, Sandra Veljković, Milan Danković, Aleksandar Stanimirović, Leonid Stoimenov, “Laboratorijske vežbe iz oblasti mikroelektronike u virtuelnoj realnosti”, Zbornik radova 68. konferencije za ETRAN, Niš, Srbija, 3-6 Jun, 2024, str. 297-302 (EDU1.2 – 1-6), ISBN: 978-86-6200-002-6.
46. Emilija Živanović, Miloš Marjanović, Sandra Veljković, **Nikola Mitrović**, Jana Vračar, Danijel Danković, “U susret jubileju: naša petnaesta godina kroz radionice i druženje”, Zbornik radova 15th Student Projects Conference (IEEEESTEC 2022), Niš, 24. Novembar, 2022, pp. 315-319, ISBN: 978-86-6125-242.
47. Sandra Veljković, **Nikola Mitrović**, “Elektrohemijski procesi odgovorni za nestabilnosti VDMOS tranzistora snage usled NBT naprezanja”, Zbornik radova 15th Student Projects Conference (IEEEESTEC 2022), Niš, 24. Novembar, 2022, pp. 293-297, ISBN: 978-86-6125-242.
48. Milan Đorđević, Đorđe Mitrović, **Nikola Mitrović**, “Projektovanje veb aplikacije za grafički prikaz podataka u IoT sistemima”, Zbornik radova 15th Student Projects Conference (IEEEESTEC 2022), Niš, 24. Novembar, 2022, pp. 203-206, ISBN: 978-86-6125-242.
49. **Nikola Mitrović**, Milan Đorđević, “Implementacija Linuks operativnog sistema na mikrokontrolerima sa ARM arhitekturom”, Zbornik radova 15th Student Projects Conference (IEEEESTEC 2022), Niš, 24. Novembar, 2022, pp. 199-202, ISBN: 978-86-6125-242.
50. Snežana Đorić-Veljković, **Nikola Mitrović**, Sandra Veljković, Predrag Janković, Danijel Danković, “Inovativne primene OLED komponenti u arhitekturi”, Zbornik radova VIII Naučno-Stručni Simpozijum Instalacije & Arhitektura, Beograd, 2. Decembar 2021, pp. 139-147, ISBN: 978-86-7924-277-8.
51. Danijel Danković, Miloš Marjanović, Jana Vračar, **Nikola Mitrović**, Sandra Veljković, Emilija Živanović, “IEEEESTEC na-S-paja”, Zbornik radova 14th Student Projects Conference, (IEEEESTEC 2021), Niš, 25. Novembar, 2021, pp. 283-286, ISBN: 978-86-6125-242.

52. Sandra Veljković, **Nikola Mitrović**, “Odziv VDMOS tranzistora snage na NBT naprežanje, γ -zračenje i odžarivanje”, Zbornik radova 14th Student Projects Conference, (IEEEESTEC 2021), Niš, 25. Novembar, 2021, pp. 229-232, ISBN: 978-86-6125-242.
53. Milan Đorđević, **Nikola Mitrović**, “Projektovanje sistema za kontrolu dnevne svetlosti prostorije u pametnim kućama”, Zbornik radova 14th Student Projects Conference, (IEEEESTEC 2021), Niš, 25. Novembar, 2021, pp. 245-248, ISBN: 978-86-6125-242.
54. **Nikola Mitrović**, Milan Đorđević, Sandra Veljković, “Primena cirkularnog bafera za prijem podataka korišćenjem UART komunikacije i DMA pristupa”, Zbornik radova 14th International Students Projects Conference (IEEEESTEC 2021), Niš, 25. Novembar 2021, pp. 77-80, ISBN: 978-86-6125-242.
55. Sandra Veljković, **Nikola Mitrović**, Snežana Đorić-Veljković, Vojkan Davidović, Snežana Golubović, Danijel Danković, “Efekti zračenja i odžarivanja kod naponsko temperaturno naprežanih p-kanalnih VDMOS tranzistora snage”, Zbornik radova, 65. konferencije za ETRAN, Etno selo Stanišići, Republika Srpska, 8-10 Septembar, 2021, pp. 321-325, ISBN: 978-86-7466-894-8.
56. **Nikola Mitrović**, “Poređenje karakteristika ultrazvučnih modula”, Zbornik radova, 13th International Student Projects Conference (IEEEESTEC 2020), Niš, 26. Novembar, 2020, pp. 177-180, ISBN: 978-86-6125-230-3.
57. Milan Đorđević, **Nikola Mitrović**, “Projektovanje platforme za dvosmernu IoT komunikaciju”, Zbornik radova 13th International Student Projects Conference (IEEEESTEC 2020), Niš, 26. Novembar, 2020, pp. 137-140, ISBN: 978-86-6125-230-3.
58. **Nikola Mitrović**, Danijel Danković, Zoran Prijčić, Ninoslav Stojadinović, “Modelovanje promena napona praga p-kanalnih VDMOS tranzistora snage tokom NBT naprežanja”, Zbornik radova 64. konferencije za ETRAN, Niš, Srbija, 28-30 Septembar 2020, pp. 490-494, ISBN: 978-86-7466-852-8.
59. **Nikola Mitrović**, “Ispitivanje karakteristika optičkog senzora TCRT5000”, Zbornik radova 12th International Student Projects Conference (IEEEESTEC 2019), Niš, 28. Novembar 2019, pp. 339-342, ISBN: 978-86-6125-215-0.
60. **Nikola Mitrović**, “Projektovanje okruženja za testiranje komponenata”, Zbornik radova 12th International Student Projects Conference (IEEEESTEC 2019), Niš, 28. Novembar 2019, pp. 205-208, ISBN: 978-86-6125-215-0.
61. **Nikola Mitrović**, “Realizacija sistema za kontrolu pristupa korišćenjem RFID tehnologije”, Zbornik radova 11th International Student Projects Conference (IEEEESTEC 2018), Niš, 29. Novembar 2018, pp. 241-244, ISBN: 978-86-6125-204-4. (prva nagrada u kategoriji Rad sa najboljom praktičnom realizacijom)
62. **Nikola Mitrović**, “Ispitivanje uticaja prepreke na prostiranje RF signala”, Zbornik radova 11th International Student Projects Conference (IEEEESTEC 2018), Niš, 29. Novembar 2018, pp. 177-180, ISBN: 978-86-6125-204-4.
63. **Nikola Mitrović**, “Realizacija protivpožarnog alarma na štampanoj ploči”, Zbornik radova 11th International Student Projects Conference (IEEEESTEC 2018), Niš, 29. Novembar 2018, pp. 123-126, ISBN: 978-86-6125-204-4.

64. **Nikola Mitrović**, “Realizacija zvučnog pojačala”, Zbornik radova 11th International Student Projects Conference (IEEEESTEC 2018), Niš, 29. Novembar 2018, pp. 119-122, ISBN: 978-86-6125-204-4.
65. **Nikola Mitrović**, “Realizacija LED propelera”, Zbornik radova 11th International Student Projects Conference (IEEEESTEC 2018), Niš, 29. Novembar 2018, pp. 115-118, ISBN: 978-86-6125-204-4.
66. **Nikola Mitrović**, Mladen Radivojević “Praktična realizacija bezbedonosnog sistema”, Zbornik radova 10th International Student Projects Conference (IEEEESTEC 2017), Niš, 23. Novembar 2017, pp. 81-84, ISBN: 978-86-6125-193-1.
67. **Nikola Mitrović**, “Projektovanje solarnog punjača za baterije”, Zbornik radova 10th International Student Projects Conference (IEEEESTEC 2017), Niš, 23. Novembar 2017, pp. 77-79, ISBN: 978-86-6125-193-1.
68. **Nikola Mitrović**, “Digitalni termometar realizovan na principu analogno-digitalne konverzije”, Zbornik radova 10th International Student Projects Conference (IEEEESTEC 2017), Niš, 23. Novembar 2017, pp. 73-76, ISBN: 978-86-6125-193-1.
69. **Nikola Mitrović**, “Princip realizacije igre Lucky Numbers korišćenjem digitalnih elektronskih kola”, Zbornik radova 9th International Student Projects Conference (IEEEESTEC 2016), Niš, 24. Novembar 2016, pp. 263-265, ISBN: 978-86-6125-168-9.

Изјава о ауторству

Изјављујем да је докторска дисертација под насловом:

Моделовање промена напона прага р-каналних VDMOS транзистора снаге изазваних различитим типовима напрезања

која је одбрањена на Електронском факултету Универзитета у Нишу:

- резултат сопственог истраживачког рада;
- да ову дисертацију, ни у целини, нити у деловима, нисам пријављивао на другим факултетима, нити универзитетима;
- да нисам повредио ауторска права, нити злоупотребио интелектуалну својину других лица.

Дозвољавам да се објаве моји лични подаци, који су у вези са ауторством и добијањем академског звања доктора наука, као што су име и презиме, година и место рођења и датум одбране рада, и то у каталогу Библиотеке, Дигиталном репозиторијуму Универзитета у Нишу, као и у публикацијама Универзитета у Нишу

У Нишу, 25.04.2025.

Потпис аутора дисертације:

Митровић Никола

Никола И. Митровић

Изјава о истоветности штампаног и електронског облика докторске дисертације

Наслов дисертације:

Моделовање промена напона прага р-каналних VDMOS транзистора снаге изазваних различитим типовима напрезања

Изјављујем да је електронски облик моје докторске дисертације, коју сам предао за унос у Дигитални репозиторијум Универзитета у Нишу, истоветан штампаном облику.

У Нишу, 25.04.2025.

Потпис аутора дисертације:

Митровић Никола

Никола И. Митровић

Изјава о коришћењу

Овлашћујем Универзитетску библиотеку Никола Тесла да у Дигитални репозиторијум Универзитета у Нишу унесе моју докторску дисертацију, под насловом:

Моделовање промена напона прага р-каналних VDMOS транзистора снаге изазваних различитим типовима напрезања

Дисертацију са свим прилозима предао сам у електронском облику, погодном за трајно архивирање.

Моју докторску дисертацију, унету у дигитални репозиторијум Универзитета у Нишу, могу користити сви који поштују одредбе садржане у одабраном типу лиценце Креативне заједнице (Creative Commons), за коју сам се одлучио.

1. Ауторство (CC BY)

2. Ауторство - некомерцијално (CC BY-NC)

3. Ауторство - некомерцијално - без прераде (CC BY-NC-ND)

4. Ауторство - некомерцијално - делити под истим условима (CC BY-NC-SA)

5. Ауторство - без прераде (CC BY-ND)

6. Ауторство - делити под истим условима (CC BY-SA)

У Нишу, 25.04.2025.

Потпис аутора дисертације:

Митровић Никола

Никола И. Митровић